

Heinrich Klar
Tobias Noll

Integrierte Digitale Schaltungen

Vom Transistor zur optimierten Logikschaltung

3. Auflage



Springer Vieweg

Integrierte Digitale Schaltungen

Heinrich Klar • Tobias Noll

Integrierte Digitale Schaltungen

Vom Transistor zur optimierten
Logikschaltung

3. Auflage

Unter Mitarbeit von H. Henke und U. Rückert

Heinrich Klar
Inst. Technische Informatik
und Mikroelektronik
TU Berlin Fak. IV Elektrotechnik
und Informatik
Berlin, Deutschland

Tobias Noll
RWTH Aachen University
Lehrstuhl für Allgemeine Elektrotechnik
und Datenverarbeitungssysteme
Aachen, Deutschland

ISBN 978-3-540-40600-6 ISBN 978-3-540-69017-7 (eBook)
DOI 10.1007/978-3-540-69017-7

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.d-nb.de> abrufbar.

Springer Vieweg

© Springer-Verlag Berlin Heidelberg 1993, 1996, 2015

Das Werk einschließlich aller seiner Teile ist urheberrechtlich geschützt. Jede Verwertung, die nicht ausdrücklich vom Urheberrechtsgesetz zugelassen ist, bedarf der vorherigen Zustimmung des Verlags. Das gilt insbesondere für Vervielfältigungen, Bearbeitungen, Übersetzungen, Mikroverfilmungen und die Einspeicherung und Verarbeitung in elektronischen Systemen.

Die Wiedergabe von Gebrauchsnamen, Handelsnamen, Warenbezeichnungen usw. in diesem Werk berechtigt auch ohne besondere Kennzeichnung nicht zu der Annahme, dass solche Namen im Sinne der Warenzeichen- und Markenschutz-Gesetzgebung als frei zu betrachten wären und daher von jedermann benutzt werden dürften. Der Verlag, die Autoren und die Herausgeber gehen davon aus, dass die Angaben und Informationen in diesem Werk zum Zeitpunkt der Veröffentlichung vollständig und korrekt sind. Weder der Verlag noch die Autoren oder die Herausgeber übernehmen, ausdrücklich oder implizit, Gewähr für den Inhalt des Werkes, etwaige Fehler oder Äußerungen.

Gedruckt auf säurefreiem und chlorfrei gebleichtem Papier

Springer Berlin Heidelberg ist Teil der Fachverlagsgruppe Springer Science+Business Media
(www.springer.com)

Dank: Die Autoren danken allen, die an der Fertigstellung dieses Buches mitgearbeitet haben, ganz herzlich. Unser Dank gilt Frau Victoria Scippa, Frau Claudia Rogge, Frau Dorothee Eckhart, Frau Anna Heiduk und insbesondere Frau Evelyn Homberg, alle TU Berlin, für ihre Mitarbeit bei der Anfertigung der Grafiken. Herrn Werner Eschenberg von der TU Berlin gilt unser Dank für die Betreuung der Datenhaltung. Für die Anfertigung und Korrektur vieler Grafiken, sowie die Korrektur des LATEX-Quellcodes bedanken wir uns bei Herrn Heinz Meeßen und Herrn Rainer Schnitzler, beide RWTH Aachen. Frau Anne Trierweiler von der RWTH Aachen danken wir für das Korrekturlesen des Manuskripts. Ganz besonderer Dank gilt Herrn Thomas Heselhaus für seinen unermüdlichen Einsatz bei der Realisierung des LATEX-Quellcodes, der Anfertigung und Korrektur von Grafiken sowie für viele wertvolle Hinweise. Unseren Koautoren, Herrn Professor Dr.-Ing. Heino Henke und Herrn Professor Dr.-Ing. Ulrich Rückert, danken wir herzlich für die von ihnen verfassten Kapitel 3 und 8. Auf Seiten des Springer-Verlages danken wir Herrn Thomas Lehnert und insbesondere Frau Sabine Bromby für die angenehme Zusammenarbeit und Geduld.

Berlin, Aachen im Januar 2015

Heinrich Klar und Tobias Noll

Inhaltsverzeichnis

1	Einleitung	1
2	Physik und Herstellung von MOS-Transistoren	9
2.1	Modelle für den MOS-Transistor	10
2.1.1	Überblick über die Physik von MOS-Transistoren	10
2.1.2	Einsatzspannung	13
2.1.3	Strom-Spannungs-Charakteristik	22
2.1.3.1	Idealisierte Transistorgleichungen	22
2.1.3.2	Kanallängenmodulation	30
2.1.3.3	Übersicht über die einfachen Transistorgleichungen	33
2.1.3.4	Genauere Transistorgleichungen bei starker Inversion	35
2.1.3.5	Transistorgleichungen bei schwacher Inversion	37
2.1.3.6	Temperaturverhalten des MOS-Transistors	38
2.1.3.7	Zusammenfassung	41
2.1.4	Strukturverkleinerung	41
2.1.5	Kurzkanaleffekte	43
2.1.6	Schmale Transistoren	47
2.1.7	Geschwindigkeitssättigung und ballistischer Transport	48
2.1.8	Verarmung im polykristallinen Silizium	63
2.1.9	Hochfeldeffekte	65
2.1.9.1	Lawinenmultiplikation und Degradationseffekte	66
2.1.9.2	Band-zu-Band Tunneleffekt	68
2.1.9.3	Tunneln in das und durch das Siliziumdioxid	70
2.1.9.3.1	Fowler-Nordheim-Tunnelprozess	70
2.1.9.3.2	Direktes Tunneln	70
2.1.9.4	Gate-induzierter Drain-Leckstrom (GIDL)	71
2.1.10	Moderne MOS-Transistorstrukturen zur Reduktion von Leckströmen	74
2.1.10.1	Transistoren mit höherer homogener Substratdotierung	75

2.1.10.2	Inhomogene Dotierungsprofile	75
2.1.10.3	Transistoren mit mechanischer Belastung (Strained Silicon)	76
2.1.10.4	Transistoren mit neuer Gate-Isolierung (high k Transistoren) und metallischen Gate-Elektroden . .	78
2.1.10.5	SOI (Silicon on Insulator)	80
2.1.10.6	Multi-Gate-Transistoren	82
2.1.10.7	HP-, LOP- und LSTP-Transistoren	85
2.1.11	Entwicklungstrends	90
2.1.12	Ersatzschaltbilder für den MOS-Transistor	94
2.1.12.1	Äußeres Modell des MOS-Transistors	94
2.1.12.2	Inneres Modell des MOS-Transistors	97
2.1.12.3	Kleinsignalersatzschaltbild des MOS-Transistors . .	100
2.1.13	Schaltkreissimulator SPICE	103
2.1.13.1	SPICE-MOS-Transistormodelle	104
2.2	Einführung in die Herstellung von integrierten MOS-Schaltungen . .	106
2.2.1	Wichtige Einzelprozesse	107
2.2.1.1	Kristallwachstum	107
2.2.1.2	Photolithographie und Maskenherstellung	108
2.2.1.3	Selektives Entfernen von Material	116
2.2.1.4	Aufbringen von Material	117
2.2.1.5	Chemisch-mechanisches Polieren	119
2.2.2	N-Wannen-CMOS-Prozess	122
2.2.3	Technologiebedingte Effekte und Regeln	128
2.2.3.1	Latch-Up-Effekt	128
2.2.3.2	Designregeln	131
2.2.3.3	Ausbeute	135
2.2.3.4	Wärmeableitung	137
2.2.3.5	Parameterschwankungen	138
3	Leitungen	163
3.1	Diskrete Bauelemente	164
3.1.1	Widerstände	164
3.1.2	Kapazitäten	166
3.1.3	Induktivitäten	171
3.2	Leitungsmodelle	188
3.2.1	Leitungstheorie	189
3.2.2	RC-Leitung	195
3.2.3	Einsetzen von Repeatern	200
3.2.4	Elmore-Verzögerung	202
3.2.5	Strukturverkleinerung von Leitungen	207
3.2.6	Kapazitive Kopplungen	209
3.2.7	Leitung mit geringen Verlusten	212
3.2.8	Wann müssen Induktivitäten berücksichtigt werden?	213
3.2.9	Abschirmen von Leitungen	217

3.3	Globale Netzwerke	218
3.3.1	Verteilung der Versorgungsspannungen	220
3.4	Einschwingverhalten einer am Ende mit C_L abgeschlossenen RC-Leitung	228
3.4.1	Erste Näherung für $s \ll 1/\tau$ oder $t \gg \tau$	230
3.4.2	Zweite Näherungslösung für $s > 1/(4\tau)$ oder $t < 4\tau$	231
4	Grundsaltungen	235
4.1	Idealisiertes Logikelement	235
4.2	Störungen und Störabstände	236
4.3	MOS-Inverter	242
4.3.1	Inverter mit passiver und aktiver Last	243
4.3.2	CMOS-Inverter	250
4.3.2.1	Gleichstromverhalten	250
4.3.2.2	Kleinsignalübertragungsfunktion	255
4.3.2.3	Schaltverhalten	259
4.3.2.4	Ringoszillator	267
4.3.2.5	Dynamischer ZTC-Punkt	268
4.4	Verlustleistung	269
4.4.1	Dynamische Verlustleistung P_C aufgrund von Ladevorgängen	270
4.4.2	Dynamische Verlustleistung P_{SC} aufgrund von Querströmen während den Schaltvorgängen	272
4.4.3	Verlustleistung P_{Leak} aufgrund von Leckströmen	274
4.5	Treiberschaltungen	276
4.5.1	Inverterkette	277
4.5.2	Tristate-Treiber	280
4.5.3	Ein- und Ausgangsschaltungen	282
4.5.3.1	ESD-Modelle	283
4.5.3.2	ESD-Tests	285
4.5.3.3	ESD-Schaltungen	286
4.5.3.4	ESD-Schutzsysteme	290
4.6	Analoge Grundsaltungen	292
4.6.1	Stromspiegelschaltungen	292
4.6.2	Differenzstufen	294
4.6.2.1	Differenzstufe mit Ohm'scher Last	294
4.6.2.2	Differenzstufe mit Stromspiegelschaltung als Last	304
4.7	Latches, Flip-Flops und Register	307
4.7.1	Einfache dynamische Latches	309
4.7.2	Einfache dynamische Register	314
4.7.3	Verriegelungsschaltung und modifiziertes Svensson-Latch	317
4.7.4	Bootstrap-Schaltung	324
4.7.5	Statische Latches und Register	325
4.7.5.1	Flip-Flop	325
4.7.5.2	Bewerterschaltung (Sense Amplifier)	331

4.7.5.3	Einschreiben von Daten	334
4.7.6	Metastabilität	337
4.8	Elementare Logikgatter	342
4.8.1	Statische Logikgatter	343
4.8.1.1	Statische CMOS-Logikgatter	344
4.8.1.1.1	Gleichstromverhalten	344
4.8.1.1.2	Schaltverhalten	348
4.8.1.1.2.1	Laufzeitmodelle	348
4.8.1.1.2.2	Kaskadierung von Gattern, logischer Aufwand	350
4.8.1.1.3	Verlustleistung in statischen CMOS-Gattern	365
4.8.1.1.4	Falsches Schalten	367
4.8.1.1.5	Zusammenfassung	367
4.8.1.2	Pseudo-NMOS-Logik	368
4.8.1.3	DCVS-Logik	370
4.8.1.4	Pass-Transistor-Logik	372
4.8.1.5	Current Mode Logic (CML)	377
4.8.1.5.1	CML-Pufferschaltungen	378
4.8.1.5.2	Pufferkette	382
4.8.1.5.3	CML-Latches, Register und Frequenzteiler	385
4.8.1.5.4	Multiplexer und Demultiplexer	386
4.8.2	Dynamische Logikgatter	391
4.8.2.1	Einfaches dynamisches Logikgatter	391
4.8.2.2	Domino- und NORA-Logik	394
4.8.2.3	Differentielle Domino-Logik	397
4.8.2.4	Zusammenfassung	399
4.8.3	Maßnahmen zur Reduktion der Verlustleistung	400
4.8.3.1	Blockabschaltung (Clock und Power Gating)	402
4.8.3.2	Minimierung der Verlustleistung im aktiven Betrieb	409
4.8.3.2.1	Reduktion der Leckströme im aktiven Betrieb	410
4.8.3.2.2	Reduktion der dynamischen Verlustleistung	417
4.8.3.2.3	Erkennung und Korrektur von Laufzeitfehlern in dynamischen Umgebungen	421
4.8.3.3	Adiabatische Logik	425
5	Takte	439
5.1	Ein-Phasen-Taktsysteme	440
5.1.1	Clock Skew (Taktversatz)	442
5.1.2	Jitter	444
5.1.3	Gemeinsame Wirkung von Taktversatz und Jitter	446
5.2	Nicht überlappende, komplementäre Zwei-Phasen-Taktsysteme	447
5.3	Vergleich von Ein-Phasen- und Zwei-Phasen-Taktsystemen	449
5.4	Erzeugung der Takte	451
5.4.1	Erzeugung von Ein-Phasen-Takten	451

5.4.1.1	Phasenregelschleifen mit Ladungspumpen (Charge Pump PLL, CPPLL)	452
5.4.1.2	Spannungsgesteuerte Oszillatoren (VCO)	459
5.4.1.3	Phasen-Frequenz-Detektor (PFD)	461
5.4.1.4	DLL-Schaltungen	464
5.4.2	Erzeugung der nichtüberlappenden komplementären Zwei-Phasen-Takte (Pseudo-Vier-Phasen-Takt)	466
5.5	Taktverteilung	467
6	Halbleiterspeicher	475
6.1	Einführung in die Halbleiterspeicherschaltungen	476
6.2	Dekodierschaltungen	483
6.3	Nicht flüchtige Speicher	489
6.3.1	MOS ROM-Zelle	490
6.3.2	Floating-Gate-Transistor	492
6.3.3	EPROM-Zelle	495
6.3.4	EEPROM-Zelle	496
6.3.5	Flash-Speicherzelle	498
6.3.5.1	NOR-Flash-Speicher	499
6.3.5.2	NAND-Flash-Speicher	503
6.3.5.3	Strukturverkleinerung von Flash-Speichern	506
6.4	Statische Schreib-Lese-Speicher (SRAM)	509
6.4.1	Wirkungsweise der Sechs-Transistor-Speicherzelle	510
6.4.2	Varianten der statischen Speicherzelle	512
6.4.3	Strukturverkleinerung der Sechs-Transistor-Zelle	514
6.4.3.1	Fehler in Ruhestellung (hold failure)	517
6.4.3.2	Lesefehler (read failure)	518
6.4.3.3	Fehler während eines Schreibvorgangs (write failure)	520
6.4.3.4	Fehler bezüglich der Lesezugriffszeit (Access- Time-Failure)	523
6.4.3.5	Statistik extremer Werte	527
6.4.3.6	Störsicherheit als Funktion von U_{DD} und Z	533
6.4.3.7	Maßnahmen zur Erhöhung der Störsicherheit von SRAM-Zellen	534
6.4.3.7.1	Lithographisch-symmetrische Zellen	536
6.4.3.7.2	Anpassung der Versorgungsspannungen	538
6.4.3.7.3	Acht-Transistor-Zelle	541
6.4.4	Architektur der statischen Speicher	542
6.5	Dynamische Schreib-Lese-Speicher (DRAM)	546
6.5.1	Planare Ein-Transistor-Ein-Kondensator-Zelle	548
6.5.2	Neue Konzepte für die Zelle und das Zellenfeld	554
6.5.3	Vorübergehende Fehler (Soft-Errors)	561
6.5.4	Organisation und Betriebsmodi von DRAMs	566

7	Arithmetische Module	577
7.1	Addierer und Subtrahierer	580
7.1.1	Volladdierer	580
7.1.2	Gütemaß für den Vergleich von arithmetischen Einheiten	592
7.1.3	Bitserielle Addierer	597
7.1.4	Ripple-Carry-Addierer	598
7.1.5	Manchester-Carry-Chain-Addierer	600
7.1.6	Carry-Skip-Addierer	601
7.1.7	Carry-Select-Addierer	603
7.1.8	Carry-Lookahead-Addierer	606
7.1.8.1	Nützen der Rekursion für die Bildung des Übertragssignals	606
7.1.8.2	Hierarchie in Carry-Lookahead-Addierern	607
7.1.8.3	Parallele Vorauswahladdierer (parallel Prefix Adder)	609
7.1.9	Addition in redundanten Zahlensystemen	614
7.1.9.1	Carry-Save-Addition	616
7.1.9.2	Addition von Signed-Digit-Zahlen	618
7.1.10	Baumstrukturen	627
7.1.11	Akkumulatoren	631
7.2	Multiplizierer	635
7.2.1	Feldmultiplizierer	637
7.2.2	Reduktion der Zahl der Partialprodukte	639
7.3	Methoden für die Optimierung von Verlustleistung und Rechenleistung	647
7.3.1	Schaltungsebene	648
7.3.2	Mikroarchitekturebene	661
7.3.3	Abwägung zwischen Energie und Fläche	664
8	VLSI-Entwurfsmethoden	669
8.1	Realisierungsvarianten integrierter digitaler Schaltungen	670
8.1.1	Full-Custom-Entwurf	670
8.1.2	Semi-Custom-Entwurf	673
8.1.2.1	Semi-Custom-Entwurfsmethode	673
8.1.2.2	Standardzellentechnik	676
8.1.2.3	Gate-Array-Technik	680
8.1.3	Programmierbare Logikschaltungen	681
8.1.3.1	Programmierbare Logikbausteine (PLD)	682
8.1.3.2	Feldprogrammierbare Gatteranordnungen	684
8.2	Vergleich der Entwurfsmethoden	687
	Literaturverzeichnis	691
	Sachverzeichnis	701

Kapitel 1

Einleitung

1948 setzte mit der Erfindung des Germanium-Punkt-Transistors von W. Shockley, W. Brattain und J. Bardeen von den Bell-Laboratorien eine stürmische Entwicklung ein, die schließlich zum Siegeszug der Mikroelektronik führte. Zur Mikroelektronik gehören der Entwurf, die Herstellung und die Anwendung von integrierten Schaltungen. Eine integrierte Schaltung besteht aus einem Stück Halbleitermaterial, dies ist meistens Silizium, auf dem elektronische Bauelemente miteinander verbunden sind. Die Schaltungstechnik beschreibt, wie die einzelnen Bauelemente dimensioniert werden müssen und wie die Bauelemente miteinander verbunden werden müssen, so dass eine bestimmte Funktion erzielt wird.

Man unterscheidet zwischen analogen und digitalen Schaltungen. Eine analoge Schaltung arbeitet mit Signalen in Form von Spannungen, Strömen oder Ladungen, die kontinuierliche Funktionen der kontinuierlichen Zeitvariablen sind. In digitalen Schaltungen treten ebenfalls zeit- und wertekontinuierliche Signale auf, jedoch werden diesen Signalen an bestimmten Zeitpunkten diskrete Zahlenwerten – fast immer 0 und 1 – zugeordnet. Daher wird in digitalen Systemen jedes Signal durch eine Sequenz von Zahlen an diskreten Zeitwerten repräsentiert. Die Digitaltechnik beschäftigt sich mit der Verarbeitung von digitalen Signalen. Der Markt für integrierte analoge Schaltungen beträgt etwa 20% des gesamten Marktes für integrierte Schaltungen.

In den Laboratorien der Siemens AG gelang es 1953 erstmals, reines einkristallines Silizium herzustellen. 1959 wurde die planare Technologie von R. Noyce und J. Kilby erfunden. Zehn Jahre später, 1969, waren die ersten LSI-Speicherchips (LSI, „Large Scale Integrated“) verfügbar. Ein weiterer Meilenstein war 1972 die Erfindung des Ein-Chip-Mikroprozessors von H. E. Hoff (Intel Corporation) [178]. In den letzten Jahrzehnten hat sich die Zahl der Transistoren, die erfolgreich auf einem einzigen Chip integriert werden konnten, etwa alle drei Jahre verdoppelt.

Die treibende Kraft in der Mikroelektronik ist der abnehmende Preis pro Funktion. 1973 benötigte man, um den Informationsgehalt von einem Megabit zu speichern, 1024 integrierte Schaltungen (IS) zu einem Gesamtpreis von etwa Euro 75 000 (siehe Bild 1.1). Elf Jahre später wurde für die gleiche Funktion nur ein Preis von Euro 120 verlangt. Über einen Preis von Euro 0,10 1998 reduzierte sich



Bild 1.1 Preise für einen 1 Mbit-DRAM-Speicher in Abhängigkeit von der Zeit [Prof. Ruge, private Mitteilung].

der Preis im Jahr 2009 auf 0,8 Cents. In der Vergangenheit wurde etwa alle drei Jahre eine neue Technologiegeneration mit verringertem Preis pro Funktion eingeführt. Aus diesen Zahlen und Beispielen ersieht man, unter welchem Kostendruck der Entwurf und die Herstellung von integrierten Schaltungen stehen. Die Mikroelektronik benötigt Produkte mit großen Stückzahlen. Die Chips wurden nicht nur immer billiger, sondern auch die elektrischen Eigenschaften, insbesondere die Schaltzeiten, wurden ständig verbessert.

Technisch wurde die Kostenreduzierung erreicht, indem man mit jeder neuen Technologiegeneration kleinere Strukturen auf nur geringfügig vergrößerten Chipflächen und damit mehr Funktionen pro annähernd konstanter Chipfläche in der Produktion beherrschte. Inzwischen hat sich ein Konsortium gebildet, das die Herausforderungen definiert, die überwunden werden müssen, wenn die Strukturverkleinerung und damit auch die Kostenreduktion in Zukunft weitergehen soll. Gegenwärtig reicht die Prognose der ITRS (International Technology Roadmap for Semiconductors) bis ins Jahr 2018 [105]. Wenn die in der Roadmap dargelegten Probleme gelöst werden können, wird im Jahr 2018 der MOS-Transistor eine minimale Gate-Länge von 7 nm aufweisen und die intrinsische Gatterlaufzeit wird 0,11 ps erreichen. Auf einer Fläche von 1 cm² wird man etwa 38 Milliarden Transistoren integrieren können. Die Taktfrequenz wird 53 GHz betragen und die Anzahl der Verdrahtungsebenen wird bei 18 liegen. Die maximale Verlustleistung wird mit 300 Watt angegeben.

Bedingt durch die kleinen Strukturen und die extrem hohen Taktfrequenzen, die zukünftig realisierbar sind, ergeben sich mehrere Grundherausforderungen. In Zukunft müssen nicht nur die Probleme, die mit der großen Transistorzahl verbunden sind, gelöst werden, sondern es müssen auch die Probleme, die sich aus der zunehmenden Komplexität der Bauelementephysik ergeben, bei der Schaltungsentwick-

lung und dem Schaltungsentwurf berücksichtigt werden. Die zunehmende Komplexität der Bauelementephysik drückt sich in sehr komplizierten Bauelementemodellen aus. Zum Beispiel müssen heute Tunneleffekte in die MOS-Transistormodelle eingearbeitet werden. Für die Verbindungsleitungen stehen in Zukunft bis zu 18 Verdrahtungsebenen zur Verfügung. Bei sehr hohen Frequenzen stellen diese im Allgemeinen ein verkoppeltes System von RLC-Leitungen dar.

Neben der Komplexität, die durch die große Zahl der Transistoren und der Komplexität, die durch die Bauelementephysik bedingt ist, und der hohen Variabilität der Schaltungsparameter, ist die Verlustleistung der Chips eine weitere große Herausforderung. Dies gilt besonders für Bausteine, die in tragbaren Geräten eingesetzt werden sollen. In modernen CMOS-Bausteinen ist die Verlustleistung aufgrund von Leck- und Tunnelströmen in derselben Größenordnung wie die Verlustleistung, die man zum Schalten der Gatter benötigt. Zur Lösung des Verlustleistungsproblems müssen auf allen Ebenen des Chipentwurfs neue Lösungen angestrebt werden. Dies gilt auch für die Schaltungstechnik und für die Chiparchitektur. Die Chiparchitektur beschreibt die verschiedenen Blöcke, die auf einem Chip integriert sind, und wie diese Blöcke zusammenwirken.

Die Spannbreite bei den Chiparchitekturen reicht von den allgemein programmierbaren Prozessoren (GPP, General Purpose Processor), wie sie gegenwärtig zum Beispiel von Intel hergestellt werden, über DSP (Digital Signal Processor), ASIP (Application Specific Instruction Processor) und FPGA (Field Programmable Gate Array) mit und ohne in Hardware implementierte Prozessorkern, so wie Chips, die mit Standardzellen-Bibliotheken entworfen werden, bis hin zur physikalisch optimierten Hardware.

Während mit dem allgemein programmierbaren Prozessor die höchste Flexibilität bezüglich der Funktion des Chips bei höchster Verlustleistung erreicht wird, nimmt über die genannte Kette die Programmierbarkeit ständig ab, gleichzeitig wird aber eine höhere Effizienz bezüglich Energie- und Flächennutzung erzielt. Für das Diagramm von Bild 1.2 wurden typische Vertreter für jede Gruppe ausgewählt. Es wurde jeweils die benötigte Verlustleistung pro Rechenleistung, die in MOPS (Mega Operation Per Second) ausgedrückt wird, bestimmt. Zusätzlich wurde berechnet, wie viel Fläche jeweils für ein MOPS aufgewendet wurde. Beide Achsen des Diagramms weisen einen logarithmischen Maßstab auf. Damit die Daten vergleichbar sind, wurden sie auf eine 130nm Technologie skaliert. Das Bild 1.2 zeigt erstaunlich große Unterschiede, die bis zu einem Faktor 10^5 reichen. Es wird deutlich, dass maximale Flexibilität bezüglich der Programmierbarkeit die höchste Verlustleistung und die geringste Effizienz bei der Flächennutzung aufweist. Bildet man für jeden Punkt des Diagramms das Produkt aus Abszissenwert und Ordinatenwert erhält man näherungsweise einen konstanten Wert. Die Punkte liegen auf einer Geraden. In dem Maße, in dem es gelingt eine bestimmte Rechnerleistung mit geringerer Fläche zu implementieren, in dem Maße kann auch die Verlustleistung minimiert werden. Die Kunst wird es in Zukunft sein, für die jeweilige Anwendung die richtige Mischung aus notwendiger Flexibilität und minimaler Verlustleistung und somit für einen geeigneten Algorithmus die richtige Chiparchitektur und die passende Schaltungstechnik zu finden.

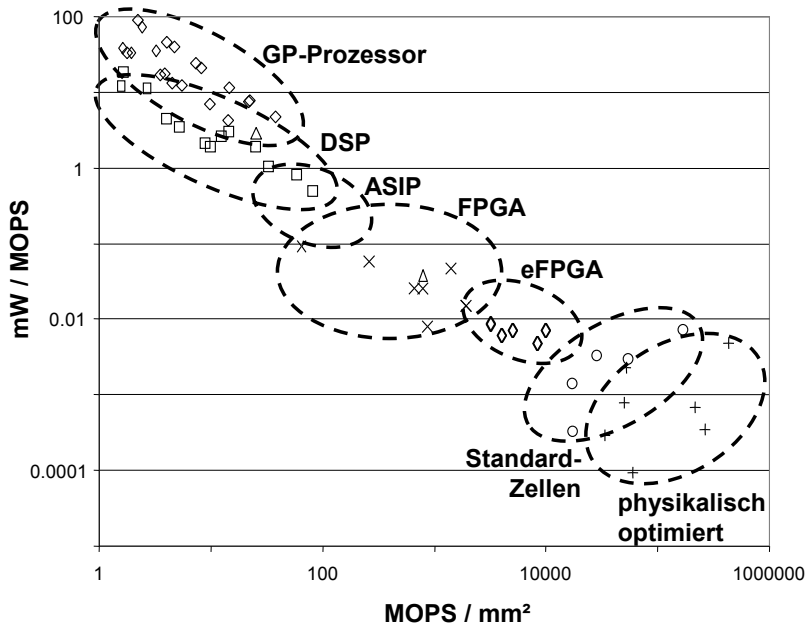


Bild 1.2 Der Flexibilitäts-Verlustleistungs-Konflikt.

Welche Wissensgebiete für den Entwurf und die Herstellung einer integrierten Schaltung notwendig sind, wird deutlich, wenn man sich die Arbeitsabläufe vergegenwärtigt, die zu dem fertigen Produkt – der integrierten Schaltung – führen.

Zunächst wird der Systemingenieur die Systemfunktion mit genauen Spezifikationen festlegen. Im nächsten Schritt wird die Systemfunktion in Unterblöcke aufgeteilt und die Chiparchitektur bestimmt. Weiter wird eine logische Beschreibung des zu realisierenden Netzwerkes erstellt, die dann in Schaltungen umgesetzt wird.

Wegen der großen Datenmengen, die beim Entwurfsprozess anfallen, und um zu gewährleisten, dass der fertige Entwurf der ursprünglichen Systembeschreibung entspricht, müssen auf allen Ebenen des Entwurfsprozesses CAD-Werkzeuge (CAD, Computer Aided Design) eingesetzt werden.

Im vorhergehenden Abschnitt wurde der „Top-Down“-Entwurfstil beschrieben. Bei der „Top-Down“-Methode werden, wegen der großen Komplexität der Daten, die einzelnen Entwurfsebenen, beginnend mit der höchsten Ebene, sequentiell bearbeitet. Man wünscht sich, dass man automatisch, das heißt ohne dass der Designer per Hand eingreifen muss, von der obersten Ebene zu der untersten Ebene des Entwurfsprozesses gelangt. Bessere Produkte ließen sich erzielen, wenn interaktiv gearbeitet werden könnte. Das bedeutet, dass Entscheidungen, die auf hoher Ebene getroffen werden, im Hinblick auf die Auswirkungen auf die unterste Ebene, wie zum Beispiel Verlustleistung oder Chipfläche, zumindest abgeschätzt werden könnten. Für die optimale Umsetzung der Systemfunktionen wäre eine parallele Betrachtung der einzelnen Entwurfsebenen wünschenswert.

Ist der Schaltungsentwurf abgeschlossen, wird die Information über die integrierte Schaltung mittels Maskenbänder, die die Angaben über die Geometrie der Masken für die photolithographischen Prozessschritte enthalten, an die Technologie übergeben. In der Produktlinie werden die integrierten Bausteine hergestellt und einem ersten Produktionstest unterzogen. Sodann werden die integrierten Schaltungen in Gehäuse eingebaut und wieder getestet. Schließlich gelangen die integrierten Schaltungen in die vorhergesehenen Geräte.

Durch das Zusammenwirken von Systemwissen, Entwurfsmethodik, Schaltungstechnik, Halbleiterphysik, Technologie, Testmethoden und Aufbautechnik entstehen integrierte Schaltungen. Diese vielseitigen Kooperationen bedingen Fachleute, die neben den speziellen Fachkenntnissen auch über genügend Kenntnisse in benachbarten Fachgebieten verfügen.

Das vorliegende Buch behandelt vorrangig die Schaltungstechnik von digitalen CMOS-IS, die entsprechend dem „Full-Custom“-Designstil entworfen werden (siehe Kapitel acht). Für den Entwurf der Bausteine stehen unterschiedliche Methoden zu Verfügung. Im Wesentlichen wird zwischen „Full-Custom“- und „Semi-Custom“-Methoden unterschieden. Beim „Full-Custom“-Entwurfstil werden die Entwürfe „per Hand“ ausgeführt. Auf dem Markt verfügbar sind nur rudimentäre CAD-Werkzeuge, die diesen Entwurfstil unterstützen. Allerdings verfügen einzelne Firmen, wie zum Beispiel Intel über hauseigene CAD-Werkzeuge. Der „Full-Custom“-Entwurfstil bietet die größte Flexibilität, aus der Sicht des Entwicklers eine gegebene Spezifikation mit überlegenen elektrischen Eigenschaften, wie Fläche, Gatterlaufzeit oder Verlustleistung in Silizium zu gießen. Jedoch sind mit dieser Methode im Allgemeinen hohe Entwicklungskosten und Entwicklungszeiten verbunden.

Die Entwicklungskosten und die Entwicklungszeiten können mit der „Semi-Custom“-Entwurfsmethode vermindert werden. Bei dieser Methode werden automatisierte Entwicklungspfade, die von entsprechenden CAD-Werkzeugen unterstützt werden, eingesetzt. Die Entwurfswerkzeuge benutzen Bibliotheken von vorentworfenen Logikzellen, Blöcken oder gar Prozessorkernen, wie ARM, MIPS oder PowerPC. Das Ideal wäre eine Beschreibung der gewünschten Funktion auf hoher Systemebene und die automatische Umsetzung dieser Beschreibung in ein Layout, das die Spezifikationen erfüllt. Die Vorteile dieser Methode sind die geringeren Kosten und die kürzere Entwurfszeit. Der Preis ist größere Einschränkungen beim Entwurf und schlechtere elektrische Eigenschaften der realisierten Chips. Die verschiedenen Blöcke in einem SOC (System On Chip) werden entweder mit der einen oder der anderen Methode entworfen.

Da aber digitale Schaltungen analoge Schaltungsblöcke, wie Verstärkerschaltungen oder bistabile Latches enthalten, werden die wichtigsten analogen Grundschaltungen ebenfalls in diesem Buch besprochen. Obwohl hauptsächlich der interne Aufbau von digitalen CMOS-Bausteinen behandelt wird, sollte das Buch auf für Anwender von integrierten Schaltungen nützlich sein. Ein Verständnis für die interne Struktur ist für Anwender wichtig, wenn für eine bestimmte Funktion konkurrierende Schaltungen zur Verfügung stehen. Vom Hersteller geschriebene Datenblätter können besser interpretiert werden, wenn der Anwender sich die interne Realisie-

rung von Funktionsblöcken vorstellen kann. Mit dem in diesem Buch dargestellten Wissen sollte der Anwender zukünftige Entwicklungen besser abschätzen können.

Das Buch wendet sich an Studenten der höheren Semester, die Vorlesungen über Logikentwurf und Halbleiterphysik gehört haben. Für Ingenieure, die bereits im Arbeitsleben stehen, soll das Buch die Einarbeitung in neue Aufgabengebiete erleichtern und zusätzlich als Nachschlagewerk dienen.

Diese dritte Auflage bietet einen vollständigen überarbeiteten Blick auf alle Aspekte der integrierten digitalen Schaltungstechnik. Aufbauend auf der Halbleiterphysik von modernen CMOS-Transistoren und deren Herstellung werden digitale und wenn nötig analoge Grundsaltungen behandelt. Weiter werden Funktionsblöcke, wie Speicherschaltungen, Addierer und Multiplizierer besprochen. Die Auswirkungen der zeitlichen und örtlichen Schwankungen der Versorgungsspannungen und der Temperatur und der herstellungsbedingten Schwankungen der Transistorparameter bilden einen besonderen Schwerpunkt. In der Literatur werden diese Effekte unter dem Kürzel PVT zusammengefasst. Da die Anzahl der Atome, die einen Transistor formen, stetig abnimmt, wird sich das Problem der Herstellungstoleranzen dramatisch verschärfen. Man spricht heute deswegen von einem herstellungsfreundlichen Entwurf. Eine eigenständige Weiterentwicklung der integrierten Schaltungen, deren Ziel es ist, die störenden Nebeneffekte von Transistoren und Leitungen zu kompensieren, ist notwendig. Wir brauchen robuste Schaltungen. Als roter Faden zieht sich die Behandlung der Komplikationen, die die modernen Transistoren im Nanometerbereich bedingen, durch alle Kapitel. Das Buch vermittelt die Grundlagen, die notwendig sind, um zu verstehen, wie integrierte digitale Schaltungen aufgebaut sind.

Kapitel zwei enthält eine Diskussion der fundamentalen Halbleiterphysik von MOS-Transistoren. Die Ableitung von einfachen Strom-Spannungs-Gleichungen erhellt die Abhängigkeit der elektrischen Eigenschaften der Schaltungen von Herstellungsparametern. Die zunehmende Verringerung der Strukturgrößen führt zu erheblichen Abweichungen zwischen dem tatsächlichen Verhalten der MOS-Transistoren und den Vorhersagen der einfachen Theorie. Deswegen werden zusätzlich Kurzkanaleffekte, die Effekte von schmalen Transistoren und Hochfeldeffekte besprochen. Weiter werden Ersatzschaltbilder abgeleitet und das Netzwerkanalysenprogramm SPICE behandelt. Es wird auf die zukünftige Entwicklung der CMOS-Technologie eingegangen.

Sodann wird die Herstellung der MOS-Chips erläutert. Ein besonderer Schwerpunkt der Betrachtung liegt auf Transistorstrukturen, die der Reduktion der störenden Leckströme dienen. Da sich die Herstellung der Masken für den photolithographischen Prozess dramatisch verteuert hat, werden ausführlich die Gründe dafür dargelegt.

Nach den aktiven Elementen werden im 3. Kapitel die passiven Elemente einer integrierten Schaltung erläutert. Zunächst werden die diskreten Bauelemente – wie Widerstände, Kapazitäten und Induktivitäten – behandelt. Dann wird die Signalübertragung auf integrierten Leitungen besprochen. Der besondere Schwerpunkt liegt auf den RC-Leitungen und auf der Kopplung zwischen den RC-Leitungen.

Da in Zukunft auch induktive Effekte berücksichtigt werden müssen, werden auch RLC-Leitungen angesprochen.

Die Grundsaltungen werden im vierten Kapitel erläutert. Zunächst wird ein ideales Logikelement angesprochen. Sodann wird ein Maß für die Unempfindlichkeit einer digitalen Schaltung im Hinblick auf Störungen angegeben. Ein weiterer wichtiger Punkt ist die Berechnung der Verlustleistung, die im Chip in Wärme umgesetzt wird. Anhand von Invertern werden das statische und das dynamische Verhalten von Logikgattern erläutert. In diesem Kapitel werden auch Schaltungen zum Treiben von großen Lasten, die auf dem Chip oder an der Grenze des Chips auftreten, behandelt. Als Einführung in die analoge Schaltungstechnik werden die elektrischen Eigenschaften von Differenzstufen im Großsignal- und im Kleinsignalbetrieb beschrieben.

Der Darstellung von Grundsaltungen, – wie Latches, Register und Flip-Flops – die Informationen speichern können, ist ein weiterer Abschnitt dieses Kapitels gewidmet. Anschließend werden die wichtigsten statischen und dynamischen Logikfamilien der CMOS-Technologie ausführlich behandelt. Es wird erläutert, wie man eine Kette aus komplexen Gattern dimensioniert. Schließlich werden in diesem Kapitel Methoden beschrieben, mit denen es gelingt, die Verlustleistung minimal zu gestalten.

Daran schließt sich ein Kapitel über die gebräuchlichsten Taktsysteme an. Es werden Taktversatz und Jitter besprochen. Dieses Kapitel schließt die Takterzeugung mittels PLL-Schaltungen und die Taktverteilung ein.

Das sechste Kapitel umfasst die Halbleiterspeicher, wie SRAM und Flash-Speicher, die zusammen mit anderen Logikschaltungen in komplexen Prozessoren integriert werden. Anhand beider Speichertypen lässt sich zeigen, dass man mit der fortschreitenden Strukturverkleinerung mit den klassischen Entwürfen an Grenzen bezüglich der Herstellbarkeit gelangt. Dieses Kapitel schließt mit der Behandlung der DRAMs (dynamische Speicher).

Das siebte Kapitel befasst sich mit arithmetischen Modulen. Zunächst wird die Addition und Subtraktion von binären Zahlen erläutert. Ein Schwerpunkt der Darstellung liegt auf geeigneten Baumstrukturen. Sodann werden redundante Zahlensysteme, wie Carry-Save-Arithmetik und Signed-Digital-Zahlen, erläutert. Daran schließt sich ein Kapitel über die wichtigsten Multiplizierertypen an. Das Kapitel wird mit der Betrachtung abgerundet, wie während der Entwurfsphase ein Optimum aus Rechenzeit und Verlustleistung in den verschiedenen Hierarchieebenen erreicht werden kann.

Wenn Milliarden von Transistoren auf einem Chip integriert werden sollen, stellt sich ein Komplexitätsproblem. Es gibt mehrere Entwurfsmethoden, mit deren Hilfe das Problem gelöst werden soll. Im achten Kapitel werden diese Methoden und die dafür jeweils benötigten CAD-Werkzeuge besprochen.

Kapitel 2

Physik und Herstellung von MOS-Transistoren

Für den Entwurf und die Analyse von integrierten Schaltungen werden geeignete Modelle der einzelnen Bauelemente benötigt. Detaillierte Modelle werden für genaue Simulationen von kleinen Schaltungen eingesetzt, während einfache Modelle für die Simulationen von hochkomplexen Schaltungen verwendet werden. Da das benutzte Modell die Genauigkeit der Schaltungsanalyse festlegt, muss der Entwickler von integrierten Schaltungen über Kenntnisse der gewöhnlich benutzten Modelle verfügen. Dazu gehört das Verständnis der zur Modellbildung notwendigen Annahmen und Näherungen sowie der daraus folgenden Grenzen für die Anwendbarkeit der jeweiligen Modelle. Das Ziel des ersten Abschnitts dieses Kapitels ist, dem Leser aus schaltungstechnischer Sicht die wichtigsten Modelle des MOS-Transistors zu erläutern. Grundlegendes Wissen über die Halbleiterphysik wird vorausgesetzt [76, 217, 24, 66, 154].

Zunächst wird auf den Aufbau und die Wirkungsweise von MOS-Transistoren eingegangen. Sodann wird die Herstellung von integrierten Schaltung behandelt. Schließlich werden technologiebedingte Effekte besprochen.

Zuerst sollen jedoch die am häufigsten benutzten Symbole für die MOS- und Bipolartransistoren eingeführt werden (Bild 2.1 und 2.2). Die Symbole für die MOS-Transistoren unterscheiden sich nach n-Kanal- oder p-Kanal-Transistoren. In Bild 2.1a wird der p-Kanal-Transistor durch einen Inverterkringel gekennzeichnet. In den beiden anderen Darstellungen erkennt man aus den Pfeilrichtungen die Transistortypen, da die Pfeile, entsprechend der Struktur der Transistoren, von p-Gebieten nach n-Gebieten weisen. In Bild 2.1c werden die Source-Anschlüsse durch Pfeile markiert, die auch die positive Stromrichtung angeben. Wegen der größeren Einfachheit werden in diesem Buch vorrangig die Symbole nach Bild 2.1a verwendet.

Für Bipolartransistoren mit npn-Struktur wird das Symbol nach Bild 2.2a eingesetzt. Bild 2.2b zeigt das Symbol für einen pnp-Bipolartransistor. Entsprechend zu Bild 2.1c sind die Emitteranschlüsse durch Pfeile gekennzeichnet. Wieder geben die Pfeilrichtungen die positive Stromrichtung wieder.

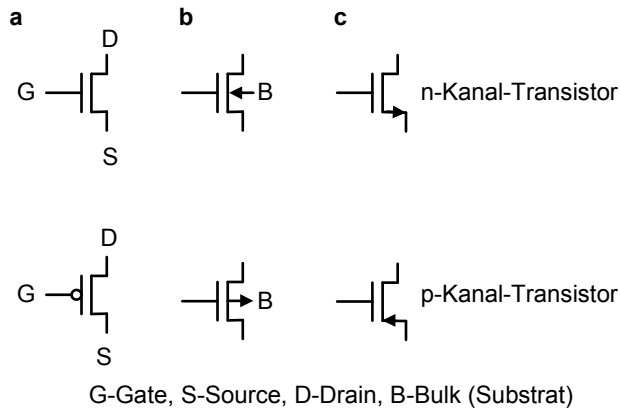


Bild 2.1 Schematische Darstellungen von MOS-Transistoren.

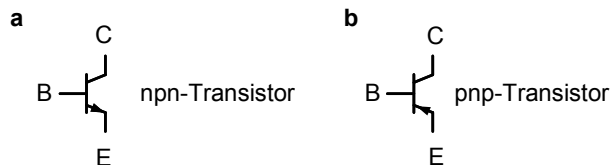


Bild 2.2 Schematische Darstellung von Bipolartransistoren.

2.1 Modelle für den MOS-Transistor

Dieser Abschnitt gibt einen Überblick über die prinzipiellen Vorgänge in einem MOS-Transistor. Darauf aufbauend werden die Gleichungen für die Einsatzspannung und den Drain-Strom abgeleitet. Neben Effekten zweiter Ordnung, wie Kanallängenmodulation, Temperaturverhalten, Kurzkanaleffekten und Hochfeldeffekten sowie den Effekt der Geschwindigkeitssättigung werden auch Ersatzschaltbilder und zukünftige Entwicklungen behandelt. Kurzkanaleffekte und Hochfeldeffekte ergeben sich aus der Strukturverkleinerung.

2.1.1 Überblick über die Physik von MOS-Transistoren

Zunächst werden die physikalischen Zusammenhänge für n-Kanal-MOS-Transistoren erläutert. In vertikaler Richtung hat der MOS-Transistor nach Bild 2.3 die gleiche Struktur wie ein MOS-Kondensator. Bei einer konventionellen Technologie besteht die obere Platte des Kondensators aus hochdotiertem polykristallinem Silizium, das den Gate-Anschluss bildet. Das Halbleitersubstrat, das an der Unterseite

über einen Halbleiter-Metallkontakt an die Substratspannung angeschlossen wird, stellt die zweite Platte des Kondensators dar.

Dieser vertikalen Struktur ist in dem gewählten Beispiel eine horizontale npn-Schichtung überlagert. In horizontaler Richtung sind wie beim Bipolartransistor zwei pn-Dioden Rücken an Rücken geschaltet. Im Gegensatz zum Bipolartransistor kann die p-dotierte Zwischenschicht (die Basis beim Bipolartransistor) nur kapazitiv vom Gate-Anschluss beeinflusst werden. Die hochdotierten n^+ -Diffusionsgebiete bilden die Source- und Drain-Anschlüsse. In Abhängigkeit von der angelegten Gate-Source-Spannung U_{GS} ($U_{SB} = 0\text{ V}$, $U_{DB} = 0\text{ V}$) werden vereinfachend drei Arbeitsbereiche unterschieden. Die Grenzen zwischen den Bereichen werden durch die Flachbandspannung U_{FB} und die Einsatzspannung U_T bestimmt

$$U_{FB} = \Phi_{HL} - \Phi_M \quad ; \quad (2.1)$$

U_{FB} Flachbandspannung,

$\Phi_{HL} - \Phi_M$ Austrittsarbeitendifferenz zwischen Halbleiter und Gate-Material.

Die Flachbandspannung U_{FB} ist definiert als diejenige Gate-Source-Spannung U_{GS} , die aufgewendet werden muss, um dem Oberflächenpotential Φ_S einen Wert von 0 V zu geben [66]. Das Oberflächenpotential Φ_S wird direkt unter der Oxidschicht gemessen. Hauptsächlich wird die Flachbandspannung von der Differenz der Austrittsarbeiten zwischen dem Halbleiter und dem Gate-Material bestimmt. Darüber hinaus wird die Flachbandspannung U_{FB} auch von Ladungen im Oxid und von Störungen an der Grenzfläche zwischen Siliziumdioxid und Halbleiter beeinflusst [76].

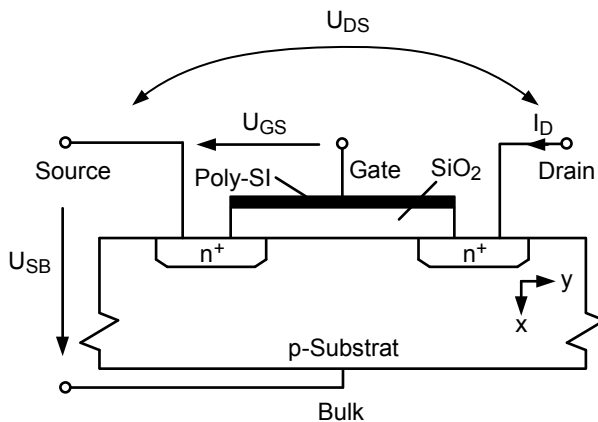


Bild 2.3 Querschnitt durch einen n-Kanal-MOS-Transistor.

Ist die Gate-Source-Spannung U_{GS} kleiner als die Flachbandspannung U_{FB} ($U_{GS} < U_{FB}$), werden in der in Bild 2.3 gezeigten Struktur die Majoritätsträger (Löcher) aufgrund des sich bildenden elektrischen Feldes zur Siliziumoberfläche gezogen. Dort formt sich eine Anreicherungsschicht (Akkumulationszone). Die beiden pn-Dioden unterliegen einer Sperrpolung. Es können nur Sperrströme fließen.

Wird die Gate-Source-Spannung U_{GS} nur geringfügig größer als die Flachbandspannung U_{FB} , baut sich in vertikaler Richtung ein elektrisches Feld auf, dessen Ursprung Ladungen im Polysilizium sind und das im p-Substrat endet. Infolge des elektrischen Feldes kommt es zur Verarmung („Depletion“) von Löchern an der Silizium-Oxid-Grenzfläche.

Das Oberflächenpotential ist nun größer als 0V. Es bildet sich eine Raumladungszone aus, die einen Stromfluss zwischen Drain und Source verhindert.

Erhöht man nun die Gate-Source-Spannung weiter, erreicht das Oberflächenpotential einen kritischen Wert. Wird dieser Wert überschritten, bildet sich durch Injektion aus den n^+ -Gebieten direkt unter dem Siliziumdioxid ein leitender Kanal, der aus frei beweglichen Ladungsträgern besteht. In dem Beispiel des n-Kanal-Transistors reichern sich Elektronen an der Siliziumoberfläche an.

Ist die Ladungsträgerdichte der Elektronen im Kanal genauso groß wie die Ladungsträgerdichte der Löcher im Substrat außerhalb der Raumladungszone, spricht man von starker Inversion.

Die Gate-Source-Spannung U_{GS} , bei der starke Inversion einsetzt, wird als Einsatzspannung U_T („threshold voltage“) bezeichnet.

Bisher wurden hauptsächlich physikalische Effekte, die von der vertikalen Struktur des MOS-Transistors verursacht werden, behandelt. Nun wird auch die horizontale Schichtung berücksichtigt. Für $U_{GS} = U_{DS} = 0V$ sperren die Source-seitigen und Drain-seitigen pn-Übergänge. Um die n^+ -Gebiete bilden sich Raumladungszonen, die durch ortsfeste ionisierte Dotieratome und durch elektrische Felder gekennzeichnet sind. Im Gleichgewicht hält ein Feldstrom dem Diffusionsstrom die Waage. Die zur Aufrechterhaltung des Gleichgewichts benötigten elektrischen Felder entsprechen der Diffusionsspannung. Bei einem n-Kanal-Transistor wirkt ein positives Oberflächenpotential der Source-seitigen Diffusionsspannung entgegen. Nur bei starker Inversion können die derart in das Substrat unter der Oxidschicht injizierten Ladungsträger einen leitenden Kanal bilden. Legt man von außen bei starker Inversion eine Spannung $U_{DS} > 0V$ an, fließt ein Strom. Zu beachten ist, dass der Drain-seitige pn-Übergang in diesem Fall in Sperrrichtung verbleibt. Wegen des elektrischen Feldes in der Drain-seitigen Raumladungszone werden die Elektronen zum Drain-Anschluss gezogen. Für negative Werte der Drain-Source-Spannung vertauschen Drain und Source die Rollen.

Bei Einsetzen der starken Inversion existieren drei Raumladungszonen. Zwei davon werden von den n^+ -dotierten Source- und Drain-Gebieten hervorgerufen. Wegen der Influenzwirkung des Gate-Potentials bildet sich für $U_{GS} > U_{FB}$ eine dritte Raumladungszone. Erreicht das Oberflächenpotential den kritischen Wert, bildet sich zusätzlich der leitende Kanal. Näherungsweise wird angenommen, dass eine Erhöhung der Gate-Source-Spannung über die Einsatzspannung hinaus die induzierte Raumladungszone nicht beeinflusst. Die Spannungserhöhung wird durch Zunahme der freien Ladungsträger im Kanal kompensiert. Mit der Gate-Source-Spannung wird also die Stärke des Stromes zwischen Drain und Source gesteuert.

Aus schaltungstechnischer Sicht ist jeder der drei Bereiche, Anreicherung, Verarmung und starke Inversion, von Bedeutung. Während die Flachbandspannung den Übergang von dem Anreicherungsgebiet in den Verarmungsbereich markiert, be-

stimmt die Einsatzspannung die Grenze zwischen dem Verarmungsbereich und der starken Inversion.

2.1.2 Einsatzspannung

Die Einsatzspannung U_T gibt die Gate-Source-Spannung U_{GS} an, bei der starke Inversion einsetzt. Sie wird aus der Ladungsbilanz der Ladungen im Gate und im Substrat berechnet. Zunächst wird nur von der Struktur des vertikalen MOS-Kondensators ausgegangen, somit entspricht die Gate-Source-Spannung der Gate-Bulk-Spannung.

Legt man an den MOS-Kondensator mit p-dotiertem Substrat eine positive Gate-Bulk-Spannung an, reichern sich im Polysilizium positive Ladungen an, während negative Ladungen im Substrat gebildet werden (Bild 2.4). Wegen der Ladungsneutralität gilt

$$Q_G + Q_S = 0 \quad (2.2)$$

Q_G Gesamtladung per Einheitsfläche auf der Gate-Elektrode

Q_S flächenspezifische Gesamtladung im Silizium

Die Gate-Ladung per Einheitsfläche hängt von der flächenspezifischen Oxidkapazität c_{ox} und der Spannung an dem Oxidkondensator ab

$$Q_G = (U_{GB} - U_{FB} - \Phi_S) \cdot c_{ox} \quad (2.3)$$

$$c_{ox} = \frac{\epsilon_0 \cdot \epsilon_{SiO_2}}{t_{ox}} \quad (2.4)$$

t_{ox} Dicke des Siliziumoxids

Nach der Definition der Flachbandspannung ist für $U_{GB} = U_{FB}$ das Oberflächenpotential $\Phi_S = 0$ und die spezifische Gesamtladung auf dem Gate hat den Wert 0 As/cm^2 .

Die im Silizium induzierte Ladung setzt sich, wenn sich ein leitender Kanal ausgebildet hat, aus zwei Anteilen zusammen. Dies sind die ortsfesten Dotieratome in der vom Gate induzierten Raumladungszone mit der Ladung Q_B und die frei beweglichen Ladungen Q_n im Kanal

$$Q_S = Q_B + Q_n \quad (2.5)$$

Q_B flächenspezifische Ladung der Raumladungszone

Q_n flächenspezifische Ladung der im Kanal befindlichen Ladungsträger

Das Ziel der folgenden Rechnung ist es, aus der gesamten Ladungsbilanz zunächst die Ladung der Inversionsschicht und daraus später die Einsatzspannung und den Drain-Strom zu bestimmen. Deswegen wird als Nächstes die Ladung Q_B berechnet.

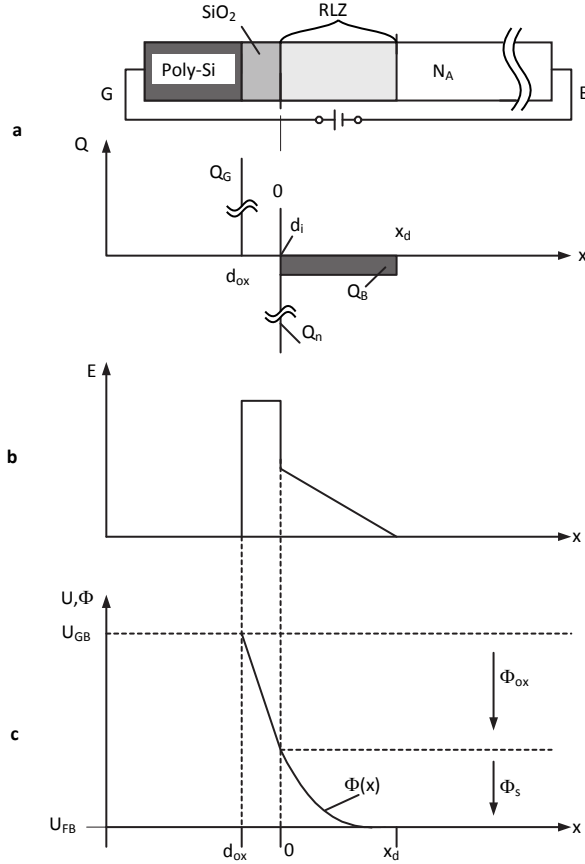


Bild 2.4 MOS-Kondensator: **a** Ladungsverteilung, **b** Feldverteilung bei Charge-Sheet Näherung, **c** Spannungsverlauf [94].

In Bild 2.4 sind die Ladungen, die Feld- und die Spannungsverläufe des MOS-Kondensators für homogene Substratdotierung N_A dargestellt. Die elektrische Feldstärke kann man durch Lösen der Poisson-Gleichung ($\text{div} D = \rho$) bestimmen. Für den Halbleiterbereich resultiert bei eindimensionaler Betrachtung

$$\int_{E(x=0)}^{E(x=x_d)} dE_{Si} = -\frac{q}{\epsilon_0 \cdot \epsilon_{Si}} \cdot \int_0^{x_d} (n(x) + N_A) \cdot dx \quad (2.6)$$

mit Substratdotierung N_A .

Wegen der Inversionsschicht und der ausgeräumten Raumladungszone kann dabei $p(x) = 0$ angenommen werden. Die Lösung des Integrals wird erleichtert, wenn man annimmt, dass die Dicke der Inversionsschicht d_i extrem dünn ist (Charge-

Sheet Näherung, [23]). Tatsächlich beträgt sie nur einige Nanometer und ist wesentlich dünner als die Raumladungszone, die größer als 100 nm ist. Somit kann der Spannungsabfall in der Inversionsschicht gegenüber dem in der Raumladungszone vernachlässigt werden. Man erhält für die elektrische Feldstärke

$$E_{Si} = \frac{q \cdot N_A}{\epsilon_0 \cdot \epsilon_{Si}} \cdot (x_d - x) \quad (2.7)$$

und für die Spannung

$$\Phi(x) = - \int_x^{x_d} E_{Si} \cdot dx = \frac{q \cdot N_A}{2 \cdot \epsilon_0 \cdot \epsilon_{Si}} \cdot (x_d - x)^2 \quad (2.8)$$

mit den Randbedingungen

$$\begin{aligned} E_{Si}(x = x_d) &= 0 \\ \Phi(x = x_d) &= 0 \end{aligned} .$$

Für die wichtige Oberflächenspannung, die Spannung an der Halbleiteroberfläche am Orte $x = 0$, ergibt sich

$$\Phi(x = 0) = \Phi_S = \frac{q \cdot N_A}{2 \cdot \epsilon_0 \cdot \epsilon_{Si}} \cdot (x_d)^2 \quad (2.9)$$

Nach der Definition der Flachbandspannung haben für $U_{GB} = U_{FB}$ das Oberflächenpotential und die Spannung über der Oxidschicht den Wert Null. Die wirksame Spannung, die die MOS-Struktur beeinflusst, ist $U_{GB} - U_{FB}$, daher (siehe Bild 2.4c)

$$U_{GB} - U_{FB} = \Phi_{ox} + \Phi_S \quad (2.10)$$

Φ_{ox} Spannung, die am Isolator abfällt .

Gleichung 2.9 umgeformt ergibt

$$x_d = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot \Phi_S}{q \cdot N_A}} \quad (2.11)$$

Mit

$$Q_B = -q \cdot N_A \cdot x_d \quad (2.12)$$

erhält man schließlich für die flächenspezifische Ladung in der Raumladungszone

$$Q_B = -\sqrt{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot \Phi_S \cdot q \cdot N_A} \quad (2.13)$$

Aus den Gleichungen 2.2, 2.3, 2.5 und 2.13 folgt für die flächenspezifische Ladung in der Inversionsschicht

$$\begin{aligned}
0 &= Q_G + Q_n + Q_B \\
Q_n &= -Q_G - Q_B \\
Q_n &= -c_{\text{ox}} \cdot (U_{\text{GB}} - U_{\text{FB}} - \Phi_S) + \sqrt{2 \cdot \epsilon_0 \cdot \epsilon_{\text{Si}} \cdot q \cdot N_A \cdot \Phi_S} \quad .
\end{aligned} \tag{2.14}$$

Die letzte Gleichung lässt sich vereinfachen, indem man den Substratsteuerfaktor γ einführt

$$\frac{Q_n}{c_{\text{ox}}} = -(U_{\text{GB}} - U_{\text{FB}} - \Phi_S) + \gamma \cdot \sqrt{\Phi_S} \tag{2.15}$$

$$\gamma = \frac{1}{c_{\text{ox}}} \cdot \sqrt{2 \cdot \epsilon_0 \cdot \epsilon_{\text{Si}} \cdot q \cdot N_A} \quad . \tag{2.16}$$

Gleichung 2.15 beschreibt die Ladung in der Inversionsschicht als Funktion des Oberflächenpotentials. Daher muss nun als Nächstes das Oberflächenpotential Φ_S berechnet werden.

In Lehrbüchern der Halbleiterphysik wird der Zusammenhang zwischen den Ladungsträgerkonzentrationen von Löchern p und Elektronen n und den entsprechenden Energien wie Intrinsic-Niveau W_i und Fermi-Niveau W_F beschrieben. Diese Beziehungen kann man anhand der Fermi-Dirac- oder näherungsweise anhand der Boltzmann-Verteilung ableiten

$$n = n_i \cdot \exp\left(\frac{W_F - W_i}{kT}\right) \tag{2.17}$$

$$p = n_i \cdot \exp\left(\frac{W_i - W_F}{kT}\right) \quad . \tag{2.18}$$

Es gilt

$$W_i \approx \frac{1}{2} \cdot (W_C + W_V) \tag{2.19}$$

mit den Abkürzungen:

W_V	Energie der Bandkante des Valenzbandes
W_C	Energie der Bandkante des Leitungsbandes
n_i	Eigenleiterträgerdichte (Intrinsic-Dichte)
W_i	Intrinsic-Niveau
W_F	Fermi-Niveau
k	Boltzmann-Konstante
T	absolute Temperatur

Die Ladungsträgerdichten hängen exponentiell vom Betrag der Energiedifferenz $W_i - W_F$ ab. Wegen

$$W = -q \cdot \Phi \tag{2.20}$$

beschreiben die Gleichungen 2.17 und 2.18 auch einen Zusammenhang zwischen den Ladungsträgerdichten und den entsprechenden Potentialen.

Es ist für die Bestimmung des Oberflächenpotentials Φ_S zweckmäßig, das Bänderdiagramm auf der Seite des Halbleiters (Bild 2.5) genauer zu betrachten.

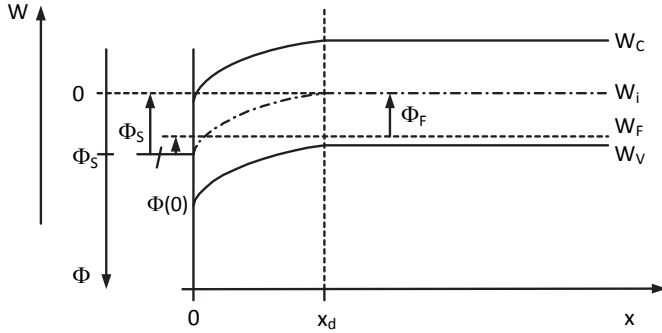


Bild 2.5 Bänderdiagramm des Halbleiters zu Beginn der starken Inversion.

Wegen der angelegten positiven Gate-Bulk-Spannung und da es sich um ein p-dotiertes Halbleitermaterial handelt, sind die Bänder in der Nähe der Halbleiteroberfläche nach unten gekrümmt. Zu beachten ist, dass der positive Zählpfeil für das Oberflächenpotential nach unten weist. Anhand von Bild 2.5 und den Gleichungen 2.17, 2.18 und 2.20 lässt sich zeigen, dass folgende Beziehungen gelten:

$$\Phi_S = \Phi_i(0) = \Phi(0) + \Phi_F \quad (2.21)$$

$$\Phi(0) = \frac{W_i(0) - W_F}{-q} \quad (2.22)$$

$$n(0) = n_i \cdot e^{\left(\frac{\Phi(0)}{U_t}\right)} = n_i \cdot e^{\left(\frac{\Phi_S - \Phi_F}{U_t}\right)} \quad (2.23)$$

$$U_t = \frac{k \cdot T}{q} \quad \text{thermische Spannung} \quad (2.24)$$

Φ_F Fermi-Spannung.

Das Fermi-Potential Φ_F kann direkt aus der Substratdotierung ermittelt werden. Mit

$$p(x_d) = N_A = n_i \cdot e^{\left(\frac{W_i(x_d) - W_F}{kT}\right)} = n_i \cdot e^{\left(\frac{\Phi_F}{U_t}\right)} \quad (2.25)$$

resultiert

$$\Phi_F = U_t \cdot \ln \left(\frac{N_A}{n_i} \right) \quad \text{für p-Silizium} \quad (2.26)$$

mit Substratdotierung N_A .

Die Zusammenhänge, die die Gleichung 2.23 beschreibt, sind in Bild 2.6 skizziert. Erhöht man die Gate-Spannung nimmt die Oberflächenspannung $\Phi(x=0)$ und die Energiedifferenz $W_F - W_i(0)$ zu. Somit wächst die Elektronendichte $n(0)$ exponentiell. Erreicht das Oberflächenpotential den Wert $\Phi_S = \Phi_F$, entspricht die Elektronenträgerkonzentration der intrinsischen Ladungsträgerkonzentration n_i

$$n(0) = n_i \quad . \quad (2.27)$$

Diese Beziehung beschreibt das Einsetzen der „schwachen Inversion“. Wird das Oberflächenpotential weiter erhöht, erreicht man den Wert

$$n(0) = n_i \cdot \exp \left(\frac{\Phi_F}{U_t} \right) = |N| \quad (2.28)$$

mit der Nettodotierung $N = N_D - N_A$ für

$$\Phi_S = 2 \cdot \Phi_F$$

$$\Phi(0) = \Phi_F \quad .$$

Diese Dichte entspricht der Löcherdichte im Substrat. Allgemein benutzt man dieses Kriterium, um den Beginn der „starken Inversion“ festzulegen. Anhand von Gleichung 2.23 lässt sich zeigen, dass bei weiterer Erhöhung des Oberflächenpotentials um 60mV die Elektronenkonzentration um den Faktor 10 zunimmt. Nachdem die starke Inversion eingesetzt hat, bewirkt bereits eine kleine Erhöhung des Oberflächenpotentials eine starke Zunahme der Elektronendichte an der Halbleiteroberfläche. Die Inversionsschicht schirmt das darunter liegende Substrat vom weiteren Eindringen von elektrischen Feldern ab. Da die zusätzlichen Feldlinien, die vom Gate ausgehen an den Elektronen der Inversionsschicht enden, gibt es keine Zunahme der Ladung in der Raumladungszone unter der Inversionsschicht. Die Weite dieser Raumladungszone bleibt konstant.

Da die Raumladungszone nach dem Einsetzen der starken Inversion unverändert bleibt und damit unabhängig vom Ort ist, ist es aufgrund der Charge-Sheet Näherung (Gleichung 2.9) plausibel, dass näherungsweise für das Oberflächenpotential bei Einsetzen der starken Inversion angenommen wird

$$\Phi_S(y) \approx 2 \cdot \Phi_F \quad . \quad (2.29)$$

Bei dem bisher betrachteten MOS-Kondensator wird die Inversionsschicht durch die in der Raumladungszone thermisch generierten Ladungsträger erzeugt (Bild 2.7a).

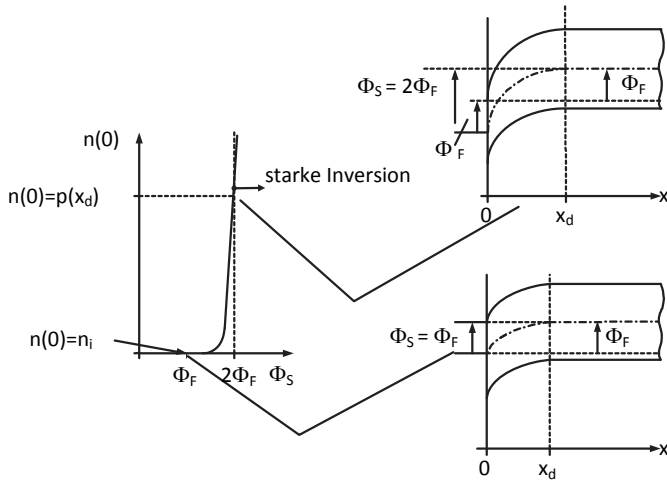


Bild 2.6 Elektronendichte an der Halbleiteroberfläche $n(0)$ als Funktion der Oberflächenspannung [94].

Mit Gleichung 2.29 wurde ein große Hürde bei der Berechnung der Einsatzspannung mittels der Ladung in der Inversionsschicht überwunden. Im nächsten Schritt muss von der vertikalen Struktur des MOS-Kondensators, die bisher allein untersucht wurde, zur Struktur des MOS-Transistors übergegangen werden. Wird nun ein n^+ -Gebiet zusätzlich berücksichtigt (Bild 2.7b), so kann die Oberflächenspannung durch eine externe Spannung U_{SB} verändert werden.

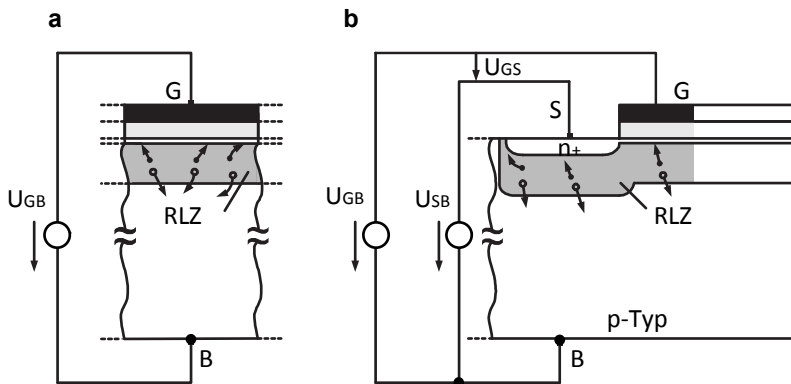


Bild 2.7 MOS-Struktur: **a** ohne und **b** mit n^+ -Gebiet [94].

Die Inversionsschicht entsteht nun in vernachlässigbar kurzer Zeit, indem Elektronen aus dem Reservoir des n^+ -Gebietes an die Halbleiteroberfläche gelangen (Bild 2.7b).

Mittels der Spannung U_{SB} wird unter der Oxidschicht ein n^+ -p-Übergang in Sperrrichtung aufgebaut. Die Weite x_d und die Ladung Q_B der Raumladungszone hängen nun von U_{SB} ab. Wird U_{SB} bei konstanter U_{GB} -Spannung erhöht, weitet sich die Raumladungszone aus und die Ladung in der Inversionsschicht nimmt demzufolge ab. Das resultierende Bänderdiagramm zeigt Bild 2.8. Man beschreibt in der Halbleiterphysik diesen Sachverhalt mit Hilfe von Quasi-Fermi-Niveaus. Mit oder ohne zusätzliches n^+ -Gebiet werden in den beiden Strukturen des Bildes 2.7 thermisch gleich viele Löcher injiziert. Deswegen entspricht das Quasi-Fermi-Niveau W_{Fp} für die Löcher dem bereits eingeführten Fermi-Niveau W_F . Dagegen werden durch das n^+ -Gebiet Elektronen injiziert. Das thermische Gleichgewicht ist gestört. Das bedeutet, dass nun ein Quasi-Fermi-Niveau W_{Fn} für Elektronen definiert werden muss, das dieselbe energetische Lage hat wie das Fermi-Niveau des n^+ -Gebietes. Die beiden Quasi-Fermi-Niveaus sind durch die angelegte Spannung U_{SB} getrennt. An dieser Stelle muss der Leser, der zusätzliche Information über Quasi-Fermi-Niveaus benötigt, auf die Literatur verwiesen werden z. B. [76, 94].

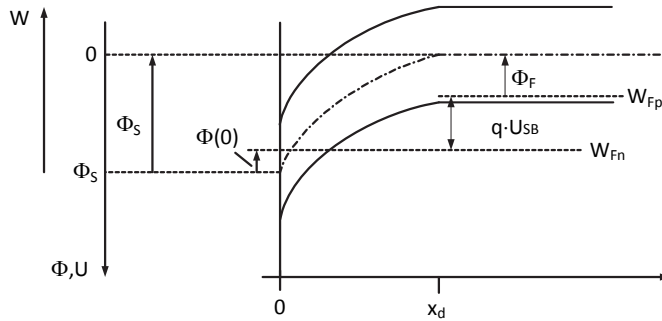


Bild 2.8 Bänderdiagramm der MOS-Struktur bei Anlegen einer U_{SB} -Spannung [94].

Um starke Inversion zu erreichen, muss nun die Bandverbiegung größer sein, da zusätzlich die Source-Bulk-Spannung U_{SB} kompensiert werden muss [219]

$$\Phi_S(SI) = 2 \cdot \Phi_F + U_{SB} \quad (2.30)$$

Nun ist das Ziel erreicht und die Einsatzspannung kann direkt berechnet werden.

Zunächst soll aber der Verlauf der Energie der Leitungsbandkante in y -Richtung, also in Richtung von Source nach Drain, untersucht werden. Zu Beginn des zweiten Kapitels wurde festgestellt, dass in horizontaler Richtung zwei pn-Übergänge Rücken an Rücken geschaltet sind. Für $U_S = U_D = 0V$ bildet sich bei $U_{GS} > 0V$ ein positives Oberflächenpotential Φ_S , das der Diffusionsspannung an Source und Drain entgegenwirkt. Bei $U_{DS} > 100mV$ ist der Drain-seitige pn-Übergang gesperrt (siehe Gleichung 2.84), während an Source weiterhin eine Vorwärtspolung existiert. An Source überwiegt der Diffusionsstrom dem Driftstrom. Die Elektronen müssen an Source eine Barriere überwinden und gewinnen so potentielle Energie. Gelangen die Elektronen am Drain-seitigen Ende in den Einfluss der Drain-Spannung, werden

sie vom Drain-Potential angesaugt und verlieren so potentielle Energie. Insgesamt ergibt sich ein Verlauf in y -Richtung, wie er in Bild 2.25 mittels Kurve **a** dargestellt ist. Zur Berechnung der Einsatzspannung werden die Gleichungen 2.15 und 2.30 betrachtet. Aus den Gleichungen folgt

$$\frac{Q_n}{c_{ox}} = U_{GB} - U_{FB} - 2 \cdot \Phi_F - U_{SB} - \gamma \cdot \sqrt{2 \cdot \Phi_F + U_{SB}} \quad . \quad (2.31)$$

Da $U_{GB} - U_{SB} = U_{GS}$, erhält man für die Inversionsschichtladung

$$\frac{Q_n}{c_{ox}} = U_{GS} - U_{FB} - 2 \cdot \Phi_F - \gamma \cdot \sqrt{2 \cdot \Phi_F + U_{SB}} \quad . \quad (2.32)$$

Die letzte Gleichung gilt nur bei starker Inversion. Wird die Kanalladung auf $Q_n = 0$

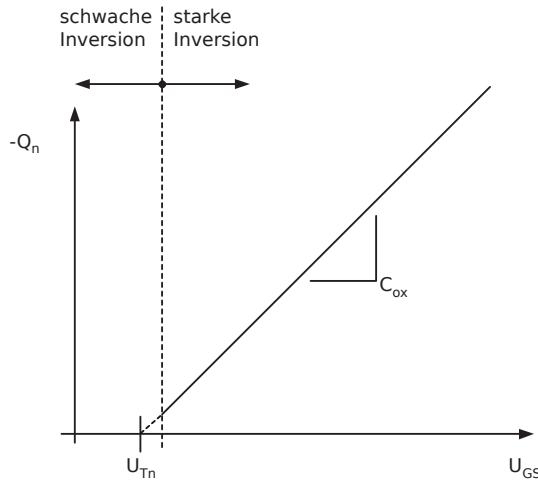


Bild 2.9 Ladung der Inversionsschicht in Abhängigkeit der Gate-Source-Spannung [94].

extrapoliert, ergibt sich eine Gate-Source-Spannung, die Einsatzspannung U_T genannt wird (Bild 2.9)

$$U_{Tn} = U_{FB} + 2 \cdot \Phi_F + \gamma \cdot \sqrt{2 \cdot \Phi_F + U_{SB}} \quad . \quad (2.33)$$

Berücksichtigt man Gleichung 2.13, so folgt

$$U_{Tn} = U_{FB} + 2 \cdot \Phi_F - \frac{Q_B}{c_{ox}} \quad \text{mit} \quad Q_B < 0 \quad . \quad (2.34)$$

Für den Fall, dass $U_{SB} = 0 \text{ V}$ ist, vereinfacht sich die Beziehung

$$U_{T0n} = U_{FB} + 2 \cdot \Phi_F + \gamma \cdot \sqrt{2 \cdot \Phi_F} \quad . \quad (2.35)$$

Aus den Gleichungen 2.33 und 2.35 erhält man schließlich

$$U_{Tn} = U_{T0n} + \gamma \cdot \left(\sqrt{2 \cdot \Phi_F + U_{SB}} - \sqrt{2 \cdot \Phi_F} \right) \quad (2.36)$$

Die Einsatzspannung U_T gibt die Gate-Source-Spannung an, bei der starke Inversion einsetzt. Typische Werte für U_{T0} liegen zwischen 0,4 V und 0,6 V. Außer von Technologieparametern, wie Substratdotierung N_A , flächenspezifischer Oxidkapazität c_{ox} und Flachbandspannung U_{FB} , ist die Einsatzspannung U_T von der Source-Substrat-Spannung (Source-Bulk-Spannung) U_{SB} abhängig. Wie groß der Einfluss von U_{SB} auf die Einsatzspannung ist, wird vom Substratsteuerfaktor γ bestimmt, der im Wesentlichen von der Substratdotierung abhängt (Bild 2.10).

Anstelle von γ wird vielfach in der Literatur die Substratempfindlichkeit

$$\frac{dU_{Tn}}{dU_{SB}} = \frac{1}{c_{ox}} \cdot \sqrt{\frac{q \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot N_A}{2 \cdot (2 \cdot \Phi_F + U_{SB})}} \quad (2.37)$$

verwendet. Die Substratempfindlichkeit wächst mit höherer Substratdotierung und verkleinert sich mit steigender Sperrpolung der Source-Substrat-Diode. Die Gleichung 2.37 lässt sich vereinfachen [244]

$$\frac{dU_{Tn}}{dU_{SB}} = \frac{\gamma}{2 \cdot c_{ox} \cdot \sqrt{2 \cdot \Phi_F + U_{SB}}} = \frac{c_d}{c_{ox}} = \frac{\frac{\epsilon_{Si}}{x_d}}{\frac{\epsilon_{ox}}{t_{ox}}} = \frac{3 \cdot t_{ox}}{x_d} = n - 1 \quad (2.38)$$

$$c_d = \frac{\epsilon_0 \cdot \epsilon_{Si}}{x_d} \quad (2.39)$$

c_d flächenspezifische Kapazität der Raumladungszone unter dem Kanal
 x_d Weite der Raumladungszone unter dem Kanal

Der Faktor n wird wegen Gleichung 2.38 Substratsteuerfaktor genannt. Der Substratsteuerfaktor dient auch zur Beschreibung anderer Zusammenhänge, wie zum Beispiel der Charakteristik des Unterschwellenstroms (siehe Gleichungen 2.80 und 2.84).

2.1.3 Strom-Spannungs-Charakteristik

2.1.3.1 Idealisierte Transistorgleichungen

Nachdem die Einsatzspannung bestimmt wurde, wird im nächsten Schritt aus der bekannten Ladungsträgerdichte in der Inversionsschicht die Abhängigkeit des Drain-Stromes von den von außen angelegten Spannungen gesucht. Für die Ableitung der Strom-Spannungs-Charakteristik wird nur eine eindimensionale Betrachtung durchgeführt. Der MOS-Transistor befindet sich in starker Inversion.

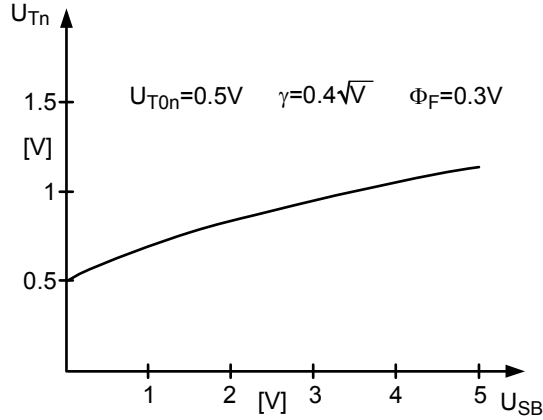


Bild 2.10 Einfluss der U_{SB} -Spannung auf die Einsatzspannung.

Die Transistorgleichungen werden unter der Annahme abgeleitet, dass das elektrische Feld in y -Richtung (in Richtung des Kanals) viel kleiner ist als das Feld in x -Richtung (Gradual channel approximation [167]). Daraus ergeben sich folgende Näherungen:

- Die beiden elektrischen Felder können nach dem Superpositionsprinzip überlagert werden.
- Es wird zunächst entlang des Kanals eine ortsunabhängige Raumladungszone vorausgesetzt.

Nach Gleichung 2.15 gilt für die flächenspezifische Ladung im Kanal

$$Q_n = -c_{ox} \cdot (U_{GB} - U_{FB} - \Phi_S - \gamma \cdot \sqrt{\Phi_S}) \quad .$$

Im Unterschied zum MOS-Kondensator überlagern sich beim MOS-Transistor das horizontale und das vertikale Feld. Mittels des Superpositionsprinzips werden die beiden Einflüsse berücksichtigt. Die Oberflächenspannung ist nun ortsabhängig

$$\Phi_S(SI) = 2 \cdot \Phi_F + U_{SB} + \Phi_K(y) \quad (2.40)$$

$\Phi_K(y)$ ist die Kanalspannung, die von der Spannung U_{DS} verursacht wird .

Die Kanalspannung hat an Source einen Wert von 0 V und an Drain den Wert U_{DS} . Gleichung 2.40 in Gleichung 2.15 eingesetzt, ergibt

$$Q_n = -c_{ox} \cdot (U_{GS} - U_{FB} - 2 \cdot \Phi_F - \Phi_K(y) - \gamma \cdot \sqrt{2 \cdot \Phi_F + U_{SB} + \Phi_K(y)}) \quad . \quad (2.41)$$

Die Ladung in der Raumladungszone ist damit ebenfalls ortsabhängig

$$Q_B = -c_{ox} \cdot \gamma \cdot \sqrt{2 \cdot \Phi_F + U_{SB} + \Phi_K(y)} \quad . \quad (2.42)$$

Indem man auf die „Gradual channel approximation“ zurückgreift, kann man die Gleichung 2.42 linearisieren. Es wird angenommen, dass die Kanalspannung in dem Ausdruck für die Ladung in der Raumladungszone den Wert Null hat. Somit ist die Ladung in der Raumladungszone unabhängig vom y ,

$$Q_n = -c_{ox} \cdot \left(U_{GS} - U_{FB} - 2 \cdot \Phi_F - \Phi_K(y) - \gamma \cdot \sqrt{2 \cdot \Phi_F + U_{SB}} \right) \quad (2.43)$$

$$Q_n = -c_{ox} \cdot (U_{GS} - U_{Tn} - \Phi_K(y)) \quad . \quad (2.44)$$

Aus der nun bekannten flächenspezifischen Ladung in der Inversionsschicht (Gleichung 2.44) und der Stromdichtegleichung für Elektronen (siehe Lehrbücher der Halbleiterphysik, z. B. [94, 76, 217, 154, 226])

$$j_n = q \cdot \mu \cdot n \cdot E + q \cdot D \cdot \frac{dn}{dy} \quad (2.45)$$

μ Beweglichkeit

und der Einstein-Beziehung

$$D = \mu \cdot \frac{kT}{q} = U_t \cdot \mu \quad (2.46)$$

D Diffusionskonstante

und mit

$$Q_n(y) = -d_i \cdot q \cdot n(y) \quad (2.47)$$

d_i Dicke der Inversionsschicht

erhält man, wenn nur Majoritätsträger berücksichtigt werden und wenn Generations- und Rekombinationsprozesse vernachlässigt werden

$$\begin{aligned} I_n &= d_i \cdot W \cdot \left(q \cdot n \cdot \mu \cdot E(y) + q \cdot D \cdot \frac{dn}{dy} \right) \\ &= \mu \cdot W \cdot Q_n(y) \cdot \frac{d\Phi_K(y)}{dy} - \mu \cdot W \cdot U_t \cdot \frac{dQ_n}{dy} \\ &= -I_D \quad . \end{aligned} \quad (2.48)$$

Der Wechsel des Vorzeichens rührt daher, dass per Definition der Drain-Source-Strom für $I_D > 0$ in Richtung $-y$ fließt. Der Drain-Strom setzt sich aus zwei Anteilen – dem Driftstrom und dem Diffusionsstrom – zusammen.

$$I_{\text{Drift}} \propto \frac{d\Phi_K}{dy} \quad \text{Driftstrom} \quad (2.49)$$

$$I_{\text{Diff}} \propto \frac{dQ_n}{dy} \quad \text{Diffusionsstrom} \quad . \quad (2.50)$$

Wegen der Quellenfreiheit des Stromes ist im statischen Fall der gesamte Drain-

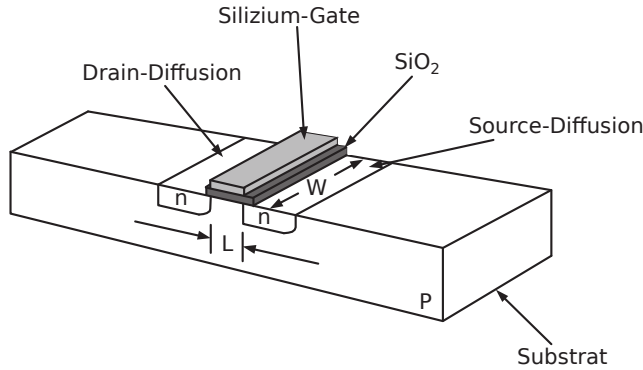


Bild 2.11 Geometrie eines MOS-Transistors.

Strom ortsunabhängig. Gleichung 2.48 ist eine gekoppelte Differentialgleichung. Es ist nützlich anzunehmen, dass entweder nur ein Driftstrom oder nur ein Diffusionsstrom fließt.

Zunächst wird nur der Driftstrom berechnet. Gleichung 2.48 enthält die Annahme, dass die mittlere Driftgeschwindigkeit der Elektronen linear vom elektrischen Feld abhängt

$$v = -\mu \cdot E \quad . \quad (2.51)$$

Da nur ein Driftstrom fließen soll, muss nun wegen der Quellenfreiheit des Stromes der Driftstrom ortsunabhängig sein. Mithin heben sich die Ortsabhängigkeiten der einzelnen Anteile von I_D gegenseitig auf. Aus den Gleichungen 2.4 und 2.8 resultiert mittels Integration die Gleichung für den Drain-Strom, wenn die Beweglichkeit μ als konstant angenommen wird

$$I_D \cdot \int_{y=0}^{y=L} dy = \mu \cdot W \cdot c_{ox} \cdot \int_{\Phi_K=0}^{\Phi_K=U_{DS}} (U_{GS} - U_T - \Phi_K) \cdot d\Phi_K \quad (2.52)$$

$$I_D = \mu \cdot c_{ox} \cdot \frac{W}{L} \cdot \left((U_{GS} - U_T) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right) \quad . \quad (2.53)$$

Nach Bild 2.11 ist W die Weite und L die Länge des Transistors.

Im Gegensatz zur thermischen Spannung U_t unterliegt die Einsatzspannung U_T Herstellungstoleranzen. Deswegen wählt man üblicherweise für die effektive Gate-Source-Spannung $U_{GS} - U_T > 100 \text{ mV}$.

Nimmt man den Ausdruck für die Ladung der Inversionsschicht und berechnet man nur den Diffusionsanteil, so erhält man

$$I_D = \mu_n \cdot c_{ox} \cdot \frac{W}{L} \cdot U_t \cdot U_{DS} \quad . \quad (2.54)$$

Vergleicht man die beiden letzten Gleichungen, sieht man, dass bei starker Inversion die Driftkomponente dominiert. Somit braucht der Beitrag der Diffusion zum Gesamtstrom nicht berücksichtigt zu werden.

Bei kleinen Drain-Source-Spannungen kann in Gleichung 2.53 der quadratische Term vernachlässigt werden. Der Transistor wirkt wie ein Widerstand mit dem Leitwert

$$g_0 = \left. \frac{\partial I_D}{\partial U_{DS}} \right|_{U_{DS}=0} = \mu \cdot c_{ox} \cdot \frac{W}{L} \cdot (U_{GS} - U_T) \quad . \quad (2.55)$$

Daher wird dieser Arbeitsbereich des MOS-Transistors linearer Bereich oder in Anlehnung an Vakuumröhren auch Triodenbereich genannt. Der Triodenbereich ist wie folgt definiert

$$0 \leq U_{DS} \leq U_{GS} - U_{Tn} \quad . \quad (2.56)$$

In der Literatur findet man oft den Ausdruck

$$\beta = \mu \cdot c_{ox} \cdot \frac{W}{L}, \quad (2.57)$$

der als Verstärkungsfaktor bezeichnet wird. Dem Designer sind die technologischen Werte c_{ox} und μ – vorgegeben. Nur die Weite oder die Länge des Transistors kann von ihm variiert werden. Daher wird neben β auch der Ausdruck Leitwertparameter k benutzt

$$k = \mu \cdot c_{ox} \quad . \quad (2.58)$$

Typische k -Werte eines n-Kanal-Transistors liegen für Oxiddicken von 10nm bis 5 nm zwischen 120 und 240 $\mu\text{A}/\text{V}^2$.

Mit der angegebenen Abkürzung erhält man folgende einfache Gleichung für den Drain-Strom im linearen Bereich

$$I_D = \beta \cdot \left((U_{GS} - U_{Tn}) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right) \quad . \quad (2.59)$$

Der Drain-Strom wird nur vom Verhältnis von Kanalweite zu Kanallänge bestimmt und nicht von deren Absolutwerten. Die Ableitung des Drain-Stroms im linearen Bereich erfolgte unter der Annahme, dass der Diffusionsstrom vernachlässigt werden kann. Lässt man diese Annahme fallen, erhält man eine Gleichung, die zusätzlich Terme mit $U_{DB}^{3/2}$ und $U_{SB}^{3/2}$ enthält [226, 244].

Gleichung 2.53 beschreibt eine nach unten offene Parabel (Bild 2.12). Tatsächlich bleibt der Drain-Strom bei einer groben Näherung ab einer bestimmten Drain-Source-Spannung konstant. Der MOS-Transistor befindet sich nun im Sättigungsbereich. Ursache für die Abweichung ist die bisher benutzte Gradual-Channel Nä-

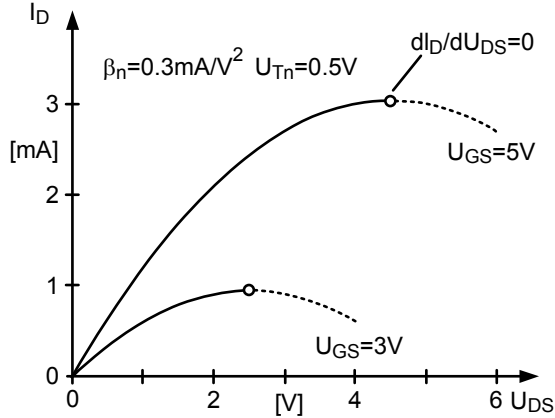


Bild 2.12 Kennlinienfeld des MOS-Transistors im Triodenbereich.

herung, die für kleine Spannungen U_{DS} annimmt, dass die Ladungsträgerdichte in der Inversionsschicht nur vom vertikalen, vom Gate verursachten Feld abhängig ist. Diese Annahme ist bei großen U_{DS} -Spannungen nicht gerechtfertigt.

Die Drain-Spannung, bei der die Steigung dI_D/dU_{DS} den Wert 0 annimmt und ab der die Gleichung 2.53 nicht mehr mit der Physik übereinstimmt, nennt man die Sättigungsspannung U_{DSsat} . Sie ergibt sich aus Gleichung 2.53 zu

$$U_{DSsat} = U_{GS} - U_{Tn} \quad . \quad (2.60)$$

Zum besseren Verständnis der Effekte, die bei Stromsättigung auftreten, ist es nützlich, die Ortsabhängigkeit der Kanalspannung zu betrachten (Bild 2.13). Die Kanalspannung kann ermittelt werden, indem man in der Integralgleichung 2.52 die Integrationsgrenzen L und U_{DS} durch y und Φ_K ersetzt

$$I_D = \mu_n \cdot c_{ox} \cdot \frac{W}{y} \cdot \left((U_{GS} - U_T) \cdot \Phi_K - \frac{\Phi_K^2}{2} \right) \quad . \quad (2.61)$$

Verwendet man die Gleichung 2.59 für den Drain-Strom, erhält man

$$\Phi_K(y) = (U_{GS} - U_T) - \sqrt{(U_{GS} - U_T)^2 - 2 \cdot \left((U_{GS} - U_T) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right) \cdot \frac{y}{L}} \quad . \quad (2.62)$$

Da der Diffusionsstrom vernachlässigt wurde, ist der Driftstrom wegen der Quellenfreiheit des Stromes ortsunabhängig. Die Feldstärke $E = -d\Phi_K/dy$ ändert sich bei großen Werten für U_{DS} dagegen kontinuierlich längs des Kanals. Deswegen muss sich die Ladungsträgerdichte Q_n entsprechend

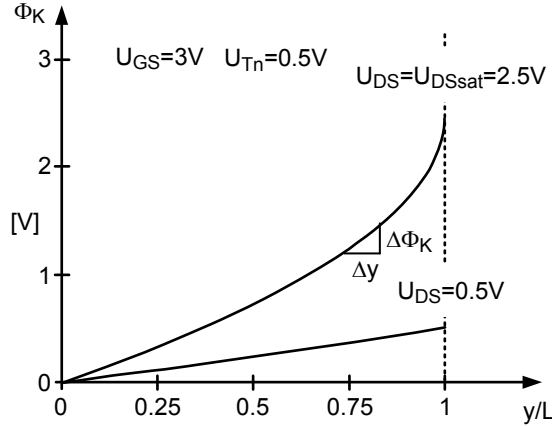


Bild 2.13 Ortsabhängigkeit der Kanalspannung [94].

$$|I_D| = \mu_n \cdot W \cdot Q_n \cdot \frac{d\Phi_K}{dy} = \text{const.}$$

anpassen.

Am Drain-seitigen Ende des Kanals stellt sich die größte Feldstärke und damit nach Gleichung 2.51 auch die größte Driftgeschwindigkeit bei geringster Ladungsträgerdichte ein. Erreicht am Drain-seitigen Ende des Kanals die Kanalspannung den Wert

$$\Phi_K = U_{DSsat} = U_{GS} - U_{Tn} \quad , \quad (2.63)$$

so wird an dieser Stelle entsprechend Gleichung 2.44 die Ladungsträgerdichte gegen Null gehen. Der Ort, an dem dies geschieht, wird Abschnürpunkt (pinch-off point) genannt. Eine weitere Erhöhung der Drain-Spannung über $U_{DS} = U_{DSsat}$ hinaus ändert nicht die Spannung, die über dem Kanal in horizontaler Richtung abfällt. Diese Spannung ist wegen der Kanalabschnürung auf U_{DSsat} beschränkt. Die zusätzliche Spannung fällt über die in Sperrrichtung gepolte Raumladungszone des Drain-seitigen pn-Übergangs ab. Daher ist es plausibel, in erster Näherung anzunehmen, dass der Drain-Strom im Sättigungsbereich konstant ist und den Wert annimmt, den Gleichung 2.59 für $U_{DS} = U_{DSsat}$ bestimmt. In erster Näherung lautet die Gleichung für den Drain-Strom im Sättigungsbereich

$$I_{Dn} = \frac{1}{2} \cdot \beta_n \cdot (U_{GS} - U_{Tn})^2 \quad (2.64)$$

für

$$0 \leq U_{GS} - U_{Tn} \leq U_{DS} \quad . \quad (2.65)$$

Werden die beiden Bereiche – Triodenbereich und Sättigungsbereich – zusammengeführt, ergibt sich das Kennlinienfeld nach Bild 2.14a:

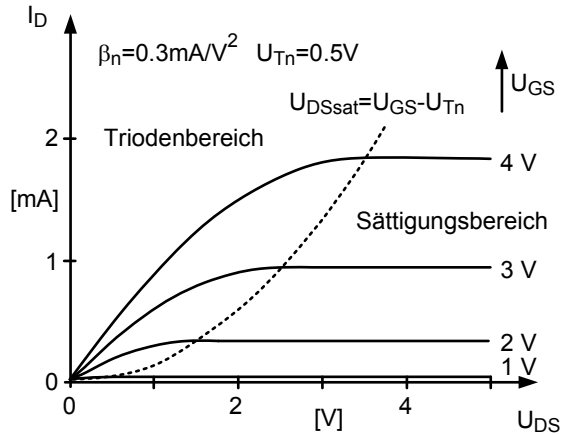


Bild 2.14a Ausgangskennlinienfeld eines NMOS-Transistors.

Das Bild 2.14a zeigt das Ausgangskennlinienfeld, während das Eingangskennlinienfeld $I_D = f(U_{GS})$ mit U_{DS} als Parameter in Bild 2.14b dargestellt ist.

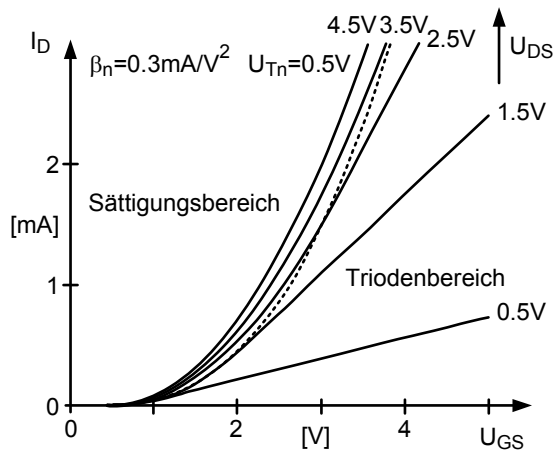


Bild 2.14b Lineares Eingangskennlinienfeld eines NMOS-Transistors.

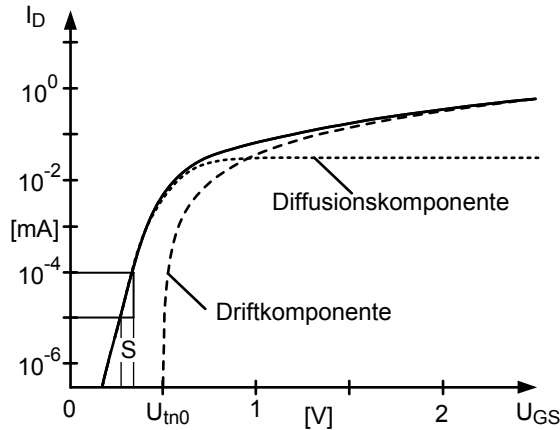


Bild 2.14c Logarithmisches Eingangskennlinienfeld eines NMOS-Transistors.

2.1.3.2 Kanallängenmodulation

Bisher wurde angenommen, dass der Drain-Strom im Sättigungsbereich unabhängig von der Drain-Spannung ist. Reale Transistorkennlinien zeigen aber ein schwaches Ansteigen des Drain-Stromes mit wachsender Drain-Source-Spannung (Bild 2.15). Diese Zunahme ist um so ausgeprägter je kürzer die Kanallänge des Transistors ist (Bild 2.16).

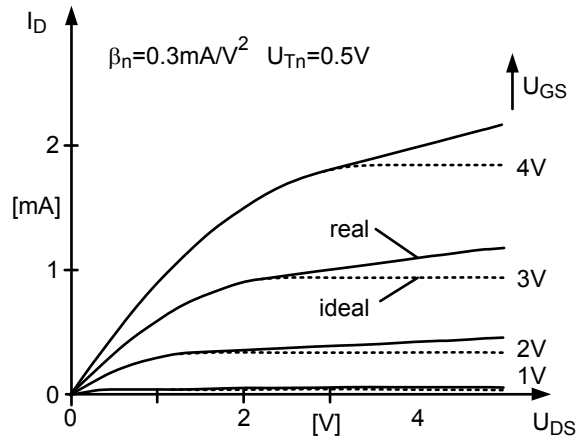


Bild 2.15 Realistische und idealisierte Ausgangskennlinienfelder.

Es wurde bereits gezeigt, dass im Sättigungsbereich der Kanal am „Pinch-off“-Punkt P abschnürt. Wird die Drain-Spannung über $U_{DS} = U_{DSsat}$ hinaus erhöht, wandert infolge des erhöhten, vom Drain induzierten elektrischen Feldes der Abschnür-

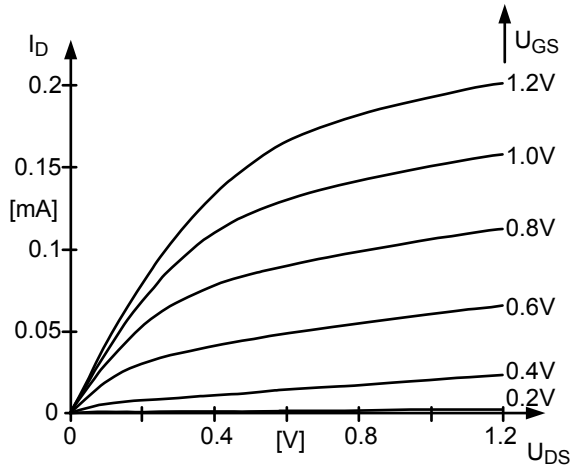


Bild 2.16 Ausgangskennlinienfeld eines 40nm NMOS-Transistors.

punkt in Richtung Source (Bild 2.17 und 2.18). Es kommt zu einer Verkürzung der effektiven Kanallänge. Der *Drain-Strom* wird größer

$$I_{D\text{satn}} = \frac{L}{L - \Delta L} \cdot \frac{\beta_n}{2} \cdot (U_{GS} - U_{Tn})^2 \quad . \quad (2.66)$$

Eigentlich müsste man die Kanalverkürzung ΔL berechnen, aber dies wäre zu kompliziert. In Anlehnung an die Basisweitenmodulation bei einem Bipolartransistor wird die Kanallängenmodulation phänomenologisch durch den Kanallängenmodulationsfaktor $\lambda_n > 0$ berücksichtigt

$$I_{Dn} = \frac{1}{2} \cdot \beta_n \cdot (U_{GS} - U_{Tn})^2 \cdot (1 + \lambda_n \cdot U_{DS}) \quad . \quad (2.67)$$

Der Kanallängenmodulationsfaktor kann graphisch aus den Kennlinienfeldern ermittelt werden. Man erhält den Wert $-1/\lambda_n$ an dem Punkt, an dem sich die extrapolierten Kennlinien mit der Achse $I_D = 0$ schneiden (Bild 2.19). In dem Bild sind auch die Ausgangsleitwerte g_{DS} im Sättigungsbereich eingetragen.

Gleichung 2.67 findet man in fast allen Lehrbüchern. Jedoch gibt es ein großes Problem, denn für $U_{DS} = U_{DS\text{sat}}$ liefern die Gleichungen 2.67 und 2.59 unterschiedliche Werte. Zeichnet man den Graphen für den Drain-Strom als Funktion der Drain-Source-Spannung ergibt sich für $U_{DS} = U_{DS\text{sat}}$ eine Unstetigkeit. Der Übergang zwischen den beiden Gleichungen muss stetig und stetig differenzierbar sein. Daher bedarf es einer Korrektur, die am einfachsten am Drain-Strom im Triodenbereich vorgenommen wird

$$I_{Dn} = \beta_n \cdot \left((U_{GS} - U_{Tn}) \cdot U_{DS} - \frac{1}{2} \cdot U_{DS}^2 \right) \cdot (1 + \lambda_n \cdot U_{DS}) \quad . \quad (2.68)$$

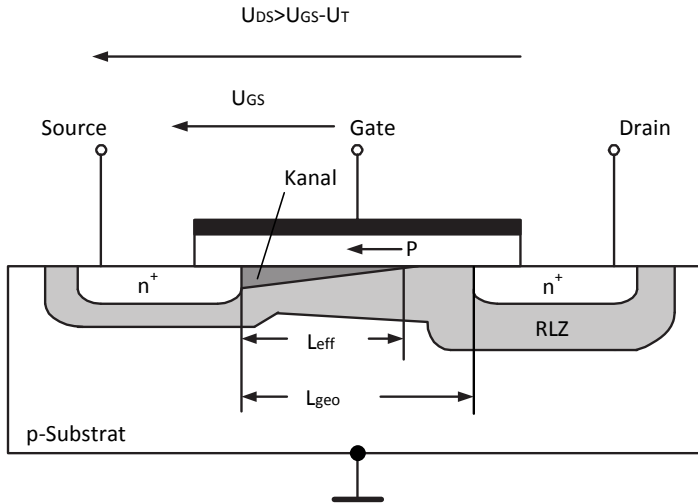


Bild 2.17 Schematische Darstellung der Kanallängenmodulation.

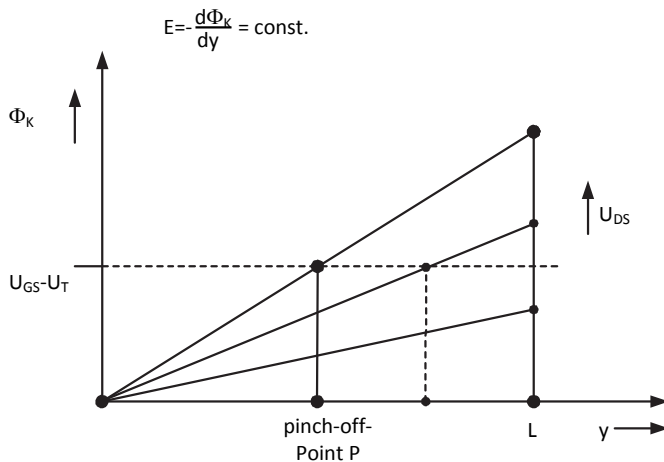


Bild 2.18 Wandern des „Pinch-off“-Punktes P bei Erhöhung der Drain-Spannung bei idealisierter Betrachtung.

Berechnet man den Drain-Strom nach Gleichung 2.68 wird man etwas zu große Werte für den Drain-Strom erhalten. Dies gilt besonders für moderne Transistoren mit $L < 90 \text{ nm}$. In Kapitel 2.1.7 wird abgeleitet, dass für moderne Transistoren Transistorparameter, wie die Beweglichkeit μ , als Anpassparameter (Fitting-Parameter) und nicht als physikalisch bestimmte Größe betrachtet werden sollten. In diesem Kapitel wird auch gezeigt, wie für eine bestimmte Technologie der Parameter β bestimmt werden kann. Diese Methode kann auch hier angewendet werden. Als Alternative hierzu kann Gleichung 2.68 für den Triodenbereich wie folgt abgewandelt

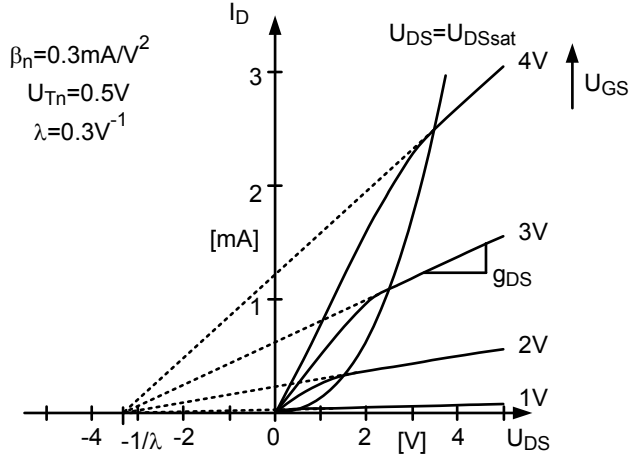


Bild 2.19 Bestimmung des Kanallängenmodulationsfaktors λ_n .

werden [98]

$$I_D = \beta \cdot \left((U_{GS} - U_T) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right) \cdot \frac{1 + \lambda \cdot U_{DS}}{1 + \lambda \cdot U_{GS}} \quad (2.69)$$

Für den Sättigungsbereich ergibt sich

$$I_D = \frac{1}{2} \cdot \beta \cdot (U_{GS} - U_T)^2 \cdot \frac{1 + \lambda \cdot U_{DS}}{1 + \lambda \cdot U_{GS}} \quad (2.70)$$

2.1.3.3 Übersicht über die einfachen Transistorgleichungen

Die bisher abgeleiteten Gleichungen beschreiben das Gleichstromverhalten von n-Kanal-MOS-Transistoren mit Kanallängen $L > 5 \mu\text{m}$ sehr gut. Im nächsten Schritt werden die Gleichungen an die anderen Transistortypen angepasst.

Gleichung 2.33 zeigt, dass die Einsatzspannung von der Dotierung des Substrats abhängt. Für ein p-dotiertes Substrat ist die Einsatzspannung positiv und für $U_{GS} = 0$ sperrt der n-Kanal-Transistor. Diesen Transistortyp nennt man Anreicherungs-transistor (Enhancement-Transistor oder normally-off transistor).

Man kann durch geeignete Dotierung z. B. mit Arsen an der Oberfläche eines sonst p-dotierten Substrates einen Kanal auch für $U_{GS} = 0$ erzeugen. Diese n-Kanal-Transistoren vom Verarmungstyp (Depletion-Transistor oder normally-on transistor) haben eine negative Einsatzspannung, sonst bleiben die Stromgleichungen unverändert.

Die Ableitung der Einsatzspannung und der Stromcharakteristik für einen p-Kanal-Transistor gleicht derjenigen für den n-Kanal-Transistor. Es ergeben sich die gleichen Zusammenhänge, so dass die abgeleiteten Gleichungen auch für p-Kanal-

Transistoren gültig sind. Zu beachten ist, dass bei normalem Betrieb eines p-Kanal-Anreicherungstransistors U_{GSp} , U_{DSp} , U_{Tp} , λ_p und γ_p negative Werte aufweisen, während die Ladung Q_B der Raumladungszone positiv ist.

Die Anwendung der Kennliniengleichungen für p- und n-Kanal-Transistoren wird erleichtert, wenn man sich an die im Bild 2.20 eingezeichneten Strom- und Spannungspfeile hält.

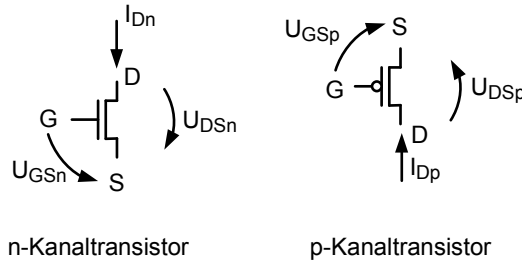


Bild 2.20 Strom- und Spannungspfeile an MOS-Transistoren.

Im Folgenden werden die wichtigsten Gleichungen für n- und p-Kanal-Transistoren zusammengefasst:

- Einsatzspannung

$$U_{Tn,p} = U_{FB} + 2 \cdot \Phi_F + \gamma \cdot \sqrt{2 \cdot \Phi_F + U_{SB}}$$

- Sperrbereich

$$I_{Dn} = 0 \quad \text{für} \quad U_{GSn} - U_{Tn} \leq 0 \quad (2.71)$$

$$I_{Dp} = 0 \quad \text{für} \quad U_{GS_p} - U_{Tp} \geq 0 \quad (2.72)$$

- Triodenbereich

$$I_{Dn} = \beta_n \cdot \left((U_{GSn} - U_{Tn}) \cdot U_{DSn} - \frac{U_{DSn}^2}{2} \right) \cdot (1 + \lambda_n \cdot U_{DSn}) \quad (2.73)$$

für

$$0 \leq U_{DS} \leq U_{GS} - U_{Tn}$$

$$I_{Dp} = -\beta_p \cdot \left((U_{GS_p} - U_{Tp}) \cdot U_{DS_p} - \frac{U_{DS_p}^2}{2} \right) \cdot (1 + \lambda_p \cdot U_{DS_p}) \quad (2.74)$$

für

$$U_{GS_p} - U_{Tp} \leq U_{DS_p} \leq 0$$

- Sättigungsbereich

$$I_{Dn} = \frac{1}{2} \cdot \beta_n \cdot (U_{GSn} - U_{Tn})^2 \cdot (1 + \lambda_n \cdot U_{DSn}) \quad (2.75)$$

für

$$0 \leq U_{GSn} - U_{Tn} \leq U_{DSn}$$

$$I_{Dp} = -\frac{1}{2} \cdot \beta_p \cdot (U_{GSp} - U_{Tp})^2 \cdot (1 + \lambda_p \cdot U_{DSp}) \quad (2.76)$$

für

$$U_{DSp} \leq U_{GSp} - U_{Tp} \leq 0 \quad .$$

Wie bereits erwähnt wurde, eignen sich die Gleichungen sehr gut, das elektrische Verhalten von Langkanaltransistoren zu beschreiben. Diese Gleichungen sollten aber auch für moderne MOS-Technologien eingesetzt werden, wenn mittels einfacher Handrechnungen ein prinzipielles Verständnis von Grundsaltungen gewonnen werden soll.

Die nächsten Abschnitte sollen helfen, das Verständnis der MOS-Transistoren zu vertiefen und zu verfeinern.

2.1.3.4 Genauere Transistorgleichungen bei starker Inversion

Bei den vorhergehenden Ableitungen der Transistorgleichungen wurde eine orts-unabhängige Raumladung Q_B (Gradual-Channel Näherung) unter dem Kanal angenommen. In Wirklichkeit ändert sich Q_B jedoch in Abhängigkeit von der Kanalspannung. Im Folgenden wird dieser Effekt berücksichtigt. Man erhält dadurch einen besseren Einblick in die Physik der Transistoren, ohne die Modelle wesentlich zu verkomplizieren. Besonders für die Berechnung von analogen Schaltungen empfiehlt es sich, die verbesserten Stromgleichungen einzusetzen.

Die Ladung in der Inversionsschicht beträgt für n-Kanal-Transistoren nach Gleichung 2.41

$$Q_n = -c_{ox} \cdot \left(U_{GS} - U_{FB} - 2 \cdot \Phi_F - \Phi_K(y) - \gamma \cdot \sqrt{2 \cdot \Phi_F + U_{SB} + \Phi_K(y)} \right) \quad ,$$

wobei berücksichtigt wurde, dass sich das Oberflächenpotential entsprechend Gleichung 2.40 verhält

$$\Phi_S(SI) = 2 \cdot \Phi_F + U_{SB} + \Phi_K(y) \quad .$$

Der Ausdruck unter der Wurzel von Gleichung 2.41 lässt sich mittels der beiden ersten Glieder einer Taylor-Reihe um die Kanalspannung an Source $\Phi_K(y=0) = 0$ vereinfachen

$$\sqrt{2 \cdot \Phi_F + U_{SB} + 2 \cdot \Phi_K(y)} \approx \sqrt{2 \cdot \Phi_F + U_{SB}} + \frac{\Phi_K(y)}{2 \cdot \sqrt{2 \cdot \Phi_F + U_{SB}}} \quad (2.77)$$

Das Ergebnis ist eine modifizierte Beschreibung der Inversionsschichtladung

$$Q_n = -c_{ox} \cdot \left(U_{GS} - U_{FB} - 2 \cdot \Phi_F - \Phi_K(y) - \gamma \cdot \left(\sqrt{2 \cdot \Phi_F + U_{SB}} + \frac{\Phi_K(y)}{2 \cdot \sqrt{2 \cdot \Phi_F + U_{SB}}} \right) \right) \quad (2.78)$$

$$Q_n = -c_{ox} \cdot (U_{GS} - U_{Tn} - n \cdot \Phi_K(y)) \quad (2.79)$$

Der Substratsteuerfaktor n wird hier von der Ortsabhängigkeit von Q_B verursacht. Es gilt (siehe auch Gleichungen 2.37 und 2.38)

$$n - 1 = \frac{\gamma}{2 \cdot \sqrt{2 \cdot \Phi_F + U_{SB}}} \quad (2.80)$$

Da die Gleichung für die Ladung in der Inversionsschicht modifiziert werden musste, gelangt man zu modifizierten Stromgleichungen, wenn man die gleichen Schritte durchführt, die zu den idealisierten Stromgleichungen geführt haben.

Man erhält für den Drain-Strom eines n-Kanal-Transistors im Triodenbereich

$$I_{Dn} = \beta_n \cdot \left((U_{GS} - U_{Tn}) \cdot U_{DS} - \frac{n}{2} \cdot U_{DS}^2 \right) \cdot (1 + \lambda_n \cdot U_{DS}) \quad (2.81)$$

für

$$0 \leq U_{DS} \leq \frac{U_{GS} - U_{Tn}}{n}$$

und im Sättigungsbereich

$$I_{Dn} = \frac{\beta_n}{2 \cdot n} \cdot (U_{GS} - U_{Tn})^2 \cdot (1 + \lambda_n \cdot U_{DS}) \quad (2.82)$$

für

$$0 \leq \frac{U_{GS} - U_{Tn}}{n} \leq U_{DS}$$

Die Sättigungsspannung beträgt

$$U_{DSsat} = \frac{U_{GS} - U_{Tn}}{n} \quad (2.83)$$

Die abgeleiteten genaueren Gleichungen sind bis auf den Faktor n identisch mit den einfachen Gleichungen 2.71 bis 2.76. Typische Werte für n liegen zwischen 1,1 und 1,4. Somit sind die Sättigungsströme und U_{DSsat} um etwa den Faktor 1,1 bis 1,4

niedriger als die idealisierten Gleichungen es beschreiben. Für p-Kanal-Transistoren gilt entsprechendes.

2.1.3.5 Transistorgleichungen bei schwacher Inversion

Die einfachen Stromgleichungen (2.71 bis 2.76) postulieren, dass der Drain-Strom Null ist, wenn die Gate-Source-Spannung die Einsatzspannung erreicht oder unterschreitet. Vielmehr ist wie beim Bipolartransistor eine exponentielle Abhängigkeit des Drain-Stromes von den äußeren Spannungen bei kleinen Gate-Source-Spannungen festzustellen (siehe Bild 2.21). Es gilt [244]

$$I_D = \beta_n \cdot (n-1) \cdot U_t^2 \cdot e^{\frac{U_{GS} - U_{Tn}}{n \cdot U_t}} \cdot \left(1 - e^{-\frac{U_{DS}}{U_t}} \right) \quad \text{für } U_{GS} \leq U_{Tn} \quad (2.84)$$

Es handelt sich um einen Diffusionsstrom. Für U_{DS} größer als 100mV ist der Einfluss der Drain-Spannung vernachlässigbar. Gleiches gilt für p-Kanal-Transistoren. Interessanterweise enthält Gleichung 2.84, wie auch Gleichung 2.79, den Faktor n . Dies ist eine Näherung, die nur für Handrechnungen geeignet ist [68]. Die physikalische Deutung des Faktors n wurde bereits abgeleitet (siehe Gleichungen 2.37 und 2.38).

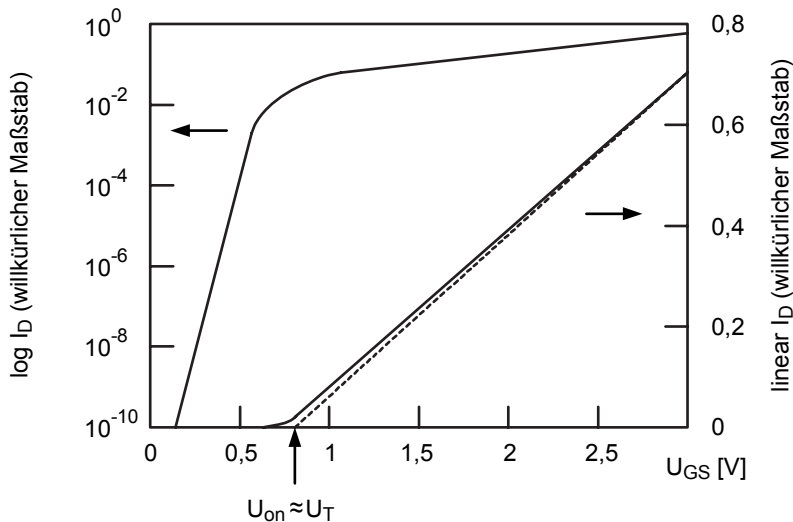


Bild 2.21 Drain-Strom I_D im Unterschwellenbereich und bei starker Inversion. Im Unterschwellenbereich überwiegt der Diffusionsstrom, während in starker Inversion die Driftkomponente stärker ist.

In der Literatur findet man die Maßzahl S , die die notwendige Änderung der Gate-Spannung angibt, die aufgewendet werden muss, um den Unterschwellenstrom um eine Dekade zu verändern. Je kleiner die nötige Gate-Source-Spannung ist, desto leichter kann der Transistor gesperrt werden

$$S = \frac{dU_{GS}}{d \log_{10} I_D} = \frac{dU_{GS}}{d \ln I_D} \cdot \ln 10 \quad . \quad (2.85)$$

Gleichung 2.84 ergibt für $U_{DS} > 100 \text{ mV}$ und nach Logarithmieren

$$\ln I_D = \ln (\beta_n \cdot (n-1) \cdot U_t^2) + \frac{U_{GS} - U_{Tn}}{U_t \cdot n} \quad . \quad (2.86)$$

Daraus folgt die Maßzahl

$$S = U_t \left(1 + \frac{c_d}{c_{ox}} \right) \cdot \ln 10 = n \cdot U_t \cdot \ln 10 \quad . \quad (2.87)$$

Typische Werte für S liegen zwischen 65 und 90 mV.

2.1.3.6 Temperaturverhalten des MOS-Transistors

Das Verhalten des MOS-Transistors ist stark von der Temperatur abhängig. Während des aktiven Betriebs einer Schaltung steigt die Temperatur im Kanalbereich der Transistoren in Abhängigkeit von der umgesetzten Leistung sowie der Wärmeableitung an. Maßgeblich ist die Temperatur von pn-Übergängen, die typischerweise in Logikschaltungen bei 85°C liegt. In der Regel soll die Schaltung auch noch bei 125°C funktionsfähig sein.

Bei einer Erhöhung der Temperatur beeinflussen zwei Effekte den Drain-Strom der Transistoren, die in die entgegengesetzte Richtung wirken. Zum einem reduziert sich die Beweglichkeit der Ladungsträger im Kanalbereich durch verstärkte Phononen- und Oberflächenstreuung. Zum anderem verkleinert sich die Einsatzspannung wegen des geringeren Fermi-Potentials.

In Kapitel 2.1.3.1 wurde der Leitwertparameter k_n (Gleichung 2.58) bereits eingeführt

$$k_n = \mu(T) \cdot c_{ox} \quad .$$

Für die Temperaturabhängigkeit der Beweglichkeit wird folgende Näherung benutzt

$$\mu_n(T) = \mu(T_0) \cdot \left(\frac{T}{T_0} \right)^{-\alpha_n} \quad (2.88)$$

T_0 Raumtemperatur 300 K

α Konstante mit Werten zwischen 1,5 und 2 .

Somit bewirkt eine Temperaturerhöhung um 100°C eine Reduktion der Beweglichkeit um 40%. Die Änderung der Einsatzspannung

$$U_{\text{T0n}}(T) = U_{\text{FB}} + 2 \cdot \Phi_{\text{F}}(T) + \gamma \cdot \sqrt{2 \cdot \Phi_{\text{F}}(T)} \quad (2.89)$$

wird bestimmt von der Temperaturabhängigkeit des Fermi-Potentials [244]

$$\Phi_{\text{F}} = U_{\text{t}} \cdot \ln \frac{N_{\text{A}}}{n_{\text{i}}} \quad (2.90)$$

und damit auch von der Temperaturabhängigkeit der Intrinsic-Dichte

$$n_{\text{i}} = C \cdot \left(\frac{T}{\text{K}} \right)^{3/2} \cdot e^{-\frac{W_{\text{g}}(T)}{2kT}} \quad (2.91)$$

C temperaturabhängige Konstante

W_{g} Bandabstand zwischen Leitungsband und Valenzband

Die Temperaturabhängigkeit der Einsatzspannung lässt sich mittels eines Temperaturkoeffizienten

$$\frac{dU_{\text{T0n}}}{dT} \approx -2 \frac{\text{mV}}{\text{K}} \quad (2.92)$$

beschreiben.

Bei zunehmender Temperatur nimmt der Drain-Strom einerseits wegen der Verringerung der Beweglichkeit ab. Andererseits nimmt der Strom zu, da die Einsatzspannung kleiner wird und somit die effektive Gate-Source-Spannung wächst. Bei großen Gate-Spannungen überwiegt der Beweglichkeitseinfluss und bei kleinen Gate-Spannungen die Einsatzspannungsabhängigkeit. In einem kleinen mittleren Spannungsbereich kompensieren sich nahezu beide Temperatureinflüsse (Bild 2.22).

Der statische „Zero Temperature Coefficient Point“ (ZTC-Punkt) ist definiert als der Wert der Gate-Source-Spannung, bei dem der Drain-Strom unabhängig von der Temperatur ist. Früher hat man angenommen, dass der ZTC-Punkt bei der Skalierung konstant bleibt. Dies hat sich als falsch erwiesen. Vielmehr sinkt die Temperaturabhängigkeit der Einsatzspannung, wenn das Kanalpotential mittels dünnerer Oxide stärker an das Gate-Potential gekoppelt ist. Somit wird mit kleineren Strukturen der Wert des ZTC-Punktes kleiner. Typischerweise liegt der ZTC-Punkt bei einem n-Kanal-Transistor der 90nm Technologie zwischen 0,7 und 0,8 V. Wegen der größeren Temperaturabhängigkeit der Einsatzspannung ist der statische PMOS ZTC-Punkt um 100 mV größer [5]. Neben einem statischen ZTC-Punkt wurde auch ein dynamischer ZTC-Punkt festgelegt, der in Kapitel 4.3.2.3 behandelt wird. Im Unterschwellenbereich hat der MOS-Transistor wegen der exponentiellen Abhängigkeit des Unterschwellenstroms von der Temperaturspannung ein ausgeprägtes positives Temperaturverhalten (Bild 2.23).

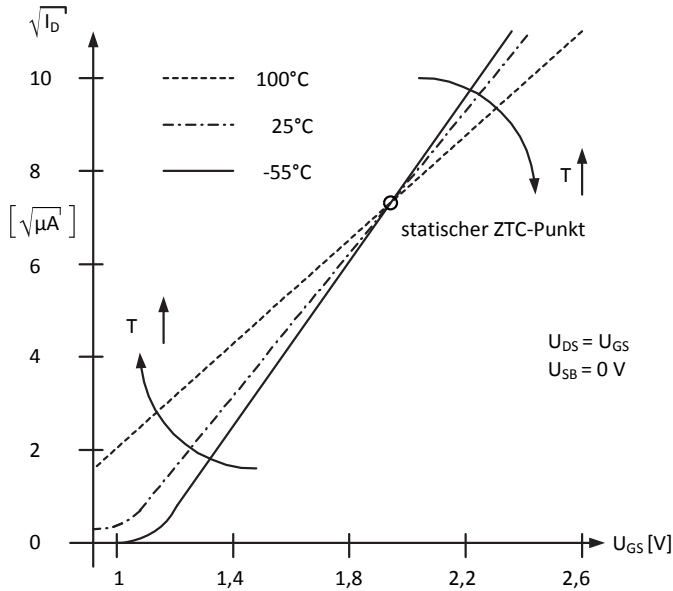


Bild 2.22 Temperaturabhängigkeit des Drain-Stromes im Sättigungsbereich [94].

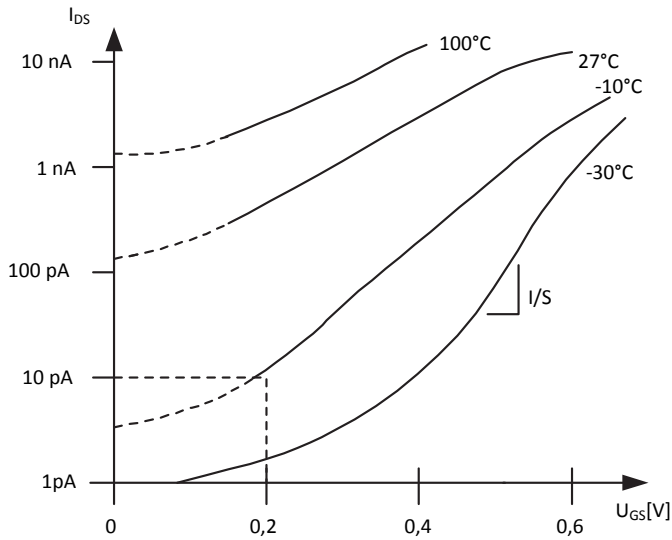


Bild 2.23 Temperaturverhalten des MOS-Transistors bei schwacher Inversion [94]. (Die gezeigten Stromverläufe sind nicht realistisch, man müsste sie simulieren.)

2.1.3.7 Zusammenfassung

In den letzten Abschnitten wurden modifizierte Stromgleichungen für den n-Kanal-Transistor, die auch sinngemäß für den p-Kanal-Transistor gelten, abgeleitet. Diese Gleichungen dienen für etwas genauere Abschätzungen des Gleichstromverhaltens. Es wurden drei Arbeitsbereiche für den MOS-Transistor identifiziert:

- Unterschwellenstrombereich,
- Linearer Bereich und
- Sättigungsbereich.

2.1.4 Strukturverkleinerung

Seit dem Beginn der Ära der integrierten Schaltungen 1959 verringerte sich die minimale Strukturgröße, die in der Fertigung beherrscht wurde, um drei Größenordnungen. Dadurch ergab sich die dramatische Abnahme der Kosten pro Funktion oder pro Fläche. Etwa alle drei Jahre werden die geometrischen Größen um den Faktor $S = 1,43 = 1/0,7$ verkleinert, d. h. die Flächen werden in diesem Zeitraum halbiert.

Das Prinzip, nach dem die Strukturverkleinerung erfolgen soll, ist sehr einfach. Man geht von der Überlegung aus, dass das Verhalten des MOS-Transistors von den elektrischen Feldern bestimmt wird. Verkleinert man alle geometrischen Strukturen (sowohl horizontale als auch vertikale) und gleichzeitig alle von außen angelegten Spannungen um denselben Faktor $S > 1$, so sollten alle elektrischen Felder konstant bleiben und damit die physikalischen Vorgänge unverändert sein.

Damit die Poisson-Gleichung

$$\frac{\partial E_x}{\partial x} + \frac{\partial E_y}{\partial y} = \frac{\rho}{\epsilon_0 \cdot \epsilon_{Si}} = \frac{q \cdot N_A}{\epsilon_0 \cdot \epsilon_{Si}} \quad (2.93)$$

invariant ist gegenüber der Strukturverkleinerung, muss die Nettodotierung N_A mit den Faktor S multipliziert werden.

Nach diesen einfachen Regeln nehmen der Drain-Strom und die Gate-Kapazität mit dem Faktor S ab, während der Kanalwiderstand (U_{DD}/I_{Dsat}) und die Kanalladung Q_n konstant bleiben (siehe Tabelle 2.1).

Daraus kann auf das elektrische Verhalten von Logikgatter geschlossen werden. Die Sprungantwort ist von der RC-Zeitkonstante ($RC \sim 1/S$) abhängig. Daher nimmt vermutlich die Gatterlaufzeit mit dem Faktor S ab, während die Verlustleistung ($P = U \cdot I$) mit S^2 kleiner wird. Die Verlustleistungsdichte sollte nach diesen einfachen Überlegungen bei der Verkleinerung der Strukturen konstant bleiben. Die CMOS-Technologie bietet nicht nur den Vorteil der sinkenden Kosten pro Funktion. Sondern mit kleineren Strukturen verbessern sich auch die elektrischen Eigenschaften.

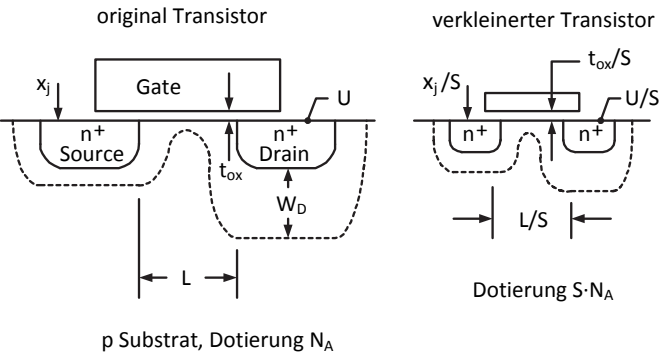


Bild 2.24 Prinzip der Strukturverkleinerung mit konstanten elektrischen Feldern [51].

Tabelle 2.1 Gesetze der Strukturverkleinerung mit konstantem elektrischen Feld.

	MOSFET	Verkleinerungsfaktor
Skalierungsregeln	Abmessungen der Bauelemente (t_{ox} , L , W , x_j)	$1/S$
	Konzentration der Dotieratome (N_A , N_D)	S
	Spannung (V)	$1/S$
Daraus abgeleitete	Elektrisches Feld E	1
Transistorparameter	Kapazität ($C = \epsilon A/t_{ox}$)	$1/S$
	Kanalladung (Q_n)	1
	Strom (I)	$1/S$
	Kanalwiderstand (R_{on})	1
	Schaltungszeit ($\tau \sim CU/I$)	$1/S$
	Verlustleistung ($P \sim U \cdot I$)	$1/S^2$

Leider lassen sich die einfachen Regeln zur Strukturverkleinerung nicht immer und überall anwenden. Nach den Regeln sollte die Stromdichte mit dem Faktor S zunehmen. Dies ist jedoch wegen des „electromigration“-Effektes nur beschränkt möglich, da eine maximale Stromdichte nicht überschritten werden darf. Mit „electromigration“ bezeichnet man den Abbau von Atomen in Leiterbahnen bei zu hohen Stromdichten.

Zwischen den Elektronen, die zum Stromfluss beitragen, und den Atomen des Kristallgitters kommt es bei „electromigration“ zu quantenmechanischen Wechselwirkungen. Bei den Kollisionen der Elektronen mit den Gitteratomen wird eine Kraft ausgeübt, die in dieselbe Richtung wirkt, in die sich die Elektronen unter dem Einfluss des elektrischen Feldes bewegen. Somit sammeln sich Ionen in einer Richtung an und können zwischen benachbarten Leitungen zu Kurzschlüssen führen. In der entgegengesetzten Richtung kommt es zu einem Mangel an Gitteratomen, der zu Abrissen von Leiterbahnen führen kann. Stromdichte, Temperatur und Kristallstruktur beeinflussen diesen Vorgang. Für Aluminiumleitungen sollte

die Stromdichte immer kleiner als $1 \text{ mA}/\mu\text{m}^2$ sein. Für Kupferleitungen liegt der Wert um eine Größenordnung höher.

Neben der Stromdichte gibt es weitere Größen, die nicht den Regeln der idealen Strukturverkleinerung folgen. Die Ursache hierfür liegt darin, dass die Temperaturspannung U_t und der Bandabstand W_g konstant bleiben, wenn die Strukturen verringert werden.

Mit Gleichung 2.84 erhält man im Unterschwellenbereich für $U_{GS} = 0$ und $U_{DS} = U_{DD}$

$$I_D = \mu_n \cdot c_{ox} \cdot \frac{W}{L} \cdot (n-1) \cdot U_t^2 \cdot e^{-\frac{U_{Tn}}{n \cdot U_t}} \quad (2.94)$$

Wegen der exponentiellen Abhängigkeit kann die Einsatzspannung nicht wesentlich verringert werden, weil sonst der Sperrstrom dramatisch ansteigen würde. Auch wenn man U_T konstant lässt, nimmt der Sperrstrom wegen c_{ox} um den Faktor S zu, wenn die Strukturen um den Faktor S verkleinert werden.

Dies bedingt besonders in dynamischen Schaltungen, bei denen die Informationen in Form von Ladungen auf Kapazitäten gespeichert werden, eine starke Beschränkung für die weitere Reduktion der Einsatzspannung. Aber auch in statischen Schaltungen bereitet die Zunahme der statischen Verlustleistung aufgrund der Erhöhung der Sperrströme sehr große Probleme. In modernen Prozessoren ist die dynamische Verlustleistung, die während der Schaltvorgänge auftritt, in etwa gleich groß wie die durch die Leckströme verursachte Verlustleistung.

Der Energieabstand W_g bleibt bei der Strukturverkleinerung konstant. Damit bleibt auch die intrinsische Ladungsträgerdichte n_i konstant. Dies führt weiter dazu, dass das Fermi-Potential, die Diffusionsspannungen und die Weiten von Raumladungszonen nicht entsprechend den idealen Regeln skalieren.

Auch aus wirtschaftlichen Gründen ist es nicht günstig für jede Technologiegeneration eine neue Versorgungsspannung einzuführen, da man in den Geräten etwa alle drei Jahre neue Schaltungen für die Spannungsversorgung einbauen müsste.

Dies kann vermieden werden, wenn auf den Chips entsprechende Gleichspannungswandler implementiert sind.

Aus den genannten Gründen werden in der Praxis die von außen angelegten Spannungen und die Einsatzspannungen geringer reduziert als es die idealen Regeln für die Strukturverkleinerung vorschreiben. In Kapitel 2.1.10.7 (Tabellen 2.1.2 und 2.1.3) wird dieses Thema vertieft. Dies und die Tatsache, dass U_t und W_g nicht entsprechend verkleinert werden, führt jedoch zu erheblichen Problemen, die unter anderem unter dem Stichwort Kurzkanaleffekte subsummiert werden.

2.1.5 Kurzkanaleffekte

Unter einem Kurzkanaleffekt versteht man die Abnahme der Einsatzspannung eines MOS-Transistors, wenn die Kanallänge verringert wird. Die Kanallänge unterliegt

bei der Herstellung Schwankungen. Daher muss man sicherstellen, dass die Einsatzspannung von Transistoren mit minimalen Kanallängen nicht zu klein wird. Besonders ausgeprägt ist dieser Effekt zum Beispiel bei n-Kanal-Transistoren, wenn die Drain-Spannung an der positiven Versorgungsspannung liegt. Bei einem Kurzkanaltransistor ist der Abstand zwischen Source und Drain vergleichbar zu den Weiten der Raumladungszonen, die sich um Source und Drain ausbilden.

Der wesentliche Unterschied zwischen einem Langkanal- und einem Kurzkanaltransistor ist die Tatsache, dass bei Kurzkanaltransistoren die Feldverteilung zweidimensional bestimmt werden muss, da die von Drain ausgehenden elektrischen Felder an Source die Barriere für die Majoritätsträger beeinflussen. Man spricht von der vom Drain-Potential hervorgerufenen Reduzierung der Source-seitigen Barriere (DIBL, Drain Induced Barrier Lowering). Während bei Langkanaltransistoren eine eindimensionale Betrachtung ausreicht, da die von Drain hervorgerufenen Felder in Langkanaltransistoren wesentlich kleiner sind als die vertikalen elektrischen Felder.

Ein Erklärung für DIBL gewinnt man, wenn man die Energiebarriere zwischen Source und Drain an der Halbleiteroberfläche betrachtet. Bild 2.25 zeigt für drei Fälle den horizontalen Verlauf der Energie der Leitungsbandkante. Wegen der eingebauten Diffusionsspannung eines pn-Übergangs kommt es zu einem Anstieg in der Nähe von Source. Es existiert daher für einen Langkanaltransistor eine Barriere, die vom Gate kontrolliert wird. Dagegen ist die Barriere bei einem Kurzkanaltransistor reduziert, da das Oberflächenpotential zusätzlich zur Gate-Spannung von der Drain-Spannung abhängig ist. Die Verringerung der Barriere bewirkt wegen der geringeren Einsatzspannung einen größeren Unterschwellenstrom.

Die Abhängigkeit der Einsatzspannung von der Kanallänge und von der Drain-Source-Spannung wird plausibel, wenn man sich vergegenwärtigt, dass die elektrischen Feldlinien, die in der Raumladungszone unter der Inversionsschicht enden, sowohl vom Gate als auch von Source und Drain kommen (siehe Bild 2.26). Dies wird als „Charge-Sharing“-Modell bezeichnet.

Bei einer kleinen Drain-Source-Spannung ergeben sich ähnliche Effekte um Source und um Drain. Es wird angenommen, dass nur die Feldlinien, die innerhalb des eingezeichneten Trapez enden, ihren Ursprung im Gate haben. Die übrigen Feldlinien entspringen im Source- oder im Drain-Gebiet. Bei Langkanaltransistoren konnte dieser Effekt vernachlässigt werden.

Die gesamte Ladung $|Q'_{\text{Bges}}|$ innerhalb des Trapezes ist kleiner als die gesamte Ladung $|Q_{\text{Bges}}|$, die man erhält, wenn man die von Source und Drain hervorgerufenen Felder vernachlässigt. Während Q_{B} eine flächenspezifische Ladung ist, bezeichnen Q_{Bges} und Q'_{Bges} die gesamte jeweilige Ladung in der Raumladungszone, die von der Gate-Spannung verursacht wird

$$Q'_{\text{Bges}} \propto W \cdot \frac{L' + L}{2} \quad (2.95)$$

$$Q_{\text{Bges}} \propto L \cdot W \quad (2.96)$$

Die Definitionen von L und L' können dem Bild 2.26 entnommen werden.

Nach Gleichung 2.34 gilt

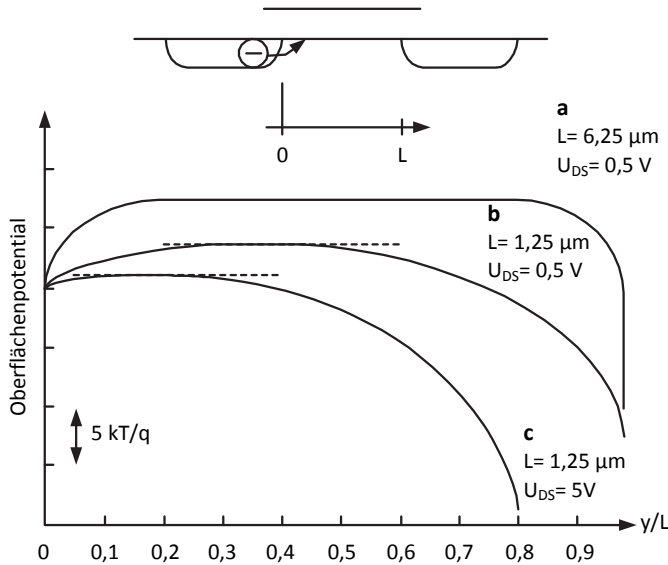


Bild 2.25 Horizontales Energiebanddiagramm an der Siliziumoberfläche in Abhängigkeit vom lateralen Abstand (normiert auf die Kanallänge) für $U_{GS} = \text{const} < U_T$ [244]: **a** Langkanaltransistor; **b** Kurzkanaltransistor; **c** Kurzkanaltransistor mit hoher Drain-Spannung.

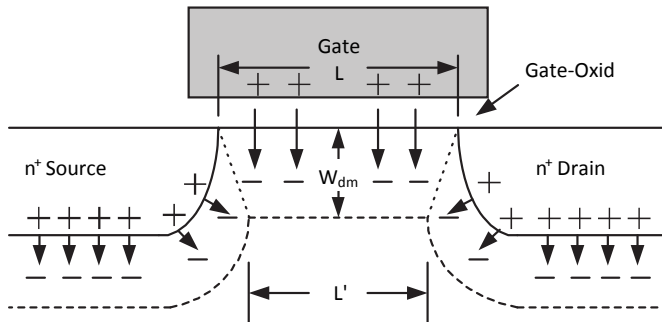


Bild 2.26 Diagramm des „Charge-Sharing“-Modells: Die gestrichelten Linien geben die Grenzen der Raumladungszonen an. Die Pfeile stehen für elektrische Feldlinien. Die gepunkteten Linien unterteilen die Raumladung in gate abhängige Teile und in Teile, die von Source und Drain abhängig sind.

$$U_{Tn} = U_{FB} + 2 \cdot \Phi_F - \frac{Q_{Bges}}{W \cdot L \cdot c_{ox}} \approx U_{FB} + 2 \cdot \Phi_F - \frac{Q'_{Bges}}{W \cdot L \cdot c_{ox}} \quad (2.97)$$

mit $Q'_{Bges} < 0$.

Da $|Q'_{Bges}|$ kleiner ist als $|Q_{Bges}|$, ist die Einsatzspannung U_{Tn} nun ebenfalls kleiner.

Wird eine größere Drain-Spannung angelegt, so nimmt die Weite der Raumladung um Drain stark zu, wodurch die Gate-gesteuerte Raumladung und damit die Einsatzspannung noch weiter absinken.

Bild 2.27 zeigt die Drain-Stromcharakteristiken von Lang- und von Kurzkanaltransistoren in Abhängigkeit von der Drain-Spannung. Entsprechend Gleichung 2.84 ist der Unterschwellenstrom von Langkanaltransistoren unabhängig von der Drain-Spannung ($U_{DS} > 2kT/q$). Bei Kurzkanaltransistoren jedoch werden die Stromverläufe zu niedrigeren Einsatzspannungen hin parallel verschoben. Die Einsatzspannung nimmt bei gleichen von außen angelegten Spannungen mit kleineren Kanallängen ab (2.10). Bei noch kleineren Kanallängen beginnen die Kennlinien von Bild 2.9 abzuflachen, da das Oberflächenpotential mehr vom Drain als vom Gate kontrolliert wird. Eventuell erreichen die Transistoren bei noch größeren horizontalen elektrischen Feldern die „Punch-Through“-Bedingung.

Bei „Punch-Through“ haben die vom Gate induzierten elektrischen Felder die Kontrolle über den Kanal verloren und es existiert ein hoher Drain-Strom, der unabhängig von der Gate-Spannung ist. Die Raumladungszonen um Source und Drain überlappen sich.

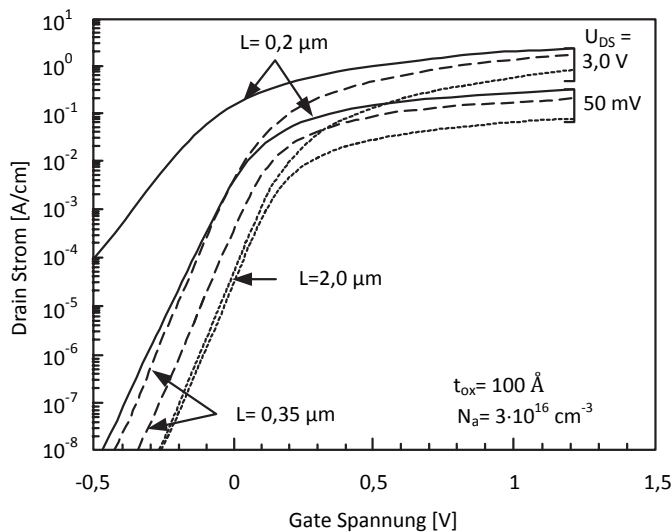


Bild 2.27 Stromcharakteristiken von Lang- und Kurzkanaltransistoren bei niedrigen und hohen Drain-Spannungen [244].

2.1.6 Schmale Transistoren

Neben der Kanallänge ist die Einsatzspannung bei kleinen Transistoren auch von der Kanalbreite abhängig (Bild 2.28). Der Effekt hängt vom Aufbau der Transistoren ab (siehe Kapitel 2.2.3.5 Bild 2.110).

Bei der veralteten LOCOS-Technik kommt es beim Übergang vom Dickoxid zum Dünnoxid zur Ausbildung eines Vogelschnabels („bird’s beak“). Während bei der „Shallow Trench Isolation (STI)“ um den Transistor anisotrop ein Graben geätzt wird, der mittels Abscheiden von Siliziumdioxid wieder aufgefüllt wird (siehe Bild 2.29).

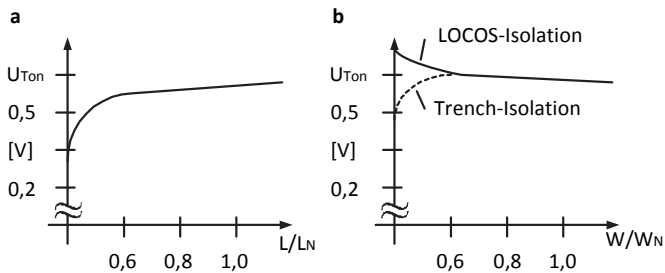


Bild 2.28 Abhängigkeit der Einsatzspannung von den Transistorgeometrien [94]: **a** Einsatzspannung als Funktion der Kanallänge; **b** Einsatzspannung als Funktion der Kanalweite.

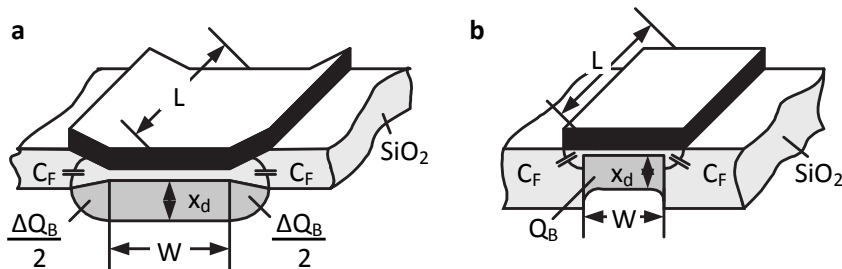


Bild 2.29 Querschnitt durch einen MOS-Transistor: **a** LOCOS-Isolation; **b** Trench-Isolation [94].

Zunächst wird der MOS-Transistor behandelt, der mit der LOCOS-Technik hergestellt wird. Die elektrischen Randfelder bewirken, dass die vom Gate induzierte Raumladungszone sich unter die Isolationsschicht ausdehnt. Somit wird, wie Bild 2.29a zeigt, die Transistorweite vergrößert. Deswegen wird auch die gesamte Raumladung im Substrat betragsmäßig größer. Der Zusammenhang zwischen Einsatzspannung U_{Tn} und Substratladung Q_{Bges} wurde bereits abgeleitet

$$U_{Tn} \approx U_{FB} + 2 \cdot \Phi_F - \frac{Q_{Bges}}{c_{ox}} \quad \text{mit} \quad Q_{Bges} < 0 \quad .$$

Wegen der Randfelder ergeben sich zusätzliche Randkapazitäten C_F , die jedoch wegen des dickeren Oxids flächenspezifisch kleiner als c_{ox} sind und deswegen vernachlässigt werden können, sowie eine zusätzliche Raumladung ΔQ_B . Insgesamt wird somit U_T größer.

Im Falle des mit der Grabenisolation (Trench-Isolated MOSFET) hergestellten MOS-Transistors kann sich die Raumladungszone nicht lateral ausdehnen. Aber wegen der Randfelder erhöht sich die Kapazität in Gleichung 2.34. Verstärkt wird dieser Effekt dadurch, dass die Randfelder einen größeren Durchgriff des Gates auf die Inversionsschicht bewirken. An den Rändern sind deswegen die Stromdichten erhöht. Scheinbar ist die Einsatzspannung erniedrigt. Verkleinert man die Weite des Transistors, nimmt der Einfluss der Randbereiche zu.

2.1.7 Geschwindigkeitssättigung und ballistischer Transport

Bei Kanallängen über 10nm werden die Ladungsträger in der Inversionsschicht von MOS-Transistoren stark gestreut.¹ Es gibt zum Beispiel Streuungen an Gitterschwingungen (Phononen), an Fremdatomen und Gitterdefekten, oder auch an der Grenzschicht zum Gate-Oxid. Experimentell wurde der in Bild 2.30 dargestellte Zusammenhang für Elektronen und Löcher zwischen der mittleren Driftgeschwindigkeit v und dem horizontalen Feld E_y gefunden [228].

Gleichung 2.98 beschreibt diese Abhängigkeit

$$v = \frac{\mu_{eff} \cdot E_y}{\left(1 + \left(\frac{E_y}{E_c}\right)^\beta\right)^{1/\beta}} = \frac{\mu_{eff} \cdot E_y}{\left(1 + \left(\frac{\mu_{eff} \cdot E_y}{v_{sat}}\right)^\beta\right)^{1/\beta}} \quad (2.98)$$

E_c	kritische Feldstärke
v_{sat}	$= 10^7$ cm/s Sättigungsgeschwindigkeit
β	Konstante, für Elektronen $\beta = 2$, für Löcher $\beta = 1$
μ_{eff}	effektive Niederfeld-Beweglichkeit

Bei einer geringen elektrischen Feldstärke E_y ist die mittlere Driftgeschwindigkeit v linear von E_y abhängig, es gilt

$$v = \mu_{eff} \cdot E_y \quad . \quad (2.99)$$

Überschreitet E_y den kritischen Wert E_c , bleibt die mittlere Driftgeschwindigkeit konstant

¹ Bei der Erstellung dieses Kapitels hat Herr Martin Städele, Mitarbeiter der Qimonda AG, sehr geholfen

$$v_{\text{sat}} = \mu_{\text{eff}} \cdot E_c \quad . \quad (2.100)$$

Mittels Gleichung 2.100 ist E_c definiert.

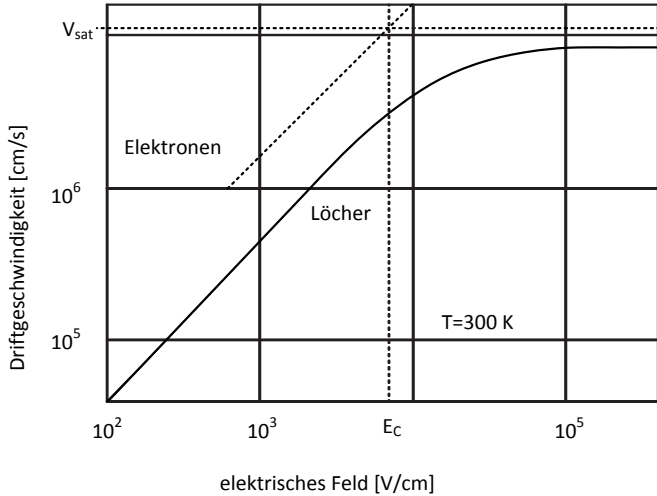


Bild 2.30 Abhängigkeit der Driftgeschwindigkeit von Elektronen und von Löchern von der lateralen elektrischen Feldstärke E_c [244].

Für n- und für p-Kanal-Transistoren werden oft gleiche Sättigungswerte angegeben. Andere Autoren veröffentlichten für v_{sat} von p-Kanal-Transistoren bis zu einem Faktor zwei kleinere Werte [244].

Die effektive Beweglichkeit μ_{eff} ist eine Funktion des vertikalen, also zur Stromrichtung senkrechten Feldes E_x , das von der Gate-Spannung verursacht wird. Da die Sättigungsgeschwindigkeit v_{sat} unabhängig von E_x ist, muss die kritische Feldstärke E_c von E_x abhängen. Genauer, für höhere vertikale Felder E_x nimmt die effektive Beweglichkeit μ_{eff} ab, aber die kritische Feldstärke E_c nimmt zu.

Da die elektrische Feldstärke E_y in der Nähe von Drain sehr groß sein kann, tritt dort zuerst Geschwindigkeitssättigung ein. Bei noch kürzeren Transistoren dehnt sich der Bereich mit Geschwindigkeitssättigung aus. Aber entscheidend bleibt das Gebiet um Source, das auch in diesem Fall eine relativ geringe Feldstärke E_y aufweisen kann. Im Grenzfall für $L \rightarrow 0$ errechnet sich aus den Gleichungen 2.40 und 2.48 der Drain-Strom, wie in [244] gezeigt wird, zu

$$I_{\text{Dsat}} = c_{\text{ox}} \cdot W \cdot v_{\text{sat}} \cdot (U_{\text{GS}} - U_{\text{T}}) \quad . \quad (2.101)$$

Der Drain-Sättigungsstrom ist nun unabhängig von der Kanallänge und variiert linear mit der effektiven Gate-Source-Spannung (Bild 2.31). Für die Drain-Source-Sättigungsspannung bei Geschwindigkeitssättigung erhält man

$$U_{\text{DSsatK}} = \sqrt{2 \cdot v_{\text{sat}} \cdot L \cdot \frac{U_{\text{GS}} - U_{\text{T}}}{n \cdot \mu_{\text{eff}}}} \quad (2.102)$$

Der Drain-Sättigungsstrom ist bei Geschwindigkeitssättigung kleiner, als der Sättigungsstrom, der sich ohne Geschwindigkeitssättigung mittels Abschnüren des Kanals am Drain-seitigen Ende ergeben würde. Die Frage stellt sich, ab welchen endlichen Gate-Längen, das heißt ab welcher Technologiegeneration, muss die Geschwindigkeitssättigung berücksichtigt werden? Bevor diese Frage beantwortet werden kann, müssen noch andere Überlegungen durchgeführt werden.

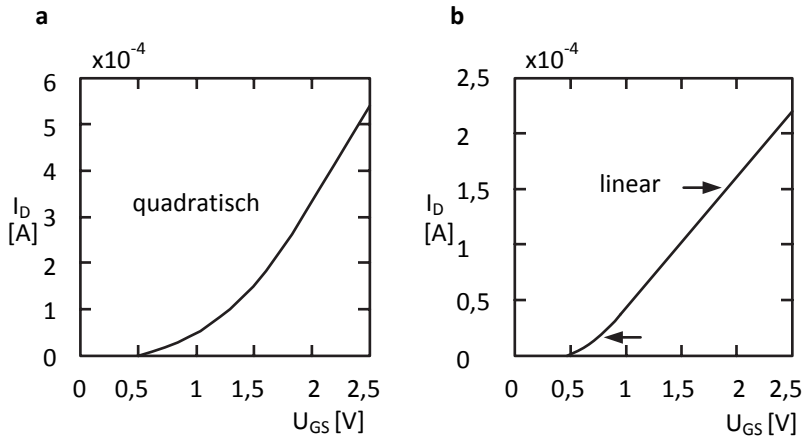


Bild 2.31 I_D als Funktion der Gate-Source-Spannung bei: **a** Langkanalverhalten; **b** Geschwindigkeitssättigung, wenn die Transistoren im Sättigungsbereich arbeiten.

Bei Langkanaltransistoren wird davon ausgegangen, dass die Ladungsträger in der Inversionsschicht starken Streumechanismen ausgesetzt sind. Überdies ist die horizontale Feldstärke gering. Daher kann man in guter Näherung davon ausgehen, dass die Inversionsladungsträger im thermischen Gleichgewicht mit den Siliziumatomen sind. Daraus ergibt sich die effektive Beweglichkeit. Aber was geschieht, wenn die Gate-Länge kleiner oder vergleichbar ist zu der freien Weglänge der Ladungsträger zwischen zwei Streueignissen, die etwa 5 bis 10 nm beträgt, d. h. „ballistische“ Effekte immer wichtiger werden? Offensichtlich reichen dann die Modelle, die auf Konzepten der effektiven Beweglichkeit und des thermischen Gleichgewichts basieren, nicht mehr aus.

Um dieses Problem zu lösen, wurden in der Vergangenheit zahlreiche Simulationen durchgeführt. Hierbei haben sich zwei Transportmodelle als sehr nützlich erwiesen [135]. Numerische Lösungen der ballistischen Boltzmann-Gleichung ergeben detaillierte Informationen über die physikalischen Abläufe in Transistoren mit Kanallängen im Nanometerbereich. Ähnlich gute Ergebnisse erhält man auch mit dem Formalismus der Nicht-Gleichgewichts-Green-Funktionen (NEGF) für den quan-

tenmechanischen Ladungstransport. Zusätzlich werden auch Simulationen des ballistischen Transports, die auf Monte-Carlo-Simulationen beruhen, ausgeführt. Derartige Simulationen führen zum Erfolg, weil in der Quantenmechanik Wahrscheinlichkeitsaussagen dominierend sind. Aus den Simulationen ergab sich, dass eine stark vereinfachte Beschreibung des ballistischen Ladungsträgertransports möglich ist [30, 181, 100].

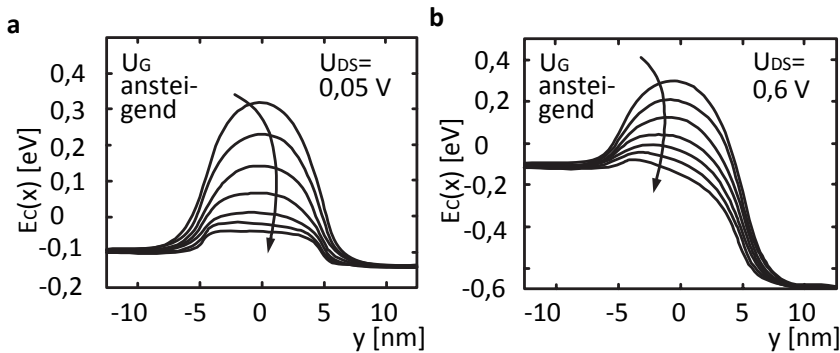


Bild 2.32 Berechneter Verlauf der Energie der Leitungsbandkante in Abhängigkeit vom Ort y mit der Gate-Spannung U_G als Parameter für einen Doppel-Gate-Transistor mit $L = 10 \text{ nm}$ [30] **a** bei niedriger Drain-Spannung; **b** bei hoher Drain-Spannung.

Bild 2.32 zeigt den Verlauf der Bandkante des Leitungsbandes E_c eines Doppel-Gate-MOS-Transistors (siehe Kapitel 2.1.9.4) mit $L = 10 \text{ nm}$ in Abhängigkeit vom Ort y längs der Richtung von Source nach Drain. Genauer gesagt ist hier die energetische Lage des niedrigsten quantisierten Subbandes als Funktion des Ortes dargestellt, die unter guter Näherung dem Leitungsbandverlauf folgt, aber etwa um die Quantisierungsenergie der zwischen den beiden Gates lokalisierten Elektronen erhöht ist. Bei kleinen Gate-Spannungen ergibt sich eine hohe Barriere zwischen Source und Drain. Der Transistor sperrt. Eine hohe Drain-Spannung verringert die Energie an Drain. Wenn zusätzlich eine hohe Gate-Spannung die Barriere verringert, fließt sowohl beim Langkanaltransistor, als auch beim Kurzkanaltransistor ein Strom von Source nach Drain. Der Stromfluss wird von der Modulation einer Barriere bestimmt. Die Wirkungsweise von MOS- und Bipolartransistoren basiert auf ähnlichen Prinzipien [30, 181]. Beim bipolaren Transistor wird die Barriere direkt von der Basis-Emitter-Spannung kontrolliert, während beim MOS-Transistor die Gate-Spannung indirekt wirkt. Sobald beim MOS-Transistor Inversion auftritt, steuert das Gate mittels der kapazitiven Kopplung an den Kanal die Ladungsträgerdichte im Kanal.

Der Drain-Strom ergibt sich aus dem Produkt von Ladungsträgerdichte und Geschwindigkeit. Wegen der Quellenfreiheit des Stromes genügt es die Kanalladung und die Driftgeschwindigkeit an dem Ort $y = 0$, an dem die Energie W_c maximal ist, zu betrachten. Simulationen zeigen, dass an diesem Ort die Kanalladung nahezu

unabhängig von der Drain-Source-Spannung U_{DS} ist. Näherungsweise gilt [30]

$$Q_n(0) \propto c_{ox} \cdot (U_{GS} - U_T) \quad . \quad (2.103)$$

Zusätzliche Simulationen ergeben, dass die Geschwindigkeit der Ladungsträger am Ort $y = 0$ zunächst mit der Drain-Source-Spannung ansteigt und dann sättigt. Der Sättigungswert v_T ist um 20% bis 100% größer als der Sättigungswert v_{sat} von Bild 2.30. Da die Kanalladung $Q_n(0)$ unabhängig ist von der Drain-Spannung, erhält man das gewohnte Ausgangskennlinienfeld $I_D = f(U_{DS})$ mit U_{GS} als Parameter. Der Sättigungswert v_T ist von der Ladungsträgerdichte und von der Bänderstruktur abhängig.

Bei sehr kleinen Drain-Source-Spannungen werden in einem kurzen MOS-Transistor Ladungsträger mit einer positiven Geschwindigkeit in das Kanalgebiet von Source injiziert, während die Ladungsträger mit negativer Geschwindigkeit von Drain injiziert werden. Mittels Streuungen werden die beiden Ladungsträgerströme vermischt. Mit ansteigender Drain-Spannung wird die Drain-seitige Injektion von Ladungsträgern reduziert. Für $U_{DS} \gg kT/q$ sind alle Ladungsträger mit negativer Geschwindigkeit im Energiemaximum durch Rückstreuung, der von Source injizierten Ladungsträger, entstanden.

Die Rückstreuung der von Source injizierten Ladungsträger wird mittels eines Rückstreuungskoeffizienten r beschrieben. Führt man zunächst eine mittlere Geschwindigkeit $v(0)$ ein, so erhält man für den Drain-Strom

$$I_{Dsat} \approx W \cdot c_{ox} \cdot (U_{GS} - U_T) \cdot \langle v(0) \rangle \quad . \quad (2.104)$$

Für die mittlere Geschwindigkeit $v(0)$ ergibt sich mittels des Rückstreuungskoeffizienten r für den Bereich in dem E_y minimal ist

$$\langle v(0) \rangle = \frac{1-r}{1+r} \cdot v_T \quad . \quad (2.105)$$

Der Koeffizient r ist eine Funktion der Gate- und der Drain-Spannung. Der Ausdruck $B = (1-r)/(1+r)$ wird ballistische Effizienz genannt.

Bei nahezu ballistischem Transport ergibt sich eine Gleichung, die eine ähnliche Form wie Gleichung 2.101 bei Geschwindigkeitssättigung hat. Besonders wichtig ist, dass in beiden Fällen der Drain-Strom linear von der effektiven Gate-Spannung abhängt und unabhängig von der Beweglichkeit ist. In Abhängigkeit vom Rückstreuungskoeffizienten r erhält man kleinere oder größere Geschwindigkeiten als v_{sat} nach Bild 2.30.

Bei hohen Drain-Spannungen unterliegen die Ladungsträger am Drain-seitigen Ende des Transistors starken elektrischen Feldern. Wenn keine Streuungen vorkommen, erlangen die Ladungsträger hohe Energien und sind nicht mehr im thermischen Gleichgewicht mit den Gitteratomen. Derartige Ladungsträger (heiße Ladungsträger) können höhere Geschwindigkeiten als die gesättigte Geschwindigkeit v_{sat} nach Bild 2.30 haben. Dieses Phänomen nennt man Geschwindigkeitsüberschreitung (ve-

locity overshoot). Somit werden die injizierten Ladungsträger am Drain-seitigen Ende rasch abgesaugt.

Der Sättigungsstrom ist davon abhängig, wie schnell die Ladungsträger den Bereich mit geringer elektrischer Feldstärke E_y durchqueren können. Am Ort $y = 0$ ist das elektrische Feld $E_y = 0$. Die Ausdehnung des Bereichs ist dadurch definiert, dass sich das Potential in diesem Bereich um die Temperaturspannung U_t ändert.

Mittels weiterer Simulationen hat man typische Werte für den Rückstreukoeffizienten r und für die ballistische Effizienz B in Abhängigkeit von der Kanallänge für NFETs und PFETs ermittelt. Es wurden Transistoren ohne mechanische Spannung mit Transistoren mit mechanischer Spannung verglichen. Die Transistoren werden einer mechanischen Spannung ausgesetzt, um die Beweglichkeit der Ladungsträger zu erhöhen. Für $L < 100\text{ nm}$ hat der Rückstreukoeffizient r etwa den Wert 0,4 und wird kleiner mit abnehmender Kanallänge. Die ballistische Effizienz hat einen Wert von etwa 0,5 und wächst mit schrumpfender Kanallänge. Zwischen $L = 20\text{ nm}$ und $L = 50\text{ nm}$ hat die ballistische Effizienz Werte zwischen 0,65 und 0,55. In Silizium ist die Streuung so stark, dass auch bei $L = 15\text{ nm}$ nur 60% der Ladungsträger, ohne Streuprozesse zu erleiden, Drain erreichen. Mehr als 1% werden fünf mal gestreut. Bei $L = 50\text{ nm}$ erreichen nur etwa 15% der Ladungsträger ohne Streuungen Drain. Der Prozentanteil der Ladungsträger, der ohne Streuungen Drain erreicht, wird als intrinsische Ballistizität B_{int} bezeichnet.

Da auch bei Kanallängen von 10 nm oder größer Streumechanismen eine wichtige Rolle spielen, muss es eine Korrelation geben zwischen der Ladungsträgergeschwindigkeit $v(0)$, dem Sättigungsstrom I_{Dsat} und der Beweglichkeit μ_{eff} , die ungleich Null ist, wenn Streuungen vorkommen. Dieser Zusammenhang konnte experimentell bestätigt werden.

Insgesamt lässt sich feststellen, dass nur NMOS-Transistoren mit $L < 10\text{ nm}$ dem ballistischen Transport von Ladungsträgern nahe kommen. Mit gegenwärtigen MOS-Technologien erzielt man wegen der ausgeprägten Streumechanismen etwa 50% bis 85% der durch den ballistischen Transport gegebenen Grenze. Simulationen zeigen, dass der Übergang zum ballistischen Ladungsträgertransport nur langsam erfolgt, wenn die Transistorlängen beginnend mit 100 nm verringert werden.

Für p-Kanal-Transistoren gilt qualitativ Ähnliches wie für n-Kanal-Transistoren. Die leichten Unterschiede sind hauptsächlich auf die Bandstruktur beziehungsweise auf die Zustandsdichte zurückzuführen. Dies wirkt sich auf die Injektionsgeschwindigkeit am Maximum des Potentialberges, auf die Potentialverläufe und auf den Rückstreukoeffizienten aus.

In diesem Kapitel wurden wichtige Aussagen anhand von Simulationen abgeleitet. Allerdings muss festgestellt werden, dass die Simulationen, wegen Unsicherheiten in der Modellbildung, nur von begrenzten Wert bezüglich Vorhersagen für neue Transistorstrukturen sind. Die Simulationsergebnisse müssen mittels Messwerten kalibriert werden.

Vergleicht man die Werte für den Drain-Sättigungsstrom I_{Dsat} nach dem ballistischen Modell (Gleichung 2.104) mit der Gleichung 2.101, in der nur Drift- und Diffusionsmechanismen berücksichtigt werden, sieht man, dass der Unterschied nicht größer als der Faktor zwei ist. Bei 45 nm-Technologien beträgt der Unterschied nur

einige zehn Prozent. Daher ist es naheliegend, die gewohnten Gleichungen nach dem Drift- und Diffusionsmodell so anzupassen, dass die Drain-Sättigungsströme, auch wenn ballistische Effekte merkbar sind, richtig beschrieben werden. Man geht dabei von den Gleichungen 2.82 für den Drain-Sättigungsstrom und Gleichung 2.106, die sich leicht aus Gleichung 2.98 ableiten lässt, aus

$$\mu = \frac{\mu_0}{\left(1 + \left(\frac{E_y}{E_c}\right)^\beta\right)^{1/\beta}} = \frac{\mu_0}{\left(1 + \left(\frac{\mu_0 \cdot E_y}{v_{\text{sat}}}\right)^\beta\right)^{1/\beta}} \quad (2.106)$$

$$I_{\text{Dsat}} = \frac{1}{2 \cdot n} \cdot c_{\text{ox}} \cdot \mu \cdot \frac{W}{L} \cdot (U_{\text{GS}} - U_{\text{T}})^2 \cdot (1 + \lambda \cdot U_{\text{DS}}) \quad (\text{wh 2.82})$$

Zunächst werden in Bild 2.33a Drain-Sättigungsströme aufgrund von genauen Simulationen mit den Werten, die auf den Gleichungen 2.82 und 2.106 (Drift- und Diffusionsmodell, DD) basieren, verglichen. Wobei für v_{sat} , E_c und den Exponenten β die üblichen Werte eingesetzt werden. Die Simulationen des quasiballistischen Transports beruhen in diesem Fall auf Monte-Carlo-Simulationen. Bei Kanallängen bis zu 100 nm stimmen die Werte für die Drain-Ströme gut überein. Bei kleineren Kanallängen ergeben sich größere Abweichungen. Dies beruht darauf, dass das Drift- und Diffusionsmodell die Geschwindigkeit der Ladungsträger trotz „Velocity Overshoot“ künstlich auf v_{sat} begrenzt. Damit wird die Geschwindigkeit der Ladungsträger im gesamten Kanalbereich zu klein eingeschätzt. Ähnliches, wenn auch nicht so ausgeprägt, gilt für p-Kanal-Transistoren (Bild 2.33b).

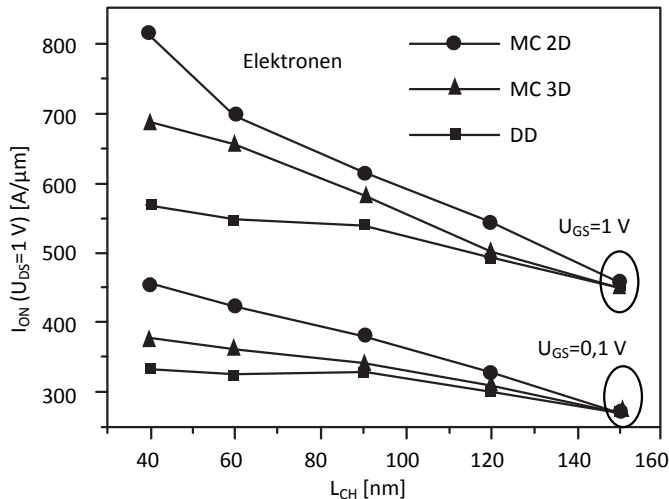


Bild 2.33a Drain-Sättigungsströme von n-Kanal-Transistoren in Abhängigkeit von der Kanallänge für unterschiedliche Gate-Source-Spannungen $U_{\text{GS}} = 0,8 \text{ V}$ und 1 V , $\mu_0 = 300 \text{ cm}^2/\text{V} \cdot \text{s}$, $v_{\text{sat}} = 10^7 \text{ cm/s}$, $\beta = 2$ [135]. MC: Monte-Carlo-Simulationen, zwei- und dreidimensional; DD: Drift- und Diffusionsmodell.

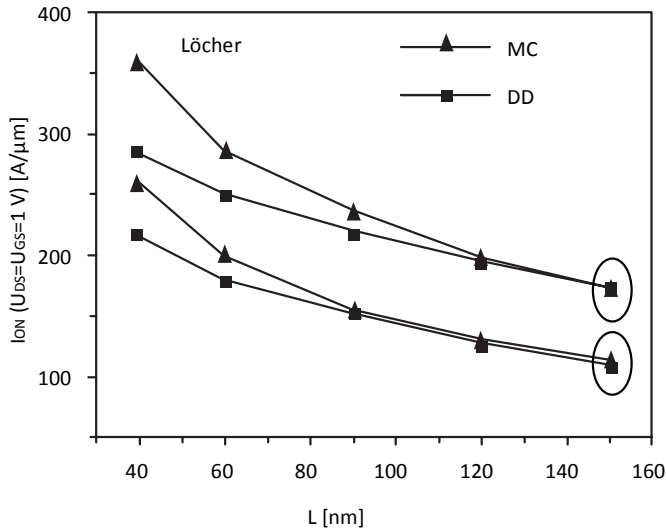


Bild 2.33b Drain-Sättigungsströme von p-Kanal-Transistoren in Abhängigkeit von der Kanallänge und der Beweglichkeit $\mu_0 = 50$ und $100 \text{ cm}^2/\text{Vs}$ für $U_{GS} = U_{DS} = 1 \text{ V}$, $v_{\text{sat}} = 6 \times 10^5 \text{ cm/s}$, $\beta = 1$ [135]. MC Monte-Carlo-Simulationen; DD Drift- und Diffusionsmodell.

Wählt man etwas andere Werte, zum Beispiel für die Elektronen den Exponenten $\beta = 1$, $v_{\text{sat}} = 2,2 \times 10^7 \text{ cm/s}$ und $\mu_0 = 300 \text{ cm}^2/\text{s}$, und für Löcher den Exponenten $\beta = 0,65$ und $v_{\text{sat}} = 1,5 \times 10^7 \text{ cm/s}$, erhält man bis zu Kanallängen von 40 nm sehr gute Übereinstimmungen, wie Bild 2.34 beweist.

Mit den angegebenen Werten für μ_0 , v_{sat} und den Exponenten β kann für die nähere Zukunft in Abhängigkeit von der Kanallänge L nach dem Drift- und Diffusionsmodell der Drain-Strom berechnet werden.

Für den Schaltungstechniker gibt es eine einfache Alternative, wie für eine gegebene Technologie die wichtigsten technologischen Parameter näherungsweise bestimmt werden können. Hierzu misst man im Sättigungsbereich den Drain-Strom und die Steilheit in Abhängigkeit von der Gate-Source-Spannung und trägt die Daten in ein Diagramm, wie es Bild 2.35 zeigt, ein. Der Übergang von der quadratischen Abhängigkeit des Drain-Strom von der effektiven Gate-Spannung zur linearen Abhängigkeit kann beiden Kurven entnommen werden. Allerdings zeigt der Kurvenverlauf der Steilheit g_m den Übergang deutlicher.

Die Steilheit g_m ist in der analogen Schaltungstechnik eine wichtige Kenngröße (siehe Kapitel 2.1.11). Definitionsgemäß gilt

$$g_m = \frac{\partial I_D}{\partial U_{GS}} \quad (2.107)$$

Hat der Drain-Sättigungsstrom eine quadratische Abhängigkeit von der effektiven Gate-Source-Spannung, ergibt sich

$$g_m \approx \beta \cdot (U_{GS} - U_T) \quad (2.108)$$

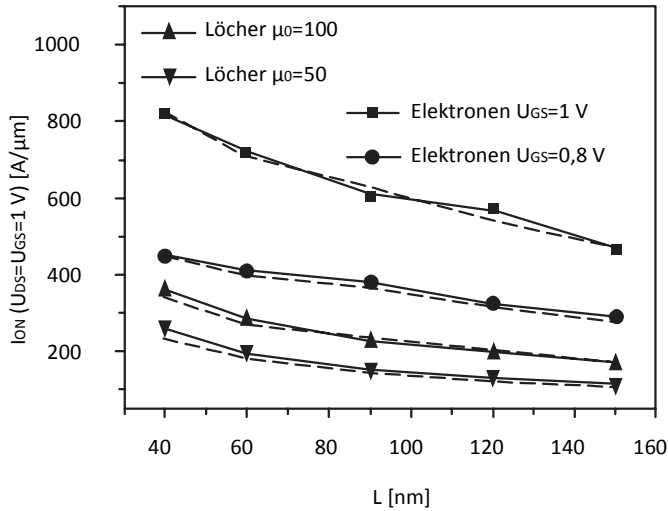


Bild 2.34 Vergleich der Drain-Sättigungsströme von n- und von p-Kanal-Transistoren berechnet mittels MC-Simulationen und dem modifizierten DD-Modell (durchgezogene Linien) [135]. Elektronen: $\beta = 1$, $v_{\text{sat}} = 2,2 \times 10^7$ cm/s, $\mu_0 = 300$ cm²/s; Löcher: $\beta = 0,65$, $v_{\text{sat}} = 1,5 \times 10^7$ cm/s, $U_{\text{GS}} = 1$ V.

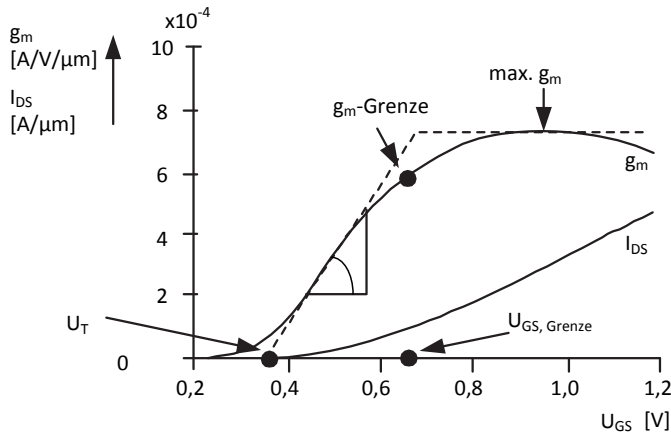


Bild 2.35 Abschätzung der Schlüsselparameter für einen Schaltungsentwurf, $U_{\text{DS}} = 0,5$ V, $U_{\text{SB}} = 0$ V. Der Bereich mit quadratischer Abhängigkeit reicht von U_{T} bis zu $U_{\text{GS,Grenze}}$ [27].

Bei einer linearen Abhängigkeit erhält man

$$g_m = W \cdot c_{ox} \cdot v_{sat} \quad . \quad (2.109)$$

Etwa zwischen $U_{GS} = U_T$ und $U_{GS} = U_{GS,Grenze}$ hat der Drain-Strom eine quadratische und die Steilheit eine lineare Abhängigkeit von der effektiven Gate-Spannung. Die Steigung der Steilheit in diesem Bereich ist von der Transistorkonstante $\beta = \mu \cdot c_{ox} \cdot W/L$ gegeben. Somit kann die Transistorkonstante β leicht experimentell bestimmt werden. Weiter erhält man mittels der Gleichung 2.83, in dem Bereich, in dem die Steilheit konstant ist, die wirksame gesättigte Geschwindigkeit v_{sat} . Schließlich gibt $U_{GS,Grenze}$ den Wert für die Gate-Source-Spannung an, ab dem der Drain-Strom nach Gleichung 2.101 mit der wirksamen gesättigten Geschwindigkeit berechnet werden muss.

Als Nächstes interessiert, wie groß der Bereich $U_{GS,Grenze} - U_T$ in Abhängigkeit von der Technologie ist. Für $U_{GS} = U_{GS,Grenze}$ müssen die Gleichungen 2.101 und 2.82 die gleichen Werte für den Drain-Strom liefern. Daraus lässt sich der Bereich $U_{GS,Grenze} - U_T$ berechnen

$$U_{GS,Grenze} - U_T = 2 \cdot n \cdot E_c \cdot L \quad . \quad (2.110)$$

Bild 2.36 zeigt gemessene Werte für die Weite dieses Bereichs als Funktion der Kanallänge L . Es werden zwei Fälle unterschieden. Für LSTP- (low-stand-by-power) Transistoren wird die Versorgungsspannung nur marginal reduziert. Da die kritische Feldstärke E_c in diesem Fall eine Konstante ist, sollte nach Gleichung 2.110 der Bereich linear von der Kanallänge abhängen. Somit sollte der Bereich in Bild 2.36 etwa um den Faktor acht abnehmen, was dem Kurvenverlauf völlig widerspricht.

Im anderen Fall (LOP low operating power) wird die Versorgungsspannung stärker verringert. Auch hier wird der Bereich nicht so viel kleiner, wie man es entsprechend der Theorie bezüglich der Geschwindigkeitssättigung erwarten würde. Damit ist auch die Frage, ab wann „Geschwindigkeitssättigung“ berücksichtigt werden muss, beantwortet. In Kapitel 2.1.10.7 werden die Begriffe LOP- und LSTP-Transistor erläutert.

Als Alternative zu Gleichung 2.82 kann man auch folgende Gleichung verwenden

$$I_{DS} = \frac{1}{2} \cdot \beta \cdot (U_{GS} - U_T)^\alpha \cdot (1 + \lambda \cdot U_{DS}) \quad (2.111)$$

mit $1 \leq \alpha \leq 2$.

Für analytische Rechnungen ist diese Gleichung manchmal einfacher zu handhaben. Der Exponent α wird neben der Beweglichkeit μ und der Einsatzspannung U_T als zusätzlicher Fitting-Parameter aufgefasst. Man erhält so einen weiteren Freiheitsgrad. Die Anpassparameter α , β , λ und U_T können aus gemessenen Kennlinien errechnet werden. Die Parameterbestimmung wird einfacher, wenn nur eine Eingangskennlinie, zum Beispiel $I_D = f(U_{GS})$ mit $U_{DS} = U_{DD}$ betrachtet wird, da so λ nicht zusätzlich bestimmt werden muss. Die fehlende Wirkung von λ wird von den Werten für β und U_T kompensiert. Mit dieser Methode wurden alle nachfol-

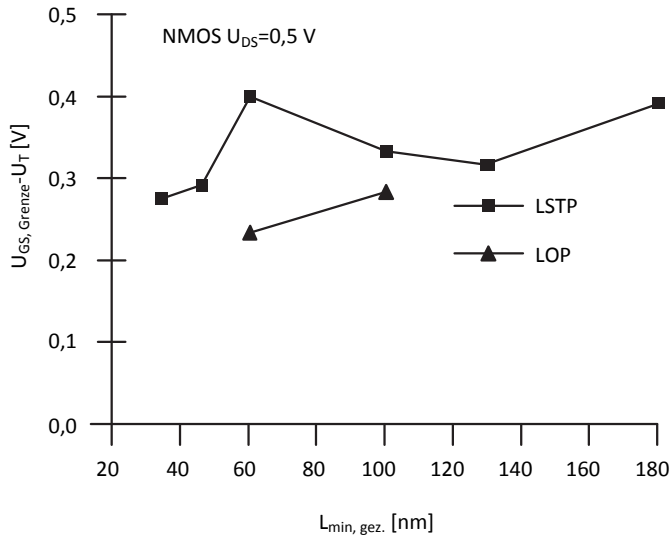


Bild 2.36 Spannweite des quadratischen Bereichs in Abhängigkeit von der gezeichneten Kanallänge $L_{\min, \text{gez}}$ [27]. LSTP: Transistor mit geringer Verlustleistung im „Standby“-Betrieb, LOP: Transistor mit geringer Verlustleistung im aktiven Betrieb.

gend aufgeführten α -Werte ermittelt. Für die Parameterbestimmung kann ein Optimierungsprogramm von Matlab eingesetzt werden. Wendet man das Programm richtig an, erhält man pro Eingangskennlinie nur einen Satz an Anpassparametern. Hat man zum Beispiel von Chipherstellern realistische SPICE-Parametersätze, so kann dieser Vorgang auch mit simulierten Eingangskennlinien durchgeführt werden. Die beschriebene Prozedur mit simulierten Eingangskennlinien ($I_{\text{DS}} = f(U_{\text{GS}})$ mit $U_{\text{DS}} = U_{\text{DD}}$) wurde für NMOS- und PMOS-Transistoren, die Kanallängen von $40\mu\text{m}$ bis 30nm aufwiesen, durchgeführt. Damit man ein vollständiges Bild erhält, wurden für die beiden Transistortypen die Slow-, Fast- und Typical-Designs bei jeweils -50°C (Fast), 25°C (Typical) und 100°C (Slow) betrachtet (siehe Kapitel 2.2.3.5). Das heißt pro Technologieknoten und Hersteller wurden für jeden Transistortyp neun Eingangskennlinien analysiert und die Anpassparameter bestimmt. Zunächst wird nur ein kleiner Ausschnitt aus der Vielzahl der untersuchten Kennlinien dargestellt. Bild 2.37 zeigt für PMOS- und NMOS-Transistoren mit $L = 20\mu\text{m}$ in rot oder grün die Eingangskennlinien für $U_{\text{DS}} = U_{\text{DD}}$. In rot ist die mit einem realistischen SPICE-Parametersatz simulierte Kennlinie und in grün ist die mit den Anpassparametern berechnete Kennlinie eingefärbt. Man sieht die Übereinstimmung der beiden Kennlinien ist nahezu perfekt. Dies gilt für alle untersuchten Eingangskennlinien. Wie es für Transistoren mit langen Kanälen zu erwarten ist, sind die Eingangskennlinien fast quadratisch ($1,72 < \alpha_p < 1,73$; $1,76 < \alpha_n < 1,77$). Die α -Werte zeigen fast keine Variationen.

Das Bild enthält neben den neun Eingangskennlinien, die mittels realistischen SPICE-Simulationen ermittelten Ausgangskennlinienfelder für die neun Designe-

Die Ausgangskennlinienfelder der PMOS-Transistoren befinden sich im dritten Quadranten. In jeder Spalte wird die Temperatur konstant gehalten, während die Transistortypen von Slow über Typical nach Fast variieren. In jeder Zeile sind in blau Ausgangskennlinienfelder von jeweils gleichen Transistoren bei den verschiedenen Temperaturen eingezeichnet. Deutlich sind die Unterschiede zwischen NMOS- und PMOS-Transistoren sowie zwischen Slow- und Fast-Typen bei den verschiedenen Temperaturen zu erkennen. Es fallen die geringen Ausgangsleitwerte $g_{DS} = \partial I_D / \partial U_{GS}$ (siehe Kapitel 2.1.12.3) auf. Die maximalen Drain-Ströme der PMOS-Transistoren sind etwa um den Faktor 3,7 kleiner als die maximalen Drain-Ströme der NMOS-Transistoren.

Die Kennlinien von Transistoren mit $L = 180\text{ nm}$ sind in Bild 2.38 dargestellt. Zunächst fällt auf, dass die Eingangskennlinien der NMOS-Transistoren in einem weiten Bereich Geraden sind. Die Werte von α_n schwanken zwischen 0,98 und 1,13. Die Eingangskennlinien der PMOS-Transistoren sind etwas stärker gekrümmt ($1,23 < \alpha_p < 1,49$). Im Vergleich zu den Transistoren mit $L = 20\text{ }\mu\text{m}$ ist die Temperaturabhängigkeit wesentlich kleiner. Das Verhältnis der maximalen Ströme von NMOS- und PMOS-Transistoren beträgt etwa den Faktor drei. Die Ausgangsleitwerte sind erhöht.

Schließlich enthält das Bild 2.39 die Kennlinienfelder von Transistoren mit $L = 30\text{ nm}$. Auf den ersten Blick sieht man, dass die Eingangskennlinien wieder stärker gekrümmt sind. Einige Eingangskennlinien von NMOS-Transistoren zeigen wieder eine quadratische Abhängigkeit ($1,62 < \alpha_n < 2,14$).

Durch zusätzliche technologische Maßnahmen, wie mechanischer Stress oder stärkeren Einfluss des Gate-Potentials auf den Kanal mittels Metall-Gates und neuer Gate-Isolierung (siehe Kapitel 2.1.10.4), erreicht man Verhältnisse, die dem Drift- und Diffusionsmodell mehr entsprechen. Die Folge ist, dass der Exponent α_n , wie es für digitale Schaltungen wünschenswert ist, mit kleineren Kanallängen wieder ansteigt.

PMOS-Transistoren mit $L = 30\text{ nm}$ weisen eine geringere Krümmung auf als die entsprechenden NMOS-Transistoren ($1,16 < \alpha_p < 1,64$). Das Verhältnis der maximalen Drain-Ströme hat nun einen Wert von etwa 1,35. Beide Transistortypen weisen bei dieser Kanallänge eine sehr schwache Temperaturabhängigkeit auf. Die Einflüsse der Temperaturabhängigkeit der Beweglichkeit μ und der Einsatzspannung U_T auf die Drain-Ströme kompensieren sich. Die Ausgangsleitwerte sind nochmals größer geworden.

Die besprochenen Trends für die α_n - und α_p -Werte in Abhängigkeit von der Kanallänge L werden von den beiden nachfolgenden Bildern bestätigt. Bild 2.40 zeigt für Kanallängen von 20 nm bis $40\text{ }\mu\text{m}$ die α_n - und α_p -Werte an allen untersuchten Designecken. Deutlich ist die hohe Variabilität der α -Werte für Kanallängen kleiner als $1\text{ }\mu\text{m}$ zu sehen.

Bild 2.41, in dem nur die α -Werte für typische Designecken eingezeichnet sind, lässt erkennen, dass für Kanallängen kleiner als 200 nm die Werte für α_n wieder ansteigen. Ein ähnlicher Trend ist für PMOS-Transistoren nicht zu sehen.

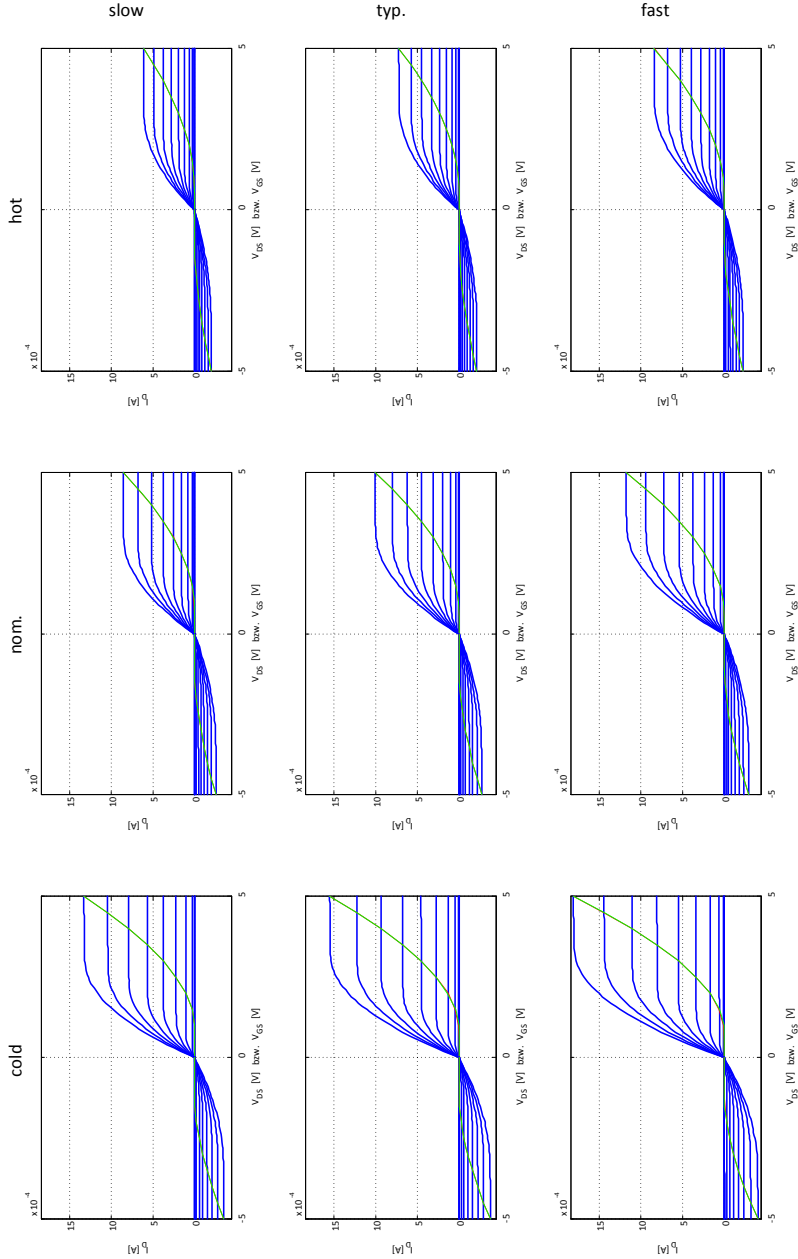


Bild 2.37 Eingangskennlinien und Ausgangskennlinienfelder von PMOS- und NMOS-Transistoren mit $L = 20\mu\text{m}$ für neun Designecken. Blau: mit realistischen SPICE-Parametersätzen simulierte Ausgangskennlinienfelder. Rot: mit realistischen SPICE-Parametersätzen simulierte Eingangskennlinien. Grün: mit den Anpassparametern errechneten Eingangskennlinien.

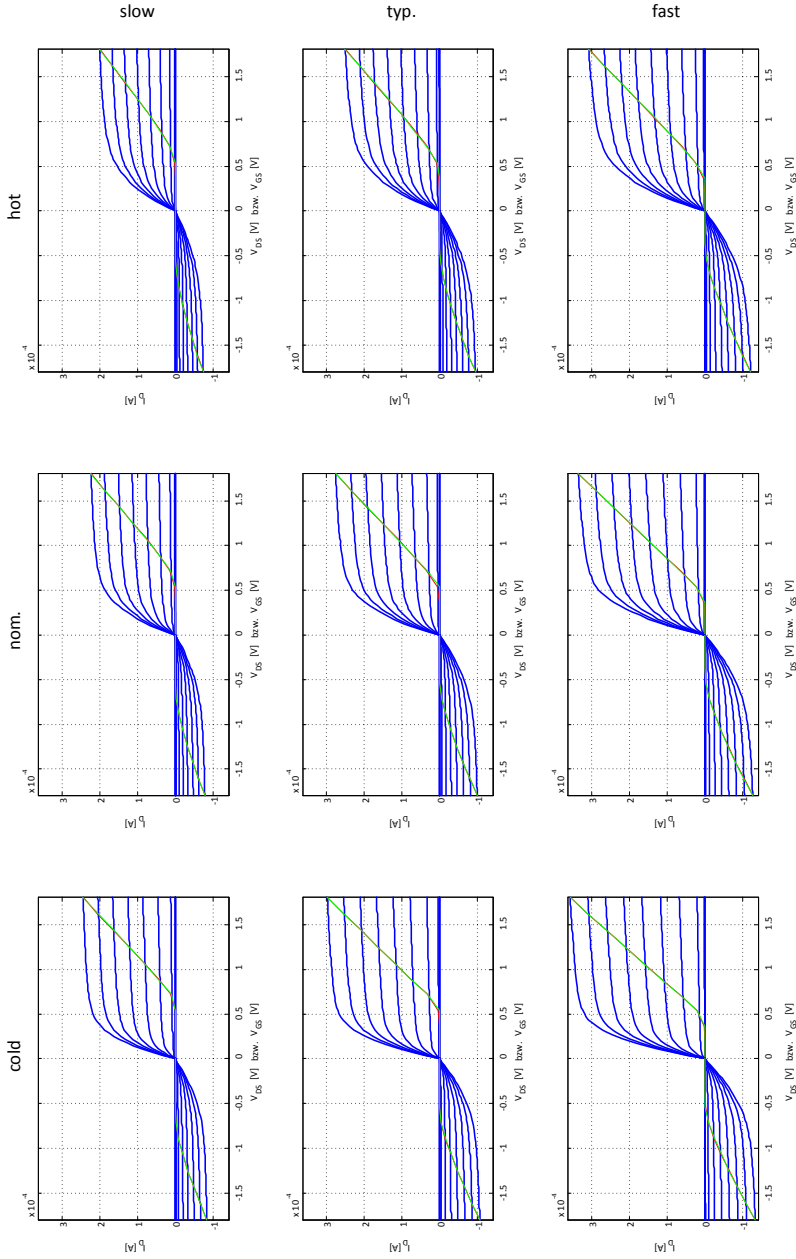


Bild 2.38 Eingangskennlinien und Ausgangskennlinienfelder von PMOS- und NMOS-Transistoren mit $L = 180\text{nm}$ für neun Designecken. Blau: mit realistischen SPICE-Parametersätzen simulierte Ausgangskennlinienfelder. Rot: mit realistischen SPICE-Parametersätzen simulierte Eingangskennlinien. Grün: mit den Anpassparametern errechneten Eingangskennlinien.

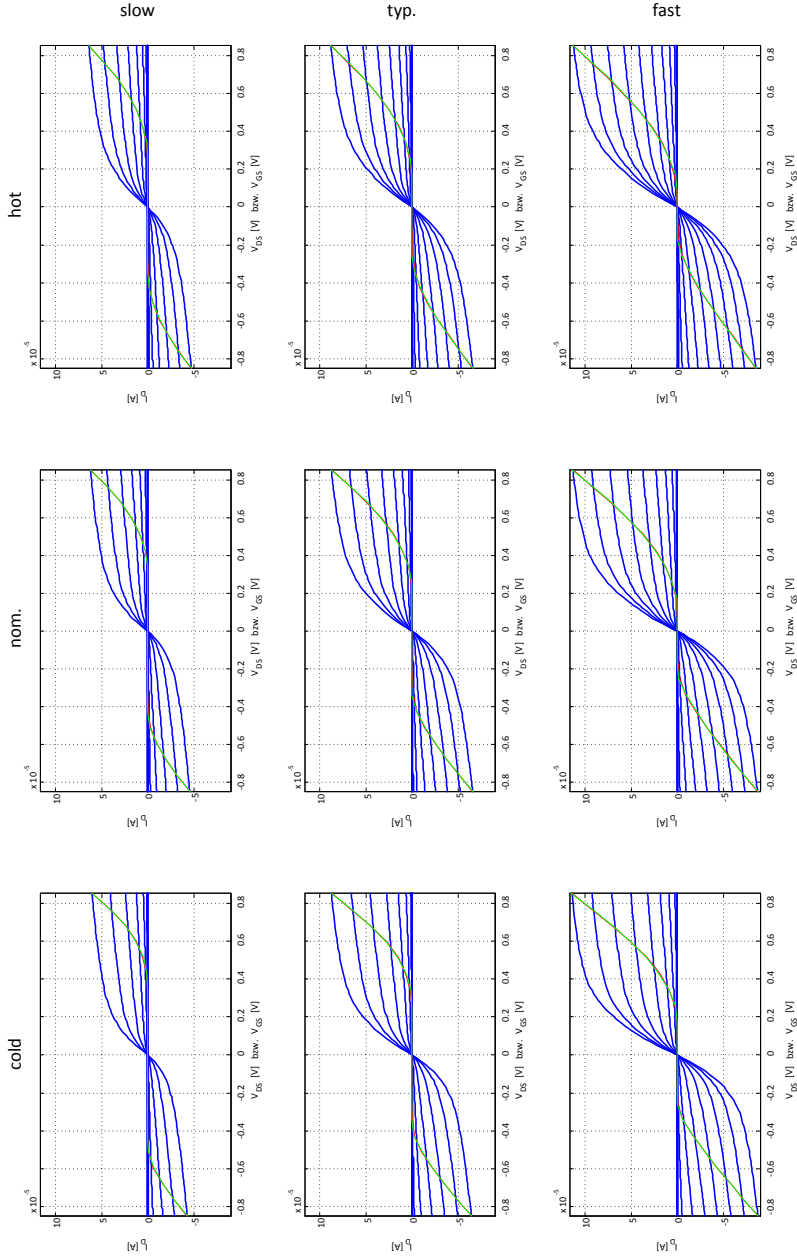


Bild 2.39 Eingangskennlinien und Ausgangskennlinienfelder von PMOS- und NMOS-Transistoren mit $L = 30\text{ nm}$ für neun Designecken. Blau: mit realistischen SPICE-Parametersätzen simulierte Ausgangskennlinienfelder. Rot: mit realistischen SPICE-Parametersätzen simulierte Eingangskennlinien. Grün: mit den Anpassparametern errechneten Eingangskennlinien.

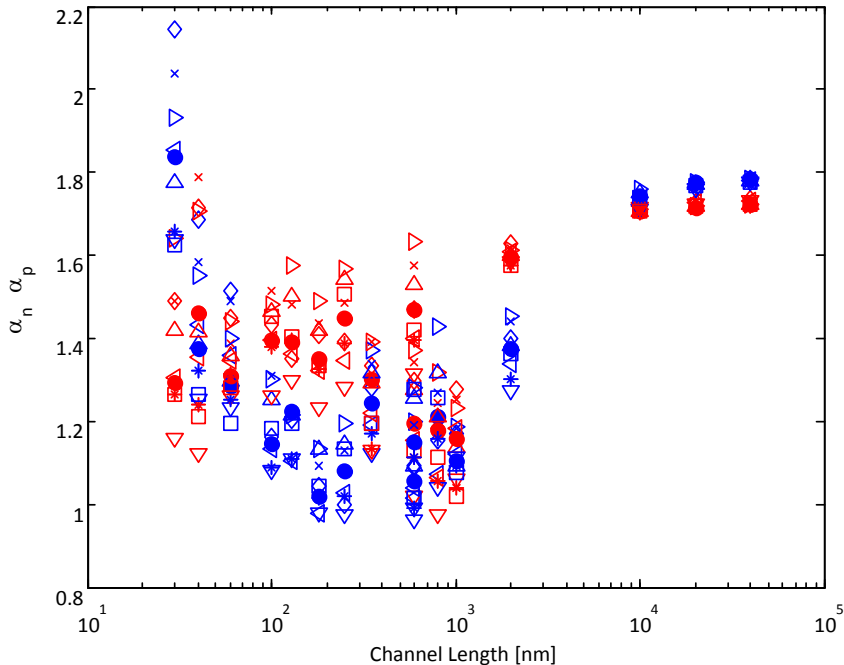


Bild 2.40 Exponentenwerte für α_n und α_p an allen untersuchten Designecken in Abhängigkeit von der Kanallänge L . Blau: α_n -Werte. Rot: α_p -Werte.

2.1.8 Verarmung im polykristallinen Silizium

In einer idealen MOS-Kapazität wird das extrem hochdotierte Polysilizium ähnlich wie Metall als ein idealer Leiter betrachtet. Bei einer MOS-Struktur mit n-Typ dotierten Polysilizium wird die positive Ladung des Gates mittels der Gate-Bulk-Spannung bewirkt. Durch die angelegte Spannung entsteht eine Raumladungszone mit ionisierten Donatoren an der Grenzschicht zwischen Polysilizium und Oxidschicht. Wegen der extrem hohen Dotierung ist die Weite der Raumladungszone und damit auch der Spannungsabfall über diese Zone vernachlässigbar.

Moderne MOS-Transistoren weisen sehr dünne Oxidschichten auf. Deswegen dürfen die Implantationen nicht mit zu hohen Energien durchgeführt werden, da sonst das dünne Gate-Oxid oder das darunterliegende Substrat geschädigt werden könnte. Während des nachfolgenden Ausheilvorgangs dürfen keine zu hohen Temperaturen eingesetzt werden. Sonst würde die Eindringtiefe der schmalen Source- und Drain-Anschlüsse vergrößert werden. Da die Implantation von oben erfolgt, bilden sich ungleichförmige Dotierprofile in den Gates aus polykristallinen Silizium aus. Dies ergibt sich auch aus der körnigen Struktur des Polysiliziums. In Bild 2.42 ist die ungleichförmige Dotierung ND des Polysiliziums als Funktion des Ortes zwischen der oberen und der unteren Kante des Polysiliziums dargestellt.

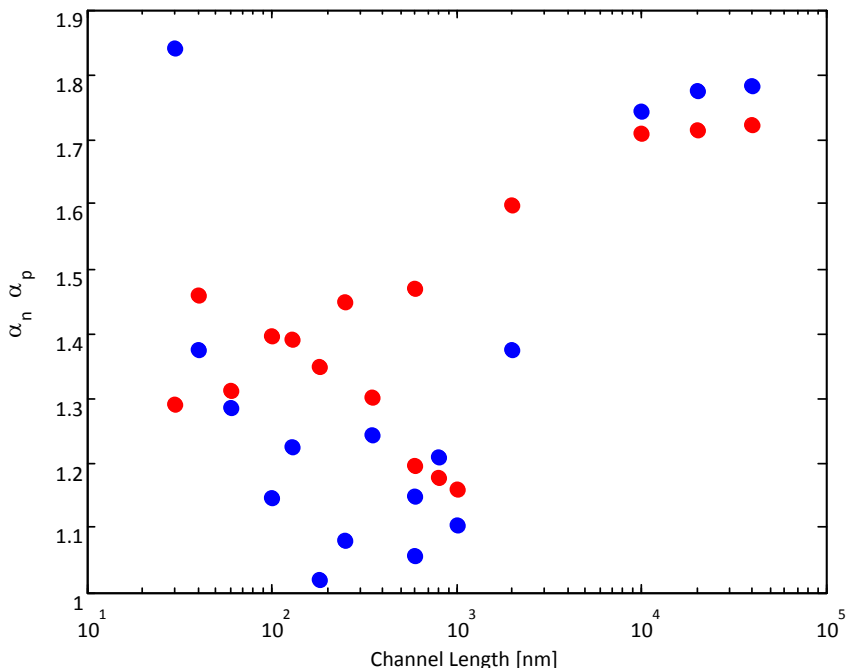


Bild 2.41 α_n - und α_p -Exponentenwerte für typische Designecken in Abhängigkeit von der Kanallänge L . Blau: α_n -Werte. Rot: α_p -Werte.

Wegen der stark reduzierten Donatorenkonzentration an der Grenzschicht bildet sich nun bei $U_{GB} > 0$ eine nicht vernachlässigbare Raumladungszone, über die ein merkbarer Spannungsabfall U_p auftritt.

In Bild 2.42 ist die ungleichförmige Dotierung N_D des Polysiliziums als Funktion des Ortes zwischen der oberen und der unteren Kante des Polysiliziums dargestellt. Da die Dotierkonzentration und damit die Ladungsträgerkonzentration mit dem Ort variiert, baut sich zwischen x_1 und x_2 ein elektrisches Feld auf, das nach Bild 2.43 eine Verarmungszone bewirkt. Der Effekt der Verarmungszone im Polysilizium kann einmal durch eine um t_{depl} erhöhte Oxiddicke t_{ox} oder durch eine verringerte effektive Gate-Source-Spannung, das heißt mit einer vergrößerten Einsatzspannung U_T , beschrieben werden. Bei kleineren Strukturen wirken sich auch die lateralen Verarmungszonen zu den seitlichen Begrenzungen der Gates aus. Die Entartung aufgrund der Raumladungszone (Verarmungszone) im polykristallinen Silizium (Polydepletion-Effect) nimmt mit kleineren Strukturen zu [251].

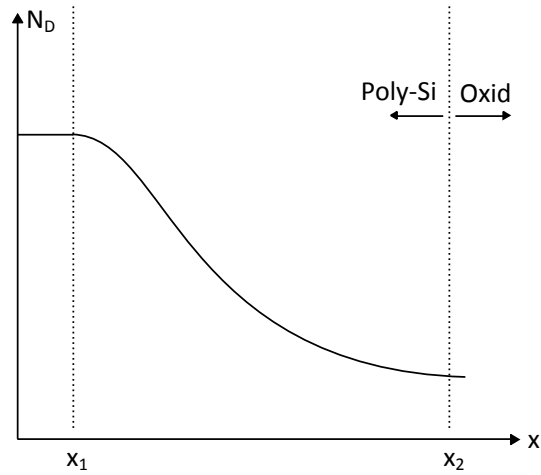


Bild 2.42 Ungleichförmiges Dotierungsprofil zwischen der oberen und der unteren Kante des Gates [39].

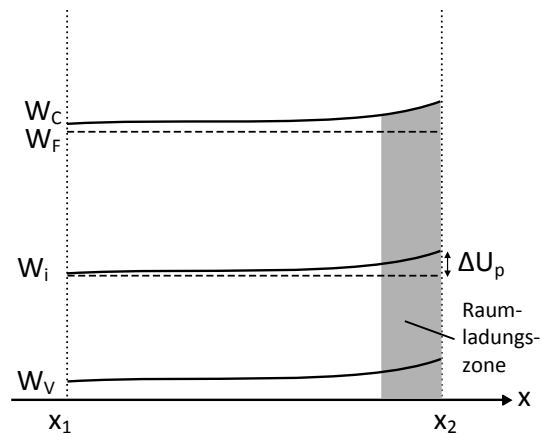


Bild 2.43 Bänderdiagramm aufgrund der ungleichförmigen Dotierung und das sich daraus ergebende elektrische Feld E_x und der entsprechende Potentialabfall U_p . Besonders markiert ist der Bereich der Raumladungszone [39].

2.1.9 Hochfeldeffekte

In den folgenden Abschnitten werden Effekte behandelt, die durch die sehr hohen Feldstärken, wie sie in MOS-Transistoren im Nanometerbereich auftreten, hervorgerufen werden.

2.1.9.1 Lawinenmultiplikation und Degradationseffekte

Wie bereits mehrfach erwähnt wurde, erreicht die elektrische Feldstärke am Drainseitigen Ende des Kanals im Sättigungsbereich den maximalen Wert. Dies bedeutet, dass die Driftgeschwindigkeit dort ebenfalls maximal wird. Wenn hohe elektrische Feldstärken oder wenn starke räumliche Veränderungen von Potentialen auftreten, bekommen einige Ladungsträger sehr hohe kinetische Energien. Die Ladungsträger sind nicht mehr im thermischen Gleichgewicht mit den Gitteratomen. In diesem Fall spricht man von heißen Elektronen oder Löchern. Unter diesen Umständen kann es vorkommen, dass die Ladungsträger eine höhere Driftgeschwindigkeit als die gesättigte Geschwindigkeit v_{sat} aufweisen.

Heiße Elektronen haben eine so hohe kinetische Energie, dass sie bei Zusammenstößen mit Gitteratomen im Substrat kovalente Verbindungen aufbrechen können, wodurch ein neues Elektron-Lochpaar entsteht. Hierbei wandern die Elektronen zum Drain und die Löcher zum Substrat. Die neu entstandenen Elektronen können, wenn sie genug zusätzliche Energie aufgenommen haben, bei erneuten Zusammenstößen mit Gitteratomen neue Ladungsträgerpaare generieren. Dies kann zur Lawinenmultiplikation führen (Bilder 2.44 und 2.46) [209].

Ein zusätzlicher Effekt ist, dass einige der Elektronen genügend Energie aus dem Feld erhalten und somit die Barriere zwischen dem Oxid und der Siliziumoberfläche überwinden (Bild 2.45). Im Allgemeinen ist die Injektion von Elektronen wahrscheinlicher als die Injektion von Löchern, da die Energiebarriere für Elektronen kleiner ist als die für Löcher (3,1 eV bzw. 4,6 eV). Heiße Ladungsträger können somit das Gate-Oxid und die Oxidschicht im benachbarten „Spacer“ (siehe Kapitel 2.2.2, Bild 2.92) beschädigen. Der Transistor wird in der Umgebung von Drain beeinträchtigt. Daraus folgt, dass der Transistor unsymmetrisch wird. Es tritt ein Alterungsprozess ein; die Langzeitstabilität ist gefährdet. HCS beschreibt die Degradation der elektrischen Eigenschaften von MOS-Transistoren unter dynamischen Stressbedingungen. HCS steht für Hot Carrier Stress. In der Literatur findet man auch den Ausdruck Hot Carrier Instability (HCI). HCS/HCI tritt auf, wenn in digitalen Schaltungen Lastkapazitäten auf- oder entladen werden, das heißt bei dynamischen Stressbedingungen. Degradationsprozesse verändern die Transistorparameter während des Betriebs. Degradationsprozesse müssen zusätzlich zu den Herstellungsschwankungen berücksichtigt werden.

HCS ist temperaturabhängig. Bei niederen Temperaturen ist die freie Weglänge der Ladungsträger länger, das heißt sie können eine höhere Energie aufnehmen. Dem gemäß verstärken niedrige Temperaturen den HCS-Effekt. Bei n-Kanal-Transistoren bewirkt HCS eine Zunahme der Einsatzspannung und eine Abnahme der Beweglichkeit.

Die Degradation von p-Kanal-Transistoren aufgrund von HCS hängt von der Technologiegeneration ab.

Herkömmliche Technologien weisen eine dicke Oxidschicht auf. Störstellen im Oxid fangen Elektronen ein. In diesem Fall wird der Betrag der Einsatzspannung erniedrigt. Dies führt zu höheren Sättigungs- und Leckströmen. Moderne Technologien haben dünne Gate-Oxide, aber bedingt durch Stress weisen sie eine hohe Zahl

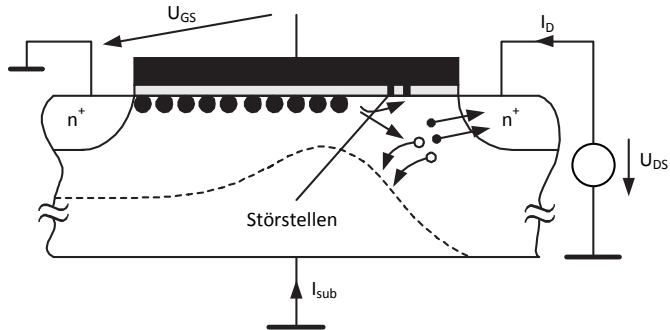


Bild 2.44 Injektion von heißen Ladungsträgern.

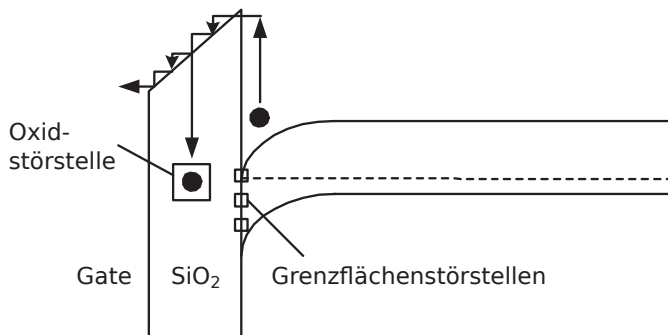


Bild 2.45 Generation von Störstellen durch heiße Ladungsträger.

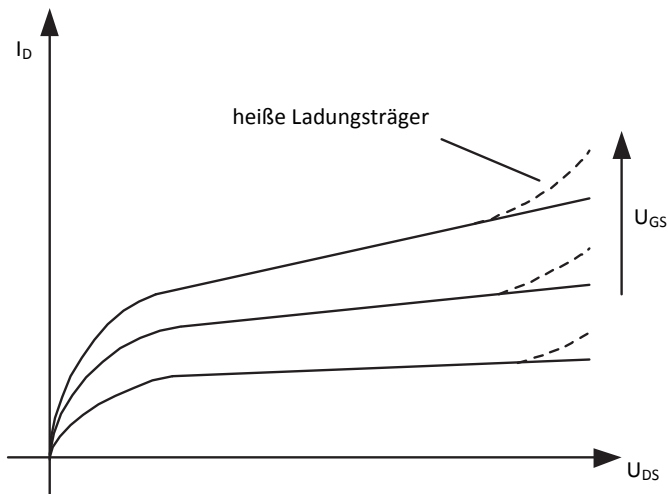


Bild 2.46 Kennlinienfeld verursacht durch Lawinenmultiplikation.

an Grenzflächenzuständen auf, die Löcher einfangen. Hier ist die Degradation vergleichbar zu n-Kanal-Transistoren. Bei modernen Technologien verringert HCS die Beträge der Sättigungsströme bei beiden Transistortypen. Genauere Angaben findet der Leser unter [231, 198].

Bei p-Kanal-Transistoren existiert ein anderer Effekt, der nicht auf heißen Ladungsträgern beruht, aber trotzdem zur Degradation des elektrischen Verhaltens führt. Bei erhöhter Temperatur und bei Gate-Spannungen von Null ($U_S = U_D = U_{DD}$), es fließt also kein Strom, bildet sich bei dünnen Gate-Oxiden NBTI (Negativ Bias Temperature Instability). NBTI bewirkt eine Erhöhung des Betrages der Einsatzspannung und eine Verringerung der Beweglichkeit der Löcher der p-Kanal-Transistoren und damit eine Verschlechterung der elektrischen Eigenschaften von CMOS-Schaltungen [83]. Dieser Prozess unterliegt stochastischen Schwankungen.

NBTI wird vorrangig dadurch verursacht, dass unter den angegebenen Bedingungen Si-H-Verbindungen an der Grenzschicht Si/SiO₂ aufgebrochen werden. Wasserstoff wird benutzt, um ungesättigte Bindungen an der Grenzschicht zwischen Silizium und Siliziumdioxid abzudecken, indem Si-H-Verbindungen hergestellt werden. Es entstehen neue Störstellen und Wasserstoffatome, die von der Grenzschicht in das Oxid und das polykristalline Silizium diffundieren oder andere Störstellen besetzen. Sobald die negative Spannung am Gate abgeschaltet wird, kommt es zur Rückbildung des Effekts. Es verbleibt ein quasi-statistischer Anteil. NBTI wirkt sich besonders in statischen Speichern aus, die lange Zeit Daten speichern müssen, ohne dass neue Daten eingeschrieben werden. Mittels „Burn-In“ kann NBTI stark reduziert werden.

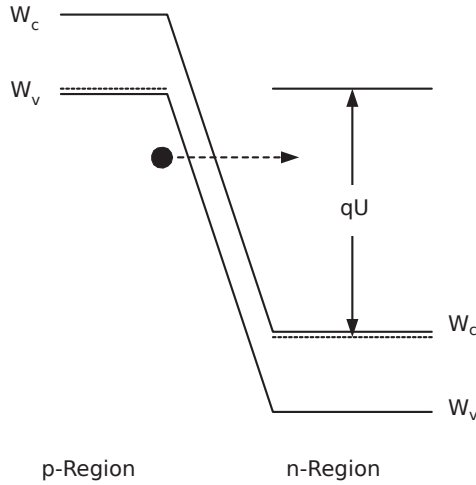
Nach der Herstellung zeigen die Chips eine hohe Ausfallrate, die erst nach Monaten oder Jahren abnimmt. Daher beschleunigt man künstlich den Alterungsprozess, in dem man die Chips bei hoher Temperatur betreibt. Dieses Verfahren wird mit „Burn-In“ bezeichnet. Es handelt sich nicht um einen Lebensdauertest, sondern um das Aussortieren von schwachen Komponenten.

Der entsprechende Effekt (PBTI, Positiv Bias Temperature Instability) muss gegenwärtig bei n-Kanal-Transistoren nicht berücksichtigt werden. Erst, wenn anstatt des Siliziumdioxid neue Isoliermaterialien mit höheren Dielektrizitätskonstanten eingesetzt werden, werden auch die n-Kanal-Transistoren ähnlich stark wie die p-Kanal-Transistoren von PBTI betroffen sein.

2.1.9.2 Band-zu-Band Tunneleffekt

Erreicht das elektrische Feld eines in Sperrpolung betriebenen pn-Übergangs eine Feldstärke von etwa 10^6 V/cm fließt ein beträchtlicher Strom, dessen Ursache das Tunneln von Elektronen aus dem Valenzband des p-dotierten Teils in das Leitungsband des n-dotierten Teils ist (Bild 2.47).

Mit Tunneln wird die Wahrscheinlichkeit bezeichnet, mit der ein Elektron eine vorhandene Barriere durchqueren kann, obwohl die Elektronenenergie niedriger als die Energiebarriere ist. Tunneln kann nur erklärt werden, wenn man dem Elektron Welleneigenschaften zuschreibt.

**Bild 2.47** Band-zu-Band Tunneleffekt [244].

Die Stromdichte des Tunnelstroms berechnet sich zu [52, 201, 244]

$$j_{b-b} = \frac{\sqrt{2 \cdot m^* \cdot q^3 \cdot E \cdot U_{\text{angelegt}}}}{\text{const.}} \cdot \exp\left(-\frac{A}{B \cdot E}\right) \quad (2.112)$$

A, B Konstanten
 E elektrische Feldstärke
 U_{angelegt} von außen angelegte Spannung
 m^* effektive Masse der Elektronen.

Für einen einseitigen pn-Übergang kann die maximale Feldstärke abgeschätzt werden.

Man erhält

$$E_{\text{max}} = \sqrt{\frac{2 \cdot q \cdot N_A \cdot (U_{\text{angelegt}} + U_{\text{Diff}})}{\epsilon_{\text{Si}}}} \quad (2.113)$$

U_{Diff} Diffusionsspannung.

Für $N_A = 5 \times 10^{18} \text{ cm}^{-3}$ und $U_{\text{app}} = 1 \text{ V}$ ergibt sich für die Stromdichte

$$j_{b-b} = 1 \text{ A/cm}^2 \quad .$$

Mit immer kleiner werdenden Strukturen erhöhen sich die Konzentrationen der Dotierstoffe und die pn-Übergänge werden steiler. Somit wird der Band-zu-Band Tunneleffekt immer wichtiger. In modernen MOS-Transistoren ist der Band-zu-Band Tunneleffekt einer der wichtigsten Effekte für Leckströme.

2.1.9.3 Tunneln in das und durch das Siliziumdioxid

Neben dem Band-zu-Band Tunneleffekt gibt es noch die Möglichkeit, dass Ladungsträger in das oder durch das Siliziumdioxid tunneln. Bild 2.48a zeigt das Bändermodell einer MOS-Struktur bei Flachbandbedingung. Es wird angenommen, dass das Polysilizium-Gate stark n-dotiert ist. In das Bild ist die Energiebarriere für Elektronen, die vom Siliziumoxid hervorgerufen wird, ebenfalls eingezeichnet. Die Energiebarriere beträgt etwa 3,1 eV. Wird eine große positive Spannung an das Gate angelegt, tunneln Elektronen von der Inversionsschicht an der Grenzschicht Si-SiO₂ in die oder durch die Oxidschicht. Somit entsteht ein Gate-Strom. Umgekehrt tunneln Elektronen vom Gate in oder durch die Oxidschicht, wenn eine starke negative Spannung an das Gate gelegt wird. Wieder entsteht ein Gate-Strom.

2.1.9.3.1 Fowler-Nordheim-Tunnelprozess

Fowler-Nordheim-Tunneling tritt auf, wenn Elektronen in das Leitungsband des Isolators tunneln und dann durch die Oxidschicht driften (Bild 2.48b). Die komplette Theorie für diesen Tunneleffekt ist ziemlich kompliziert. Die Stromdichte kann näherungsweise wie folgt berechnet werden [244]

$$j_{\text{FN}} = \frac{q^2 \cdot E_{\text{ox}}^2}{16 \cdot \pi^2 \cdot h \cdot \Phi_{\text{ox}}} \cdot \exp \left(- \frac{4 \cdot \sqrt{2 \cdot q \cdot m^*} \cdot \Phi_{\text{ox}}^{3/2}}{3 \cdot h \cdot E_{\text{ox}}} \right) \quad (2.114)$$

E_{ox} Feldstärke in der Isolierschicht.

Festzuhalten ist, dass die Tunnelstromdichte exponentiell mit dem Abstand Leitungsbandkante Isolator zu Leitungsbandkante Halbleiter Φ_{ox} abnimmt. Bei einer elektrischen Feldstärke von etwa 8 MV/cm kann man eine Tunnelstromdichte von $5 \times 10^{-7} \text{ A/cm}^2$ messen. Dies ist ein sehr kleiner Wert.

2.1.9.3.2 Direktes Tunneln

Wenn die Oxidschicht sehr dünn ist, etwa 4 nm oder weniger, können Elektronen, anstatt in das Leitungsband des Isolators, direkt von der Inversionsschicht im Halbleiter durch das verbotene Band der Oxidschicht tunneln. Dies ist in Bild 2.48c dargestellt. Die Theorie des direkten Tunnelvorgangs ist komplizierter als der Fowler-Nordheim-Tunnelmechanismus. Der direkte Tunnelstrom kann für sehr dünne Oxidschichten sehr groß werden, wie Bild 2.49 zeigt.

Der direkte Gate-Tunnelstrom setzt sich im Allgemeinen aus vier Anteilen zusammen. Dies sind zunächst die parasitären Leckströme, die aufgrund der Überlappungen des Gates über die Source- oder Drain-Gebiete entstehen. Weiter fließt ein Tunnelstrom vom Gate zum Kanal. Schließlich gibt es noch den Leckstrom vom Gate zum Substrat.

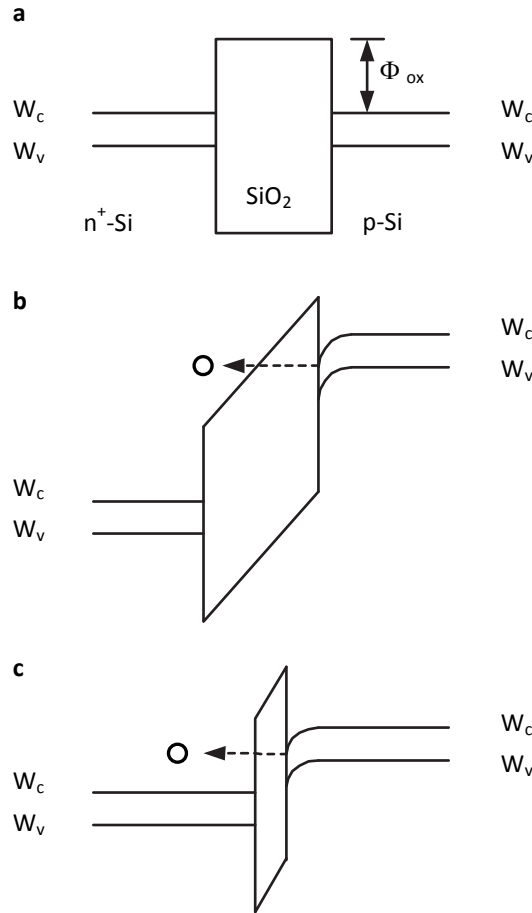


Bild 2.48 Tunneleffekte in einem MOS-Kondensator **a** Energiediagramm einer p-dotierten Polysilizium-Gate-Struktur bei Flachbandbedingung; **b** Fowler-Nordheim-Tunneleffekt; **c** direktes Tunneln.

2.1.9.4 Gate-induzierter Drain-Leckstrom (GIDL)

Wird ein Transistor als Schalter verwendet, interessieren im ausgeschalteten Zustand die verbleibenden Leckströme. Mit $U_{GS} < U_{Tn}$ befindet sich der Transistor im Unterschwellenstrombereich und es fließt ein Sperrstrom I_{DS} entsprechend Gleichung 2.84 zwischen Drain und Source, sowie ein Strom I_S des gesperrten pn-Übergangs. Eine zusätzliche Komponente I_B , die bei kleinen Strukturen meist wesentlich größer ist als I_S , wird Gate-induzierter Drain-Leckstrom (Gate Induced Drain Leakage, GIDL) genannt (Bild 2.50).

Bei einer großen positiven Drain-Gate-Spannung kann sich eine genügend große Bandverbiegung an der Grenzschicht zwischen dem Isoliermaterial und dem Drain

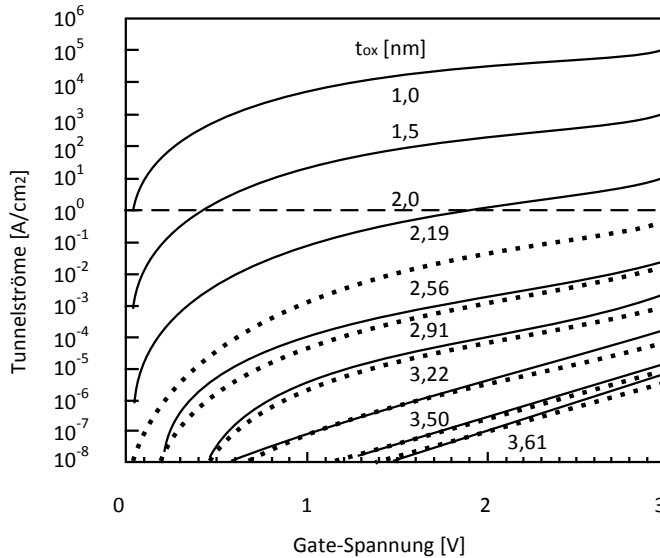


Bild 2.49 Gemessene (gepunktet) und simulierte Tunnelströme in Abhängigkeit von der Oxiddicke und der Gate-Spannung [244]; strichliert ist die Marke von $1 \text{ A}/\text{cm}^2$.

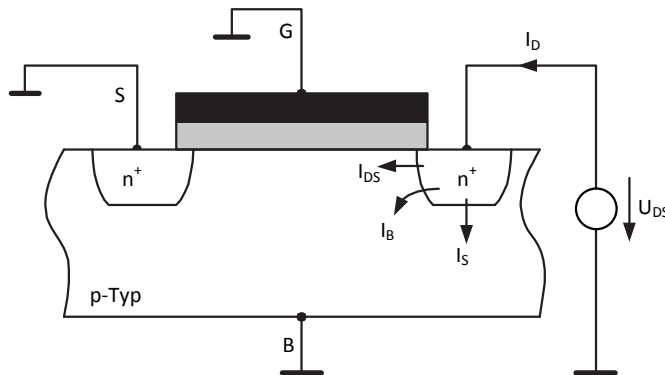


Bild 2.50 Drain-Leckströme aufgeteilt in Unterschwellenstrom I_{DS} , Sperrstrom I_{S} und Gate-induzierter Drain-Leckstrom I_{B} .

einstellen, so dass Elektronen des Valenzbandes in das Leitungsband tunneln können. Die Elektronen gelangen zum Drain und werden dort abgesaugt, während die im Valenzband verbleibenden Löcher zum Substrat wandern. Wie es Bild 2.52 zeigt, hängt der Tunnelprozess von der Bandverbiegung und dem transversalen, elektrischen Feld an der Oberfläche des Drain-Gebietes ab. Es bildet sich eine ausgeräumte Zone an der Grenze zum Oxid aus. Die Löcher, die zum Substrat fließen, verhindern, dass sich eine Inversionsschicht an der Oberfläche von Drain ausbildet [253]. GIDL stellt eine Begrenzung für die minimale Dicke der Oxidschicht dar, da die

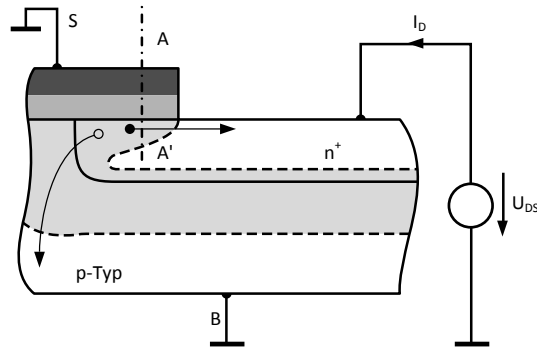


Bild 2.51 Drain-seitiger Querschnitt [94].

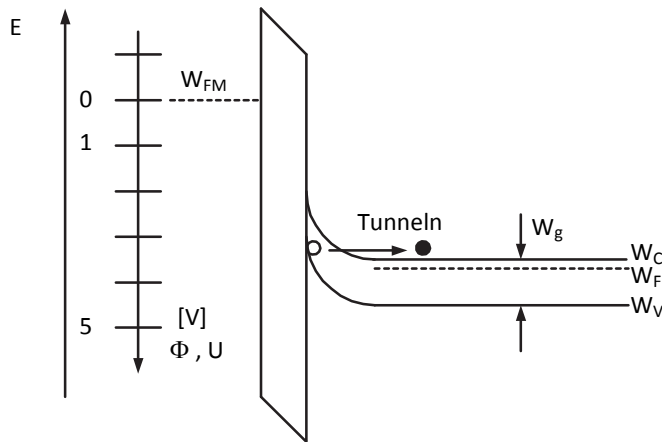


Bild 2.52 Bänderdiagramm für den Schnitt A-A' [94].

Spannung, die zum Auslösen des Tunnelmechanismus benötigt wird, mit dünneren Oxidschichten abnimmt.

Der beschriebene Vorgang braucht eine große Drain-Gate-Spannung. Es gibt jedoch einen weiteren Tunnelmechanismus, da sich ein pn-Übergang zwischen den durch Akkumulation entstandenen p-Kanal unter der Oxidschicht neben dem Drain-Gebiet und dem n^+ -Gebiet bildet (siehe Bild 2.47). Man spricht von einer vom Gate-Potential abhängigen Diode (Gated diode). Die Potentialbarriere des pn-Übergangs wird von der Gate-Spannung moduliert. Im Vergleich zu dem vorher beschriebenen Vorgang, wird nun bereits bei einer kleineren Drain-Gate-Spannung ein Band-zu-Band Tunnelmechanismus ausgelöst. Der Grund hierfür ist die Diffusionsspannung (etwa ein Volt) dieses pn-Übergangs. Der zuletzt genannte Vorgang ist die wichtigste Komponente des GIDL-Stroms.

Auch wenn der Transistor gut sperren soll, darf die Gate-Spannung nicht kleiner als Null Volt sein. Dies würde zwar den Sperrstrom des Transistors nach Gleichung

2.84 minimieren, aber gleichzeitig wegen GIDL einen hohen Leckstrom über Drain-Substrat erzeugen.

Insgesamt lässt sich feststellen, dass die verschiedenen Leckströme eine allmähliche Degradation der elektrischen Eigenschaften des Transistors bewirken. Weiter tragen die Leckströme wesentlich zur statischen Verlustleistung der modernen Chips bei.

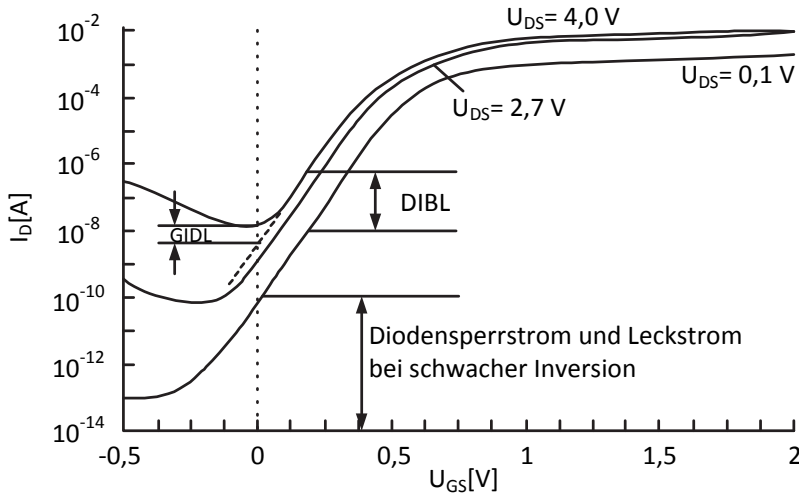


Bild 2.53 Abhängigkeit des Drain-Stromes von U_G unter Berücksichtigung von DIBL, GIDL, schwacher Inversion und Sperrstrom der Drain-seitigen Diode.

Bild 2.53 zeigt den Unterschwellenstrom in Abhängigkeit von der Gate-Source-Spannung U_{GS} . Die Einflüsse der einzelnen Effekte, wie DIBL, GIDL, schwache Inversion und Sperrstrom der Drain-seitigen Diode sind eingezeichnet. Wegen DIBL werden die Kurven nach oben und nach links verschoben. GIDL bewirkt, dass der Unterschwellenstrom des Transistors ansteigt, wenn die Gate-Spannung einen Schwellwert unterschreitet.

2.1.10 Moderne MOS-Transistorstrukturen zur Reduktion von Leckströmen

In den letzten Kapiteln wurden mehrere Arten von Leckströmen beschrieben. In Kapitel 4.4 (Bild 4.24) wird gezeigt, dass die Verlustleistung aufgrund von Leckströmen die gleiche Größenordnung wie die Verlustleistung, die für das Laden und Entladen von Kapazitäten, was im aktiven Betrieb charakteristisch ist, aufweist. In digitalen Schaltungen, die aus Höchstgeschwindigkeitstransistoren aufgebaut sind, sind die Unterschwellenströme der dominierende Anteil der Leckströme. Diese

Leckströme sind wegen DIBL (Drain Induced Barrier Lowering) von der Drain-Source-Spannung abhängig. Mit größerer Drain-Source-Spannung wird die Einsatzspannung U_T betragsmäßig kleiner und der Unterschwellenstrom steigt an. Um die Verlustleistung einer integrierten Schaltung so gering wie möglich zu halten, wurde und wird daran gearbeitet die Leckströme, insbesondere die Unterschwellenströme, zu reduzieren. Hierzu werden schaltungstechnische Maßnahmen (siehe Kapitel 4.8.3.2) und technologische Maßnahmen, die nun erläutert werden, ergriffen.

2.1.10.1 Transistoren mit höherer homogener Substratdotierung

Messungen und Simulationen haben ergeben, dass ein genügend großes Verhältnis AR (aspect ratio) von lateralen zu vertikalen Transistorabmessungen zur Minimierung des Kurzkanaleffekts angestrebt werden sollte [217, 24, 166]

$$AR = \frac{L}{\left(t_{\text{ox}} \cdot \frac{\epsilon_{\text{Si}}}{\epsilon_{\text{ox}}}\right)^{1/3} \cdot x_{\text{d}}^{1/3} \cdot x_{\text{j}}^{1/3}} \quad (2.115)$$

x_{j} Eindringtiefe der Source- und Drain-Diffusionsgebiete

x_{d} Weite der Raumladungszone unter dem Kanal.

Reduziert man die Oxiddicke t_{ox} , die Raumladungsweite x_{d} unter dem Kanal und die Eindringtiefe x_{j} im Verhältnis zur Transistorlänge L , so verbessert man die elektrischen Eigenschaften der Kurzkanaltransistoren. Aus den Gleichungen 2.11 und 2.90 folgt mit $U_{\text{SB}} = 0$ für die Weite der Raumladungszone x_{d}

$$x_{\text{d}} = \sqrt{\frac{4 \cdot \epsilon_0 \cdot \epsilon_{\text{Si}} \cdot kT \cdot \ln \frac{N_{\text{A}}}{n_{\text{i}}}}{q^2 \cdot N_{\text{A}}}} \quad (2.116)$$

Wie Gleichung 2.116 zeigt, kann die Raumladungsweite nur verringert werden, wenn bei homogener Dotierung die Nettodotierung N_{A} erhöht wird. Dies bedeutet aber gleichzeitig eine Erhöhung der Einsatzspannung (Gleichungen 2.15 und 2.33) und somit eine Verringerung der effektiven Gate-Spannung, die wiederum den Drain-Strom reduziert, was die Schaltzeiten erhöht und damit unerwünscht ist. Man benötigt eine intelligentere Lösung. Ein Ansatz ist, die unterschiedlichen Austrittsarbeiten des Gate-Materials und des Siliziumsubstrats und somit die Flachbandspannung günstig zu beeinflussen (Work function engineering). Als Alternative oder als Ergänzung kann man die Substratdotierung geeignet gestalten.

2.1.10.2 Inhomogene Dotierungsprofile

Indem man die Dotierungsprofile unter dem Kanal örtlich variiert, erzielt man günstigere Verläufe der elektrischen Feldstärke. Mit einer sogenannten „retrograde“ Do-

tierung, das ist eine in vertikaler Richtung inhomogene Dotierung, versuchte man das Problem zu lösen. Direkt unter dem Siliziumdioxid bis zur Tiefe x_s werden geringe Dotierungskonzentrationen verwendet, während tiefer im Substrat hohe Konzentrationen angestrebt werden.

Die niedrige Dotierung bewirkt eine hohe Mobilität der Ladungsträger im Kanal, indem die Streuung an Gitteratomen minimiert wird. Außerdem erzielt man auf diese Weise eine kleine Einsatzspannung. Die hohe Dotierung im Substrat wirkt als Barriere gegen „Punch-Through“.

Die Halo-Dotierung ist dadurch gekennzeichnet, dass man in lateraler Richtung eine inhomogene Dotierung (Bild 2.54) implantiert. Sie wurde als Alternative zur „retrograde“ Dotierung für Strukturgrößen kleiner als $0,25\mu\text{m}$ eingeführt, um die Abhängigkeit der Einsatzspannung von der Kanallänge zu vermeiden. Mit den Halo-Dotierungen werden am Drain-seitigen und am Source-seitigen Ende eines n-Kanal-Transistors erhöhte N_A -Dotierungen angestrebt. Dadurch werden die „Charge-Sharing“-Effekte, die von den Drain- beziehungsweise von den Source-Feldern verursacht werden, verringert. Letztlich wird die Abhängigkeit der Einsatzspannung von der Kanallänge und damit auch die Drain-induzierte Barrierenverringering (DIBL) vermindert.

Wie gut die einzelnen Maßnahmen wirken, kann dem Bild 2.55 entnommen werden. Man sieht, dass die Halo-Dotierung der retrograden Dotierung vorzuziehen ist.

Sowohl für die „retrograde“ Dotierung als auch für die Halo-Dotierung werden flache Source- und Drain-Anschlüsse (USJ, Ultra Shallow Junction) implementiert. Dies hilft nach Gleichung 2.115 die Kurzkanaleffekte zu minimieren.

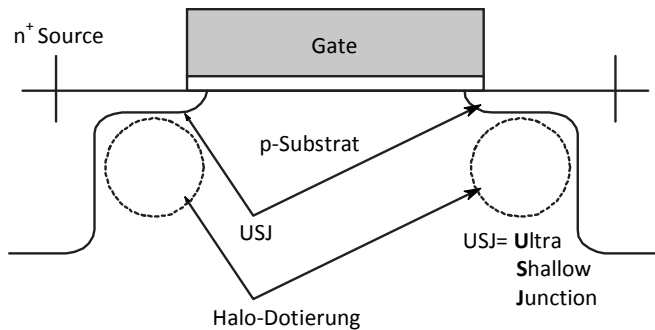


Bild 2.54 Querschnitt durch einen Transistor mit Halo-Dotierung.

2.1.10.3 Transistoren mit mechanischer Belastung (Strained Silicon)

Mit den klassischen Methoden der Strukturverkleinerung gelangte man mit der 90 nm Technologie an Grenzen. Wegen der Gate-Leckströme konnte man das Gate-Oxid nicht weiter ausdünnen. Daher blieb die Oxiddicke von der 90 nm Techno-

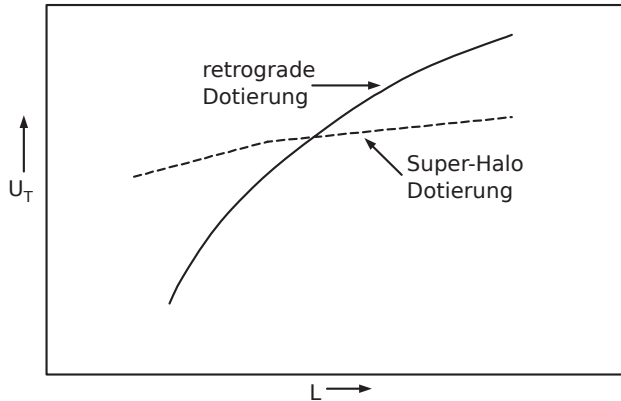


Bild 2.55 Abnahme der Einsatzspannung in Abhängigkeit von der Kanallänge für Halo-Dotierung oder für eine retrograde Dotierung [189].

logie bis zur 65 nm Technologie für Hochleistungs-Mikroprozessoren nahezu konstant bei ungefähr 1,2 nm. Daraus folgte, dass auch die Einsatzspannung und die Versorgungsspannung konstant blieben. Trotzdem wurde die Stromergiebigkeit der Transistoren weiter verbessert.

Dies gelang, weil man die Kanalbereiche der Transistoren mechanischen Belastungen unterwarf [17]. Es gibt mehrere Möglichkeiten, den Kanalbereich einem mechanischen Stress zu unterwerfen. Eine Methode ist, eine Schicht aus dicken, stressfreien $\text{Si}_{1-x}\text{Ge}_x$ auf einem Si-Substrat zu verwenden. Darauf wird eine dünne Siliziumschicht abgeschieden. Wegen der unterschiedlichen Kristallstrukturen, die Gitterabstände von SiGe sind etwa um 1% größer, bilden sich mechanische Spannungen aus. Bei der beschriebenen Struktur wird das dünne Silizium gedehnt.

Eine andere Methode beruht darauf, $\text{Si}_{1-x}\text{Ge}_x$ in die Source- und Drain-Gebiete einzubauen. Das Ergebnis ist, dass nun der Kanalbereich zusammengedrückt wird. N- und p-Kanal-Transistoren reagieren unterschiedlich auf die verschiedenen mechanischen Belastungen. Wendet man jeweils die geeignete Methode an, erreicht man, dass die n-Kanal-Transistoren einer Dehnung und die p-Kanal-Transistoren einer Stauchung unterworfen werden. So wird in beiden Fällen wesentlich die Beweglichkeit der Ladungsträger und damit die Stromergiebigkeit erhöht [210]. Die Beweglichkeit der Löcher wurde um 50% und die Beweglichkeit der Elektronen um 10% gesteigert. Zum ersten Mal wurde diese Technik für die 90 nm Technologie eingesetzt. Nachfolgende Technologiegenerationen verfügen ebenfalls über diese Technik.

2.1.10.4 Transistoren mit neuer Gate-Isolierung (high k Transistoren) und metallischen Gate-Elektroden

Bei allen bisherigen Überlegungen wurde das Isoliermaterial zwischen dem Gate und dem Substrat unverändert beibehalten. Der Siegeszug der CMOS-Technologie begann, als man in der Produktion nach anfänglichen großen Schwierigkeiten lernte, die Grenzschicht zwischen Siliziumdioxid und dem Siliziumsubstrat zu beherrschen. Hohe Ausbeuten für Chips mit großen Stückzahlen und Millionen von integrierten Transistoren wurden somit möglich. Deswegen scheute man sich, andere Isoliermaterialien einzusetzen, obwohl mit Isoliermaterialien, die eine höhere Dielektrizitätskonstante aufweisen, der Durchgriff des Gates auf den Kanalbereich verbessert und somit der Durchgriff von Drain verkleinert werden könnte. Zusätzlich könnte man größere Dicken für die Isolierschicht vorsehen und somit die Gate-Tunnelströme minimieren. Der Effekt beruht darauf, dass mit einer höheren Dielektrizitätskonstante bei gleicher von außen angelegter Gate-Source-Spannung und gleicher Dicke der Isolierschicht mehr Ladungen im Kanal gehalten werden können. Die Gate-Kapazität wird erhöht. Es wurde der Begriff der äquivalenten Oxiddicke *EOT* eingeführt.

Es gilt

$$EOT = \frac{\epsilon_{\text{SiO}_2}}{\epsilon_x} \cdot t_x \quad . \quad (2.117)$$

EOT gibt an, wie dünn eine Isolierschicht aus Siliziumdioxid sein müsste, um die gleiche Wirkung zu haben, wie die neue Schicht mit der Dielektrizitätskonstanten ϵ_x und der Dicke t_x .

Die Vorteile von Isoliermaterialien mit höherer Dielektrizitätskonstante (high k Transistoren) sind derart gravierend, dass weltweit daran gearbeitet wurde und wird, neue oder verbesserte Schichten oder Schichtfolgen in der Produktion einzusetzen. Zusätzlich ist es wegen der Verarmung in den polykristallinen Silizium-Gates notwendig, zu metallischen Gates überzugehen.

Zum Beispiel führte Intel für die 45 nm Technologie eine auf Hafnium basierende Isolierschicht gemeinsam mit einem neuen metallischen Gate-Material ein. Die Isolierschicht ist physikalisch dicker, aber das elektrische Äquivalent ist im Vergleich zu der vorausgehenden 65 nm Technologie dünner. Die neuen Transistoren verfügen über eine um 30% erhöhte Stromergiebigkeit. Die Unterschwellenströme wurden um den Faktor fünf reduziert, während die Gate-Oxid-Leckströme um den Faktor fünfundzwanzig für n-Kanal-Transistoren und um den Faktor tausend für p-Kanal-Transistoren verbessert wurden. Auch die 32 nm Technologie von Intel nutzt diese Prozessschritte [17].

Mit den beschriebenen Prozessschritten, Transistoren mit mechanischen Belastungen, ultraschmale Source- und Drain-Anschlüsse (USJ), Metall-Gates und Hafnium-basiertes Isoliermaterial, verließen Intel und andere Firmen die klassischen Methoden der Strukturverkleinerung, die mehr als dreißig Jahre gute Dienste geleistet hatten. Bild 2.56 stellt im Querschnitt einen modernen MOS-Transistor dar.

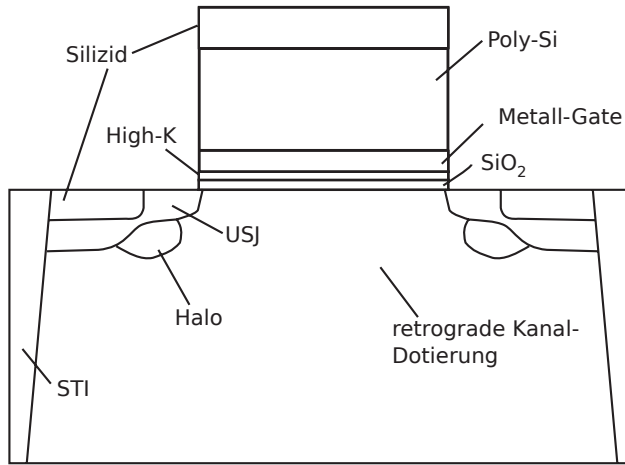


Bild 2.56 Querschnitt durch einen modernen planaren MOS-Transistor der 32nm Technologiegeneration [5].

Die modernen Transistoren nach Bild 2.56 haben eine andere als die in den Bildern 2.28 gezeigte Abhängigkeit der Einsatzspannung U_T von der Kanallänge L und Kanalweite W . Bei sehr kleinen Kanallängen tritt wieder wegen DIBL (Drain Induced Barrier Lowering) die starke Abnahme der Einsatzspannung auf. Dies gilt besonders im Sättigungsbereich.

Moderne Transistoren weisen eine Halo-Dotierung auf. Bei kurzen Gate-Längen, bei denen man eine konstante Einsatzspannung erwarten würde, ist ein großer Teil der Kanallänge beeinflusst und U_T wird angehoben [5] (siehe Bild 2.57). Bei langen Transistoren nimmt der Einfluss des Halos ab und es bildet sich im Kurvenverlauf ein Buckel aus, da U_T nur noch von der eigentlichen Dotierung bestimmt wird. Dieser Effekt wird als „Inverse Short Channel Effect“ bezeichnet. Die Einsatzspannung besitzt bei einer bestimmten Gate-Länge ein Maximum, das üblicherweise bei Gate-Längen von $L_g = L_{\min} + 20 \dots 40 \text{ nm}$ liegt. Für PMOS-Transistoren gilt Entsprechendes.

Die Einsatzspannung hat neben der Längenabhängigkeit auch eine geänderte Weitenabhängigkeit, die in Bild 2.58 dargestellt ist. Zunächst sieht man wieder die für STI (Shallow Trench Isolation) charakteristische Abnahme der Beträge der Einsatzspannungen bei kleinen Weiten für beide Transistortypen (Inverse Narrow Width Effect). An der Grenze zum STI-Oxid führen Segregationsvorgänge in PMOS-Transistoren zu erhöhten und in NMOS-Transistoren zu reduzierten Dotierstoffkonzentrationen. Die Einsatzspannung wird daher in den Randbereichen erhöht beziehungsweise reduziert. Während ein schmaler Transistor zu großen Teilen aus diesen Randbereichen besteht, kann dieser Effekt bei weiten Transistoren vernachlässigt werden. Hieraus folgt, dass die Einsatzspannung in schmalen NMOS-Transistoren reduziert und in schmalen PMOS-Transistoren betragsmäßig angehoben wird [5].

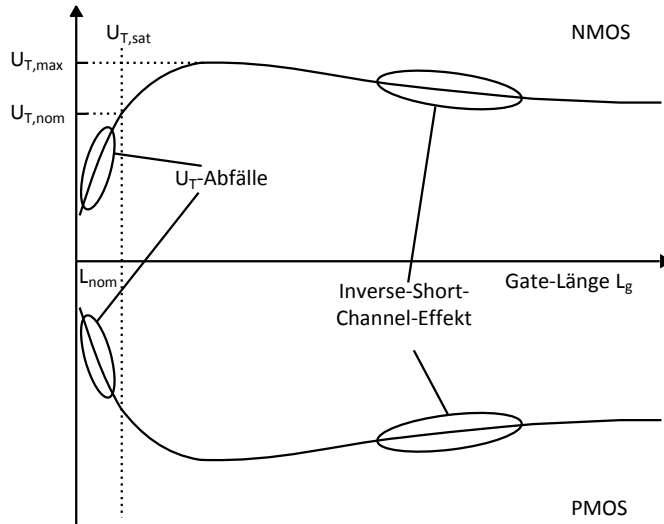


Bild 2.57 Schematische Darstellung der Einsatzspannung in Abhängigkeit von der Gate-Länge.

Zusätzlich ist zu bedenken, dass es aufgrund von mechanischen Belastungen (stress) an den Rändern zu Verspannungen kommt, die zu einer unterschiedlichen Verteilung und Aktivierung von Kanal-, Source-, Drain- und Halo-Dotierung führt. Außerdem haben die Verspannungen Einflüsse auf die Ladungsträgerbeweglichkeit, insbesondere gilt dies für die p-Kanal-Transistoren. Dieser Effekt wird als „STI-Stress-Effect“ bezeichnet.

Die beiden zuerst genannten Effekte, also Abnahme des Betrags der Einsatzspannung für schmale Transistoren und Einfluss von Segregationsvorgängen auf die Einsatzspannung, werden als „Narrow Width Effect“ bezeichnet. In NMOS-Transistoren wirken beide Effekte in dieselbe Richtung, so dass die Einsatzspannung bei minimaler Gate-Weite zum Beispiel in einer 130 nm Technologie um 40 mV im Vergleich zu sehr weiten Transistoren kleiner ist. In PMOS-Transistoren führt die Segregation der Kanaldotierung zu einer Erhöhung des Absolutwertes der Einsatzspannung im Randbereich, welche die Absenkung von U_T aufgrund des „Inverse Narrow Width Effect“ teilweise ausgleichen oder umkehren kann [5].

Bei großen Transistorweiten bestimmt der „STI-Stress-Effect“ den Verlauf der Einsatzspannung. Sowohl in p- als auch in n-Kanal-Transistoren sinkt der Betrag der Einsatzspannung bei Weiten von $W > 1 \mu\text{m}$.

2.1.10.5 SOI (Silicon on Insulator)

Eine weitere Möglichkeit, die Kurzkanaleffekte und die Leckströme zu minimieren, bietet die SOI-Technik (SOI, Silicon on Insulator) [112]. Wie Bild 2.59 zeigt, werden die Transistoren in dieser Technik auf sehr dünnen Lagen aus kristallinem Sili-

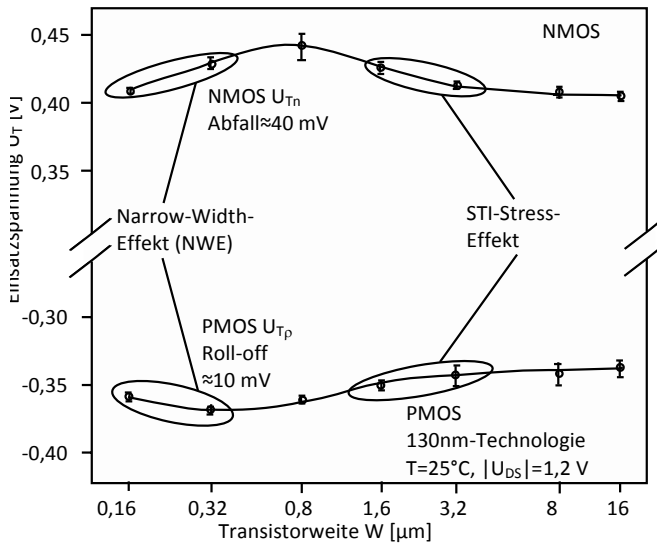


Bild 2.58 Gemessene Weitenabhängigkeit der Einsatzspannungen von NMOS- und PMOS-Transistoren.

zium gefertigt. Die dünnen Lagen sind vom Substrat durch eine vergrabene Schicht (etwa 50 nm) aus Siliziumdioxid isoliert. Dadurch werden die Transistoren von einander und vom Substrat isoliert. Wie bei konventionellen Transistoren wird das Substrat unter der vergrabenen Schicht mit einer geeigneten Spannung verbunden. Mit dieser Technik werden folgende Vorteile angestrebt:

- Sehr geringe Raumladekapazitäten um Source und Drain
- Kein Substratsteuereffekt
- Immunität gegen „Soft-Errors“ (siehe Kapitel 6.5.3)
- Fehlen des Latch-Up-Effektes (siehe Kapitel 2.2.3.1)
- Verringerung der Variabilität der Einsatzspannung U_T

SOI-Transistoren unterscheidet man je nachdem, ob die Siliziumschicht vollständig oder nur teilweise durch die Raumladezone unter dem Kanal von Majoritätsträgern ausgeräumt ist. Ist die kristalline Schicht dicker als die maximale Weite der Raumladezone, spricht man von PD-SOI-Transistoren (PD Partially Depleted). Diese Struktur hat keinen festen Substratanschluss, das heißt das Substratpotential kann frei schwanken. Es unterliegt kapazitiven Kopplungen. Es kann bei n-Kanal-Transistoren am Drain zur Lawinenmultiplikation kommen. Die Elektronen werden vom Drain abgesaugt, während die Löcher ins Substrat fließen. Dadurch wird das Substratpotential und damit auch die Einsatzspannung geändert. Einige Elektronen erreichen Source. Dadurch wird die Potentialbarriere für die Elektronen an Source erniedrigt und der Drain-Strom steigt stark an (Kink-Effekt) [110].

Wenn die Siliziumschicht so dünn ist, dass die Weite der Raumladezone unter dem Kanal größer ist als die Siliziumschicht, spricht man von FD-SOI-Transistoren

Dadurch erreicht man eine verbesserte Ankopplung des Siliziumsubstrats an das Gate-Potential. Wegen der verbesserten Ankopplung kann die Dotierung wesentlich verringert werden. Die so verbesserte Ladungsträgerbeweglichkeit führt zu einem erhöhten Drain-Strom. Wie beim FD-SOI-Transistor wird dadurch auch die Variabilität der Einsatzspannung reduziert. Die Transistorgleichungen werden nun nicht mehr mittels der eindimensionalen sondern mittels der zwei- beziehungsweise der dreidimensionalen Poisson-Gleichung abgeleitet.

In der Literatur findet man viele verschiedenen Strukturen (Bild 2.60), die alle von der gleichen Grundüberlegung bedingt sind [129]. Hier sollen nur zwei Strukturen – FinFET und Triple-Gate – besprochen werden.

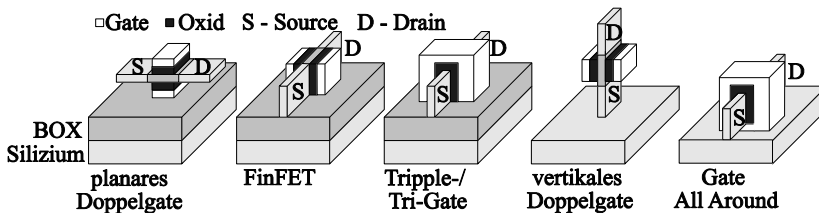


Bild 2.60 Unterschiedliche Multi-Gate-Konzepte [129].

Beim FinFET-Konzept (Fin entspricht Lamelle) wird ein dünner Steg (10...40 nm) aus dem Silizium, das auf einer Oxidschicht aufgebracht wurde, geätzt [97]. An den Seitenwänden wird anschließend Gate-Oxid aufgewachsen und jeweils eine Gate-Elektrode abgeschieden. Die Oberseite wird mittels geschickter Prozessabläufe durch ein Dielektrikum abgedeckt. Die Gate-Weite entspricht der doppelten Höhe der Siliziumschicht. Durch Parallelschaltung mehrerer Stege kann der Drain-Strom eingestellt werden. Eine hohe Packungsdichte der parallelen Stege führt im Vergleich zu planaren MOSFETs zu erhöhten Drain-Strömen.

Der Triple-Gate-MOSFET unterscheidet sich vom FinFET durch ein drittes Gate an der Oberfläche des Siliziumsteges [252]. Bild 2.61 zeigt die Struktur eines Triple-Gate-FET. In diesem Bild sind auch die wichtigsten Strukturgrößen eingezeichnet. Im Vergleich zum FinFET ist beim Triple-Gate-FET aufgrund des zusätzlichen Gates ein höherer Drain-Strom möglich. In Bild 2.62 sind simulierte Transistorkennlinien bei niedriger Kanaldotierung in Abhängigkeit von der Weite des Steges dargestellt. Die Kennlinien sind mit ansteigender Stegweite zunehmend von Kurzkanaleffekten betroffen. Bei Weiten über 200 nm kommt es zu „Punch-Through“. Während man für kleine Weiten sehr gute Werte für Maßzahl S erhält. Die Kontrolle der Barriere durch das Gate-Potential ist auf der gesamten Fläche des Source-Kanal-Übergangs durch die dreiseitige Gate-Ankopplung entscheidend verstärkt. Je schmaler der Steg, desto besser sperrt der Transistor.

Stellvertretend für die anderen Strukturen von Bild 2.60 soll an dieser Stelle die Wirkungsweise eines Doppel-Gate-FinFETs anhand des Bändermodells erläutert werden. Es wird ein undotierter, oder nur sehr leicht dotierter symmetrischer Doppel-Gate-Transistor betrachtet. An beiden Gates wird die gleiche Spannung angelegt

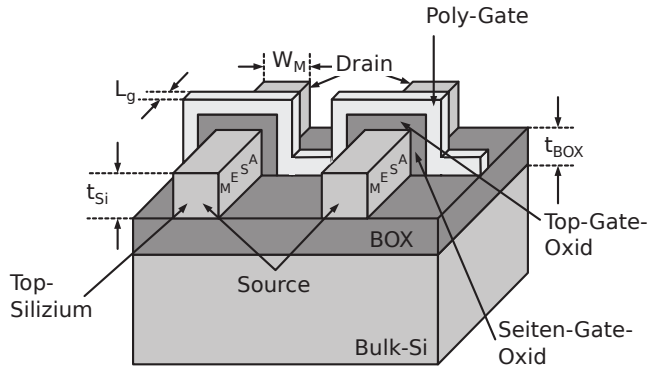


Bild 2.61 Schematische Darstellung des Triple-Gate-MOSFETs und Kennzeichnung der wichtigsten geometrischen Details [129].

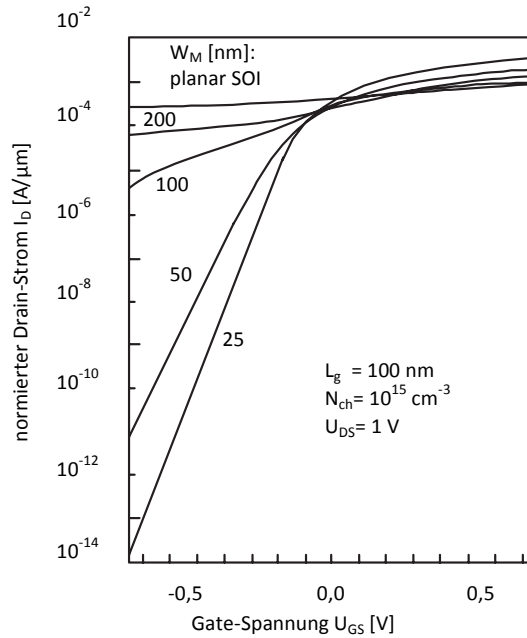


Bild 2.62 Simulierte Stromkennlinien in Abhängigkeit von der Stegweite bei niedriger Kanaldotierung [129].

und an beiden Seiten sollen die gleichen Austrittsarbeiten auftreten. Bei $U_{GS} = 0$ verlaufen, wie es Bild 2.63 zeigt, die Bänder in Richtung senkrecht zum Stromfluss im Wesentlichen im Silizium und in den Oxiden flach, da die Ladungen in den Raumladungszonen und in den Inversionsschichten vernachlässigbar sind. Da das dünne Substrat nicht angeschlossen ist, bestimmt die Differenz der Austrittsarbeiten die Positionen der Bänder. Die Energieniveaus werden auf das Fermi-Niveau der Elektronen in Source beziehungsweise auf das intrinsische Niveau W_i bezogen. Das Niveau W_i wird in Bild 2.63 durch eine gepunktete Linie markiert. Der Fall für $U_{GS} > 0$ und $U_{DS} > 0$ ist im Bild 2.64 dargestellt. Es bilden sich bewegliche Elektronen, wenn die Leitungsbandkante sich dem Fermi-Niveau von Source nähert [161].

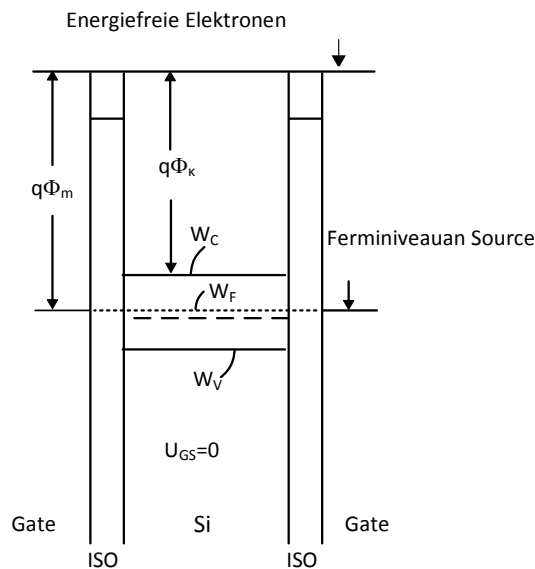


Bild 2.63 Bänderdiagramm für Doppel-Gate (DG)-Transistoren senkrecht zur Stromrichtung für $U_{GS} = U_{DS} = 0$ [244].

2.1.10.7 HP-, LOP- und LSTP-Transistoren

Der Prozess der fortschreitenden Skalierung lässt sich zurückblickend in verschiedene Abschnitte einteilen. Am Anfang blieb die Versorgungsspannung U_{DD} trotz kleiner werdenden Abmessungen konstant bei 5 V (Constant Voltage Scaling). Im Sub-Mikrometer-Bereich wurden die in den Bauelementen auftretenden elektrischen Felder so groß, dass auch U_{DD} skaliert wurde (Constant Field Scaling). Eine entsprechende Reduktion der Einsatzspannung hätte zu Problemen mit zu großen Leckströmen geführt. Die tatsächlichen effektiven Gate-Source-Spannungen $U_{GS} - U_T$ sind

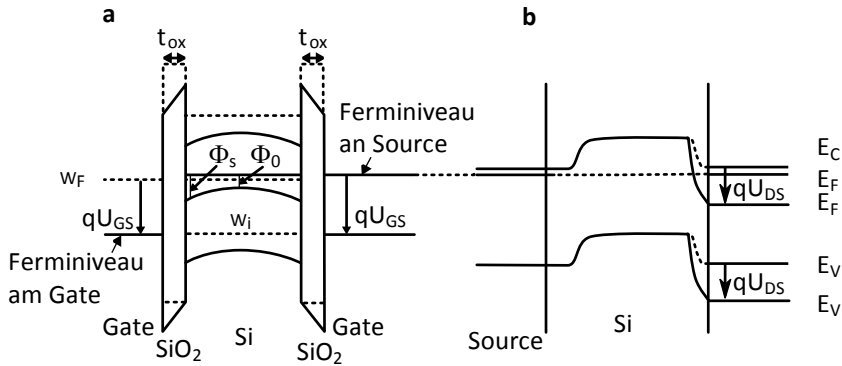


Bild 2.64 Bänderdiagramme für DG-Transistoren in und senkrecht zur Stromrichtung für $U_{GS} > 0$ und $U_{DS} > 0$ [161]. **a** senkrecht zur Stromrichtung. **b** in Stromrichtung.

deswegen kleiner als es nach den Skalierungsregeln für konstante elektrische Feldstärken als zulässig erscheint.

Seit der 130 nm Technologie wird die Gate-Länge stärker als die übrigen Transistordimensionen skaliert, damit auch bei reduzierten effektiven Gate-Source-Spannungen noch eine Zunahme der Schaltgeschwindigkeit erzielt wird. Damit verbunden ist jedoch eine starke Zunahme verschiedener Leckstromkomponenten, so dass eine CMOS-Technologie heute mehrere spezialisierte Transistoren für unterschiedliche Anwendungen zur Verfügung stellen muss (Sub-100 nm-Skalierung). Die verschiedenen Anwendungen lassen sich in drei Klassen unterteilen:

Höchstgeschwindigkeitstransistoren, die möglichst kleine Gatterlaufzeiten bei minimaler Gate-Länge, kleinen Oxiddicken und möglichst kleinen Einsatzspannungen erzielen und die auch bei mittleren Versorgungsspannungen noch zuverlässig funktionieren, werden vorrangig in Mikroprozessoren für Router, Server oder PCs eingesetzt (High-Performance-, HP-Anwendungen). Die Verlustleistung (siehe Kapitel 4.4) der Mikroprozessoren kann 100 W oder mehr betragen, so dass eine aktive Kühlung unerlässlich ist.

Im Gegensatz dazu werden Schaltungen, die in Betrieb eine möglichst geringe Verlustleistung (LOP, Low Operating Power) aufweisen sollen, mit kleinen Versorgungsspannungen betrieben, da das Absenken der Versorgungsspannung eine sehr effiziente Methode zur Reduzierung der aktiven Leistungsaufnahme darstellt (siehe Kapitel 4.4). Wichtig ist hier insbesondere eine gute Prozesskontrolle, damit die Schaltungen auch bei kleinen effektiven Gate-Source-Spannungen noch zuverlässig arbeiten. LOP-Anwendungen sind zum Beispiel tragbare und damit batteriebetriebene Geräte mit relativ hohen Anforderungen an die Rechenleistung, aber auch Schaltungen, die mit einfacher passiver Kühlung oder in günstigen Kunststoffgehäusen eingesetzt werden sollen.

Die letzte Klasse an Transistoren ist im Hinblick auf geringe Leckströme optimiert. Es wird eine möglichst geringe Verlustleistung (LSTP, Low-Standby-Power) im „Schlafmodus“, das heißt wenn die Prozessoren nicht aktiv sind, angestrebt. Die-

se Zielsetzung erfordert dickere Gate-Oxide um die Tunnelströme zu minimieren, so wie größere Beträge der Einsatzspannungen, die auch mit längeren Gates erzielt werden können. Wegen der höheren Einsatzspannungen kann auch U_{DD} nicht soweit wie für LOP-Schaltungen abgesenkt werden. Die Schaltzeiten verbessern sich ab der 130 nm Technologie nur noch langsam. In den nachfolgenden Technologiegenerationen können hier zwar weiterhin höhere Integrationsdichten, aber nur noch leichte Verbesserungen der Schaltgeschwindigkeit erreicht werden. LSTP-Schaltungen werden in mobilen Geräten eingesetzt, die in Ruhestellung wenig Verlustleistung aufnehmen sollen. Dies gilt zum Beispiel für den Einsatz in Mobiltelefonen oder PDAs (Personal Digital Assistant).

In Tabelle 2.2 sind die Anforderungen für verschiedene Technologieknoten gemäß der ITRS-Roadmap (siehe Kapitel 2.1.11) für die drei Anwendungsszenarien (HP, LOP und LSTP) angegeben [5]. Selbst innerhalb eines Technologieknotens unterscheiden sich die Transistoren sehr stark. So ist die Gate-Länge eines 90 nm LSTP-Transistors fast doppelt so groß, wie die eines 90 nm HP-Transistors. Die größeren Abmessungen sind notwendig, um die Verlustleistung im inaktiven Betrieb (Standby-Mode) klein zu halten. Dem entsprechend ist die Gate-Leckstromdichte hier um fast fünf Dekaden kleiner als bei HP-Transistoren.

Daraus folgt aber auch, dass die Schaltgeschwindigkeit eines LSTP-Gatters um den Faktor 2,9 langsamer ist als diejenige von Gattern mit HP-Transistoren. Erst mit der 45 nm-Technologie erreichen die LSTP-Schaltungen die Geschwindigkeit der HP-90 nm-Technologie.

Tabelle 2.2 Anforderungen an CMOS-Technologien nach ITRS von 2001 und 2004 [5]. Die Gatterlaufzeit wird für zweifaches NAND-Gatter mit einem „Fan-Out“ von drei (siehe Kapitel 4.3.2.3) angegeben. Im Vergleich hierzu wird die intrinsische Verzögerung (Verzögerung ohne parasitäre Kapazitäten bei Fan-In = Fan-Out = 1) gezeigt.

Technologieknoten	130 nm	90 nm	90 nm	90 nm	65 nm	45 nm	32 nm
Anwendung	LSTP	HP	LOP	LSTP	LSTP	LSTP	LSTP
Jahr der Einführung	2001	2004	2004	2004	2007	2010	2013
Physikalische Gate-Länge [nm]	90	37	53	65	37	25	18
EOT [nm]	2.4	1.2	1.5	2.1	1.6	1.3	1.1
Versorgungsspannung U_{DD} [V]	1.2	1.2	0.9	1.2	1.1	1.0	0.9
Schwellenspannung $U_{T,sat}$ [V]	N. A.	0.20	0.26	0.50	0.5	0.39	0.34
On-Strom $I_{D,sat}$ [$\mu A/\mu m$]	300	1110	350	440	510	670	880
Gate-Leckstromdichte [A/cm^2]	ca. 0	450	1.9	0.005	0.023	0.08	0.15
Intrinsische Verzögerung [ps]	4.61	0.95	1.76	2.77	1.77	0.98	0.6
NAND2-FO3 Verzögerung [ps]	ca. 116	23.9	44.3	69.7	43.2	24.8	15.1

In der Literatur wird eine noch weitergehende Spezialisierung beschrieben. Danach hat eine 180 nm-Technologie zwei unterschiedliche Typen von Transistoren, die sich in der Einsatzspannung unterscheiden. Drei unterschiedliche Varianten bezüglich der Einsatzspannung gibt es in der 130 nm-Technologie, nämlich Transis-

toren mit betragsmäßig niedriger (LVT), regulärer (RegVT) und hoher (HVT) Einsatzspannung U_T . In der 90 nm-Technologie kann der Schaltungsentwickler unter zwei Oxiddicken für Transistoren in Logikschaltungen mit jeweils bis zu drei Einsatzspannungen wählen (siehe Tabelle 2.3). Die Bezeichnung LL in dieser Tabelle steht für Low Leakage (geringer Leckstrom).

Die NMOS-Transistoren können in einer zusätzlichen Wanne implementiert werden, so dass sie vom Substrat entkoppelt sind. Der n-Kanal-Transistor liegt dann in einer p-Wanne und diese wiederum in einer n-dotierten Wanne, die sich in einem p-dotierten Substrat befindet. Die Transistoren mit dem dicken Oxid werden in Ein- und Ausgangsschaltungen eingesetzt, sowie für analoge Schaltungen verwendet. Der LVT-Transistor der 90 nm-Technologiegeneration nach Tabelle 2.3 hat eine physikalische Gate-Länge, die größer ist als diejenige des LSTP-Transistors von Tabelle 2.2. Die LVT-Transistoren nach Tabelle 2.3 unterscheiden sich gravierend von den entsprechenden HP-Transistoren der Tabelle 2.2.

Möglicherweise reduziert sich mit der Einführung der 32 nm-Technologie, wenn planare Transistoren nach Bild 2.56 oder Multi-Gate-Transistoren nach Bild 2.60 zur Verfügung stehen [5], die Anzahl der Varianten.

Tabelle 2.3 Ausgewählte Parameter von Transistoren der 90 nm- und der 130 nm-Technologie. Die 90 nm-NMOS-Transistoren können in einer zusätzlichen Wanne implementiert werden, so dass sie vom Substrat entkoppelt sind (drei-Wannen-Option). Mit LL werden Low Leakage Transistoren bezeichnet.

Technologie Transistor	130 nm LVT	130 nm REG	130 nm HVT	90 nm LVT	90 nm REG	90 nm LL-LVT	90 nm LL
Phys. Gate-Länge [nm]	90	90	90	70	70	90	90
$U_{T,sat}$ NMOS [mV]	290	370	550	270	400	460	550
Oxiddicke t_{ox} [nm]	2.2	2.2	2.2	1.6	1.6	2.2	2.2
Oxiddicke EOT [nm]	2.2	2.2	2.2	1.3	1.3	1.9	1.9
Drei-Wannen-Option	—	—	—	x	x	x	x

Im Allgemeinen setzen sich die Leckströme, wie es in den Kapiteln 2.1.5 und 2.1.9 beschrieben wurde, aus den Gate-Tunnelströmen I_g , den von GIDL (Gate Induced Drain Leakage) verursachten Strömen I_{GIDL} , den Sperrströmen der pn-Übergänge und den Unterschwellenströmen $I_{s,off}$ zusammen. Es ist nicht verwunderlich, dass je nachdem welche technologische Maßnahme zur Unterdrückung der Leckströme angewendet wird, jeweils unterschiedliche Komponenten dominieren. Wie Bild 2.65 zeigt, sind die Unterschwellenströme bei LVT-Transistoren dominierend. Wären auch die Unterschwellenströme von HP-Transistoren eingezeichnet, würde man sehen, dass derartige Transistoren wesentlich größere Unterschwellenströme haben. Bei regulären Transistoren überwiegen die Gate-Leckströme, während bei Transistoren für minimale Leckströme (LL-Transistoren), die Ströme aufgrund von GIDL I_{GIDL} die wichtigste Komponente darstellen. Unter I_B werden die durch GIDL verursachten Ströme und die Substratströme, die von der

Drain-seitigen Lawinenmultiplikation verursacht werden, zusammengefasst. Etwa bei $U_{GS} = U_{DD}/2$ ist die Lawinenmultiplikation am stärksten.

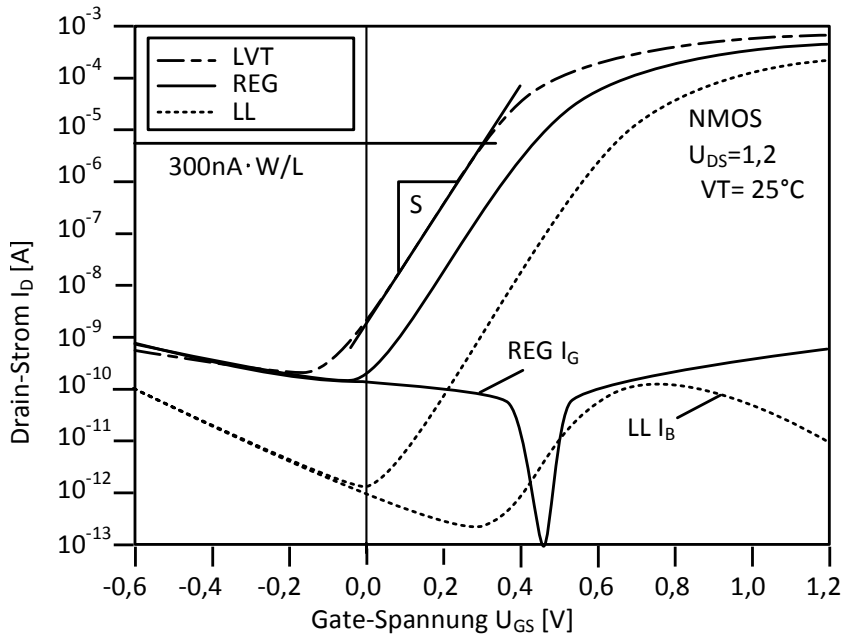


Bild 2.65 I_D als Funktion der von U_{GS} von NMOS-Transistoren der 90nm Technologie [5]. Nur der Off-Strom des LVT- (niedriges U_T -) Transistors wird durch den Unterschwellenstrom bestimmt. Bei den REG-Transistoren dominiert hingegen der Gate-Tunnelstrom und bei den Low Leakage- (LL-) Transistoren der GIDL-Effekt den Leckstrom.

Unterschwellenströme und GIDL-Ströme treten nur in ausgeschalteten Transistoren auf ($U_{GS} = 0$). Dagegen fließen Gate-Leckströme sowohl im eingeschalteten als auch im ausgeschalteten Zustand. Im ausgeschalteten Zustand kann das Drain eines NMOS-Transistors ein hohes Potential haben und deswegen ein Gate-Leckstrom $I_{g,off}$ im Überlappungsbereich von Gate und Drain fließen. Im eingeschalteten Zustand bildet sich ein Kanal aus und man erhält Gate-Tunnelströme $I_{g,on}$ nicht nur in den Überlappungsbereichen von Gate und Source gegebenenfalls auch Gate und Drain, sondern auch aus dem Kanalbereich zu Source und zu Drain. Abhängig von der Gate-Länge ist $I_{g,on}$ um den Faktor fünf bis zehn größer als $I_{g,off}$ (siehe Bild 2.66). Die Potentialbarriere, die das Gate-Oxid darstellt, ist für Löcher größer als für Elektronen, daher ist der Gate-Tunnelstrom von PMOS-Transistoren kleiner als von NMOS-Transistoren.

In Bild 2.66 sind die Temperaturabhängigkeiten des Unterschwellenstroms $I_{s,off}$ und der beiden Gate-Tunnelströme $I_{g,off}$ und $I_{g,on}$ zusätzlich dargestellt. Die Gate-Tunnelströme sind nur schwach von der Temperatur abhängig, während der Unterschwellenstrom $I_{s,off}$ ein ausgeprägtes Temperaturverhalten zeigt. Ein regulärer

Transistor der 90 nm Technologie hat eine Zunahme des Unterschwellenstroms bei einer Erwärmung von 25°C auf 85°C um den Faktor 13,8; bei einer Erwärmung auf 125°C um den Faktor 55,4.

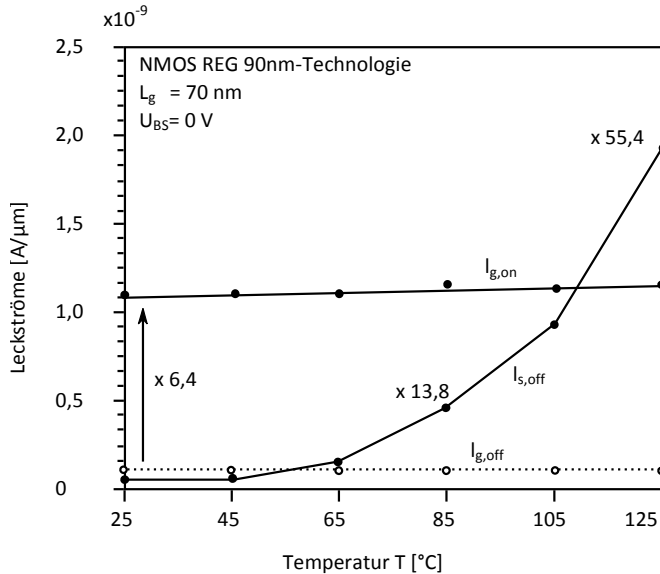


Bild 2.66 Temperaturabhängigkeit des Unterschwellenstroms $I_{s,off}$ und der beiden Gate-Tunnelströme $I_{g,on}$ und $I_{g,off}$.

2.1.11 Entwicklungstrends

Die Weiterentwicklung der MOS-Technologie ist von dem Bestreben geleitet, die minimal zulässige Strukturgröße zu minimieren und somit die elektrischen Eigenschaften der Transistoren zu verbessern sowie die Herstellungskosten zu senken. Sehr frühzeitig wurde erkannt, dass wichtige Größen wie die maximale Anzahl der auf einem Chip integrierten Transistoren, die maximal erzielbare Taktfrequenz oder die Verlustleistung exponentiell von Technologiegeneration zu Technologiegeneration und somit mit der Zeit ansteigen. Andere Größen, wie minimale Gatterlaufzeit, minimale Herstellungskosten pro Funktion oder Bit oder minimale in der Produktion beherrschbare Strukturfeinheit nehmen exponentiell mit der Zeit ab. Die Bilder 2.67 bis 2.69 belegen über Jahrzehnte hinweg diese Aussagen. Berühmt geworden ist die Feststellung von Gordon Moore, Mitbegründer und langjähriger Leiter von Intel, vom 19. April 1965, dass sich die Zahl der auf einem Chip integrierbaren elektronischen Bauelemente etwa alle 18 bis 24 Monaten verdoppelt [151]. Er schrieb:

The complexity for minimum component costs has increased at a rate of roughly a factor of two per year... Certainly over the short range this rate can be expected to continue, if not increase. Over the longer term, the rate of increase is a bit more uncertain, although there is no reason to believe it will not remain nearly constant for at least 10 years...

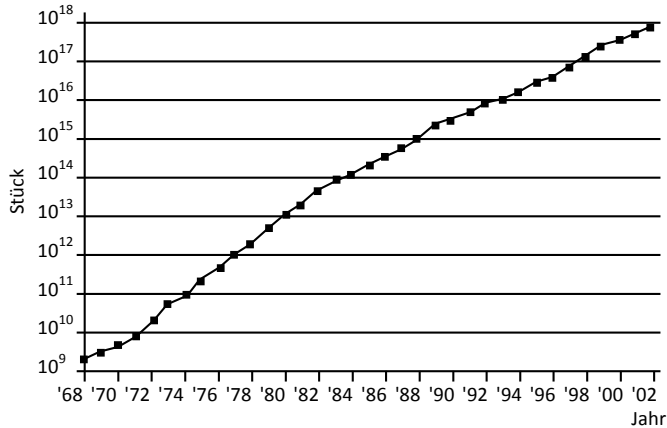


Bild 2.67 Anzahl der verkauften Transistoren pro Jahr [152].

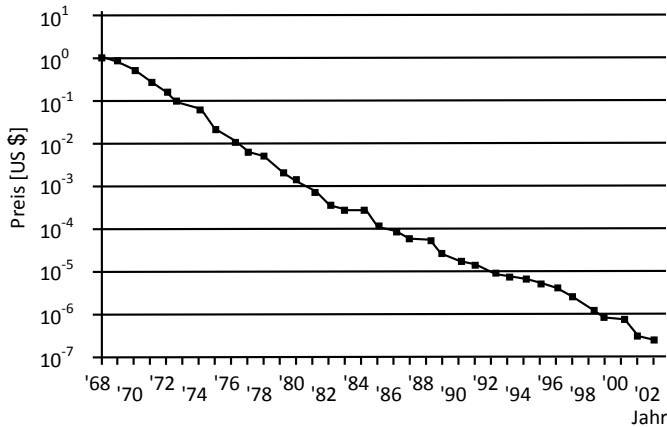


Bild 2.68 Durchschnittlicher Preis für einen Transistor [152].

Früher wurde als minimale Strukturgröße, die in der Produktion beherrscht wurde, einfach die minimale Gate-Länge der fortgeschrittensten DRAM-Bausteine genommen, die auf dem Markt verfügbar waren. Diese Größe diente zur Charakterisierung des technologischen Fortschritts. Eine genaue Definition für den Zeitpunkt der Einführung einer neuen Technologie lautet: Es wird die Zeit angegeben, bei der die ers-

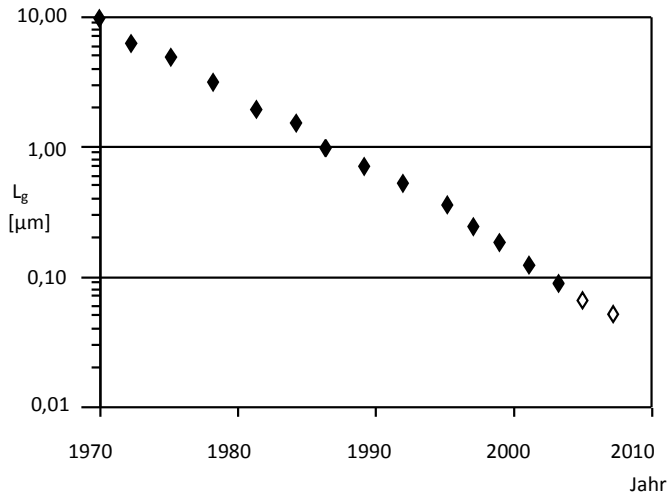


Bild 2.69 Minimale Strukturfeinheit in μm [152].

ten beiden Halbleiterfirmen 20000 Bausteine mit der neuen Technologie verkauft haben und andere Firmen innerhalb von drei Monaten gefolgt sind.

Inzwischen haben eine größere Diversität der Produkte, die als Technologietreiber angesehen werden, sowie eine schnellere Einführung von produktspezifischen Technologien und eine im Allgemeinen größere Variabilität der Technologien dazu geführt, dass nun auch andere Größen zur Charakterisierung des Technologiefortschritts herangezogen werden. Zum Beispiel weisen Mikroprozessoren (MPU) geringere Gate-Längen auf als die entsprechenden DRAM-Produkte, während die DRAM-Bausteine nach wie vor die höchste lithographische Auflösung nutzen. Heute werden gemeinsam der halbe Abstand (Half Pitch, siehe Bild 2.70) von Leiterbahnen von DRAM- oder von MPU-Bausteinen sowie die Gate-Länge von MPU-Transistoren zur Charakterisierung einer Technologiegeneration verwendet.

In diesem Zusammenhang spricht man von Technologieknoten (Technology nodes). Ein Technologieknoten ist dadurch definiert, dass die bestehende minimale Strukturgröße (Half Pitch) mit dem Faktor 0,7 multipliziert eine neue Technologiegeneration festlegt. Zum Beispiel spricht man von einer 90 nm Technologiegeneration. Die nachfolgenden Generationen weisen minimale Strukturgrößen von 65 nm, 45 nm, 32 nm und von 22 nm auf. Es wird erwartet, dass etwa alle drei Jahre eine neue Technologiegeneration eingeführt wird. Das exponentielle Wachsen oder Verkleinern der wichtigsten Größen, die die Technologie charakterisieren, hat sich in der Vergangenheit als extrem stabil erwiesen. Jedoch können diese Trends einfach in die Zukunft verlängert werden?

Um diese Frage zu beantworten, hat sich ein internationales Konsortium gebildet, das aus Experten aus allen wichtigen Gebieten der Mikroelektronik besteht. Gegenwärtig arbeiten etwa 815 Personen aus den USA, Japan, Taiwan, Europa und Korea zusammen. Ihr Ziel ist es, Dokumente, die sogenannte International Techno-

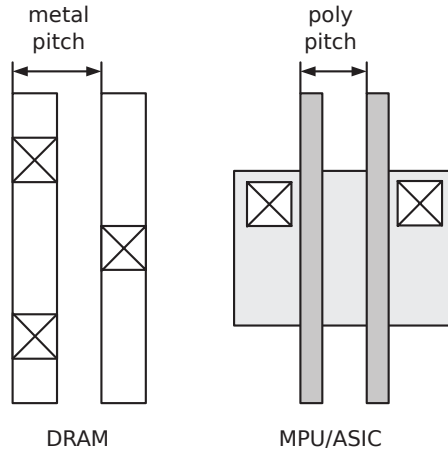


Bild 2.70 Definition des „Half Pitch (halben Abstands) = $\text{pitch}/2$ “.

logy Roadmap for Semiconductors (ITRS), zu erarbeiten, die über 15 Jahre in die Zukunft hinein die wichtigsten Entwicklungstrends für die Halbleiterindustrie vorhersagen [105]. Diese Dokumente sollen ein Leitfaden für die Halbleiterindustrie, Forschungsinstitute und Universitäten sein. Die Dokumente umfassen viele wichtige Gebiete, wie Design, Test, Prozessintegration, Bauelemente, Strukturen, Lithographie, Verdrahtung, Verpackung, Ausbeute, Modellierung und Simulation usw. Die Dokumente werden auf der Basis erarbeitet, dass weiterhin die Strukturen verkleinert werden und somit im Durchschnitt die Kosten pro Funktion um 25% pro Jahr verringert werden. Dadurch wird ein Wachstum des weltweiten Umsatzes um durchschnittlich 17% pro Jahr gewährleistet. Das heißt die Dokumente formulieren Herausforderungen mit dem Ziel, dass das von G. Moore formulierte Gesetz und andere Trends auch weiterhin ihre Gültigkeit behalten. Das ITRS-Konsortium definiert prinzipielle technologische Anforderungen, um weltweite Forschungsaktivitäten anzuregen. Es werden drei Unterscheidungen getroffen, die anzeigen, wie weit die Anforderungen aus heutiger Sicht erfüllbar erscheinen. Mit rot werden Daten unterlegt, von denen man glaubt, dass sie letztlich erfüllt werden können, aber von denen man noch keine vertrauenswürdige Lösung kennt. Mit rot werden auch Daten unterlegt, von denen man glaubt, dass sie nie erfüllt werden können und man deswegen nach Alternativen suchen muss. Erst mit Durchbrüchen in der Forschung werden aus „roten Daten“ „gelbe Daten“, das heißt nun sind herstellbare Lösungen bekannt. Nach weiteren Entwicklungsarbeiten werden die „gelben Daten“ zu „weißen Daten“, was bedeutet, dass nun optimierte Herstellungsprozesse für die jeweilige Anforderung bekannt sind. Im Jahr 2005 wurde eine „Roadmap“ herausgegeben, in der erstmals auf die Definition des Technologieknotens verzichtet wurde. Es werden nun kontinuierlich in Jahresschritten die jeweiligen Werte angegeben.

Gegenwärtig reichen die Aussagen des ITRS-Konsortiums bis in das Jahr 2018. Die Zielsetzung ist, dass im Jahr 2018 der HP-MOS-Transistor eine minimale Gate-Länge von 7 nm aufweisen und die intrinsische Gatterlaufzeit 0,11 ps erreichen soll.

Auf einer Fläche von 1 cm^2 soll man etwa 2 Milliarden Transistoren in Logikschaltungen und 11 Milliarden Transistoren in Speicherschaltungen, die sich ebenfalls auf dem Chip befinden, integrieren können. Die Taktfrequenz soll 55 GHz betragen und die Anzahl der Verbindungsebenen wird bei 18 liegen. Die maximale Verlustleistung von HP-Schaltungen wird mit 300 W angegeben.

Allerdings wird allgemein erwartet, dass, um Verlustleistung zu sparen, die Taktfrequenz im Vergleich zum heutigen Stand von etwa 3 GHz in den nächsten Jahren nur noch geringfügig ansteigen wird. Die zukünftigen Verbesserungen werden auf Parallelisierungen in Raum und Zeit beruhen.

2.1.12 Ersatzschaltbilder für den MOS-Transistor

In den letzten Abschnitten wurde das Verhalten des MOS-Transistors unter der Annahme behandelt, dass alle von außen angelegten Spannungen konstant sind oder sich nur langsam verändern. Mit den abgeleiteten Gleichungen kann nur das Gleichstromverhalten („direct current“, dc-Verhalten) berechnet werden. Sollen auch dynamische Vorgänge („alternating current“, ac-Verhalten) berechnet werden, müssen zusätzlich Kapazitäten und parasitäre Widerstände beachtet werden. Induktive Effekte können auf der Transistorebene vernachlässigt werden. Alle vorhandenen Schaltelemente des MOS-Transistors, die für die ideale Transistorfunktion nicht benötigt werden, sind parasitäre Elemente. Um die Berechnung der elektrischen Netzwerke zu erleichtern, benutzt man vereinfachte Ersatzschaltbilder. Es ist zweckmäßig, zwischen einem äußeren und einem inneren Modell zu unterscheiden. Das äußere Modell enthält die parasitären Widerstände und Kapazitäten.

2.1.12.1 Äußeres Modell des MOS-Transistors

Das innere Modell des MOS-Transistors reicht von der Innenkante des Source-Gebietes bis zur Innenkante des Drain-Gebietes. Die Ausdehnung wird also von der Kanallänge L beschrieben. Die Bereiche außerhalb bilden den äußeren Modellrahmen (siehe Bild 2.71). Da die Source- und Drain-Gebiete bei der Herstellung immer etwas unter das Gate diffundieren, ergeben sich Überlappkapazitäten zwischen Gate und Source (C_{GS0}) und zwischen Gate und Drain (C_{GD0}). Die Kapazität C_{GS0} berechnet sich beispielsweise wie folgt

$$C_{\text{GS0}} = c_{\text{ox}} \cdot L_0 \cdot W = c_{\text{GS0}} \cdot W \quad (2.118)$$

L_0 Länge der Überlappung
 c_{GS0} weitenspezifische Überlappkapazität [F/m] .

Die geometrische Gate-Länge L_{geo} errechnet sich zu

$$L_{\text{geo}} = L + 2 \cdot L_0 \quad . \quad (2.119)$$

In die Überlappkapazitäten werden auch die Kapazitäten aufgrund von Streufeldern integriert. MOS-Transistoren, die mit der LOCOS-Technik hergestellt werden, weisen auch eine Gate-Bulk- (Substrat-) Überlappkapazität auf. Die beiden pn-Über-

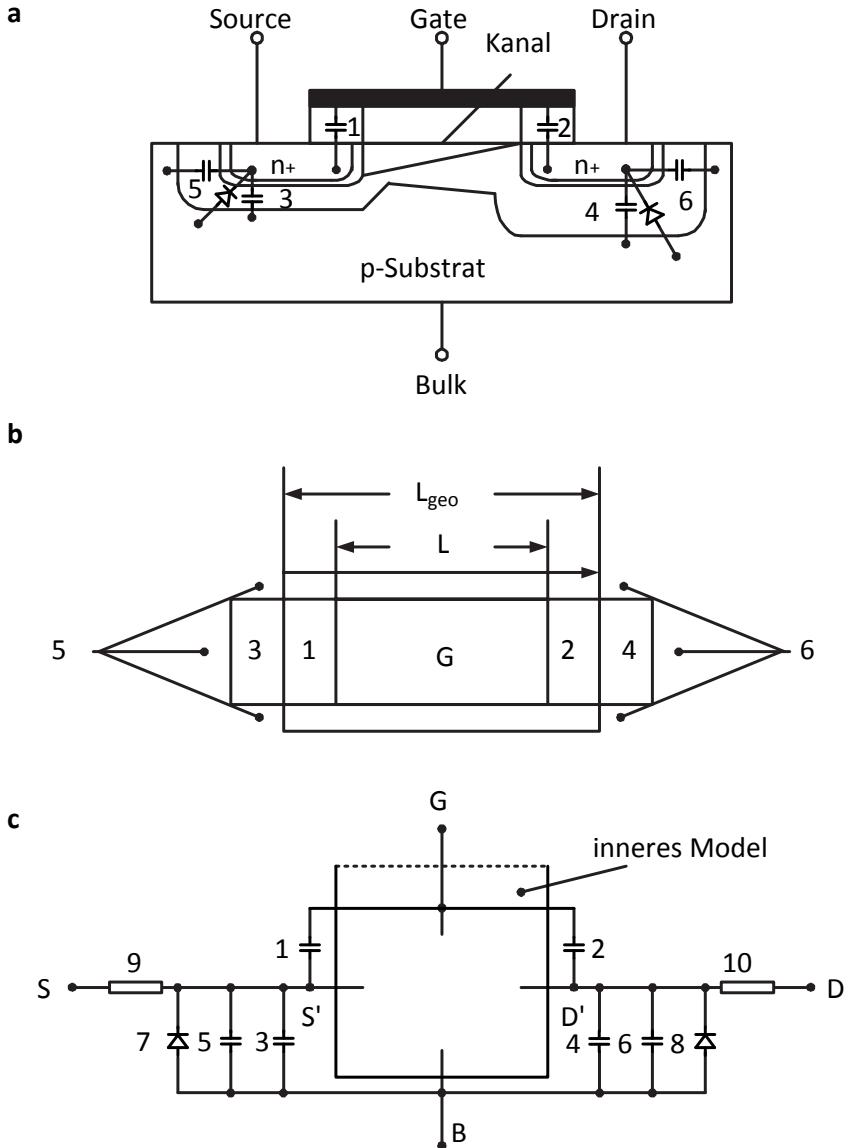


Bild 2.71 MOS-Transistor: **a** Querschnitt; **b** Aufsicht; **c** äußeres Ersatzschaltbild.

gänge des äußeren Modells werden mittels Sperrschichtkapazitäten und Dioden

dargestellt. Bei den Sperrschichtkapazitäten zwischen den Source- beziehungsweise den Drain-Gebieten und dem Substrat (C_{SB} , C_{DB}) wird zwischen einer flächenspezifischen (c_{jSA}) und einer umfangsspezifischen (c_{jSU}) Kapazität unterschieden. Damit kann eine inhomogene Substratdotierung besser modelliert werden (Bild 2.72). Es gilt

$$C_{SB} = c_{jSA} \cdot X \cdot W + c'_{jSU} \cdot x_j \cdot 2 \cdot (W + X) \quad (2.120)$$

X Länge der Diffusionsgebiete

x_j Eindringtiefe

c'_{jSU} flächenspezifische Sperrschichtkapazität der Seitenwände

c_{jSA} flächenspezifische Sperrschichtkapazität der Grundfläche.

Für die umfangsspezifische Sperrschichtkapazität der Seitenwände gilt

$$c_{jSU} = c'_{jSU} \cdot x_j \quad (2.121)$$

Für die Sperrschichtkapazitäten des Drain-Gebietes gilt das Gleiche. In Gleichung

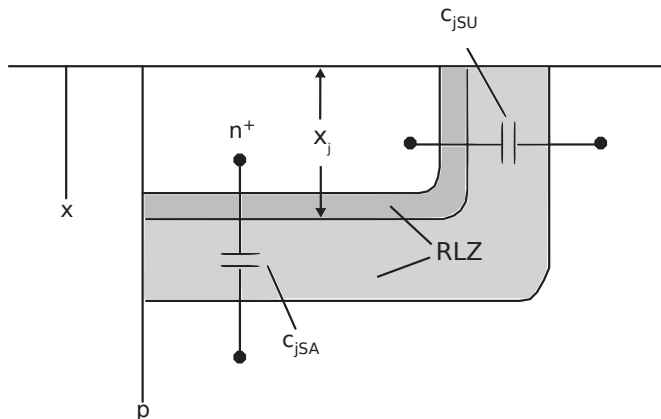


Bild 2.72 Unterteilung der Sperrschichtkapazität von Source und Drain in einen flächenspezifischen (c_{jSA}) und einen umfangsspezifischen (c_{jSU}) Anteil.

2.120 ist auch die Sperrschichtkapazität, die an der inneren Seitenwand des Source-Gebietes auftritt, eingeschlossen, obwohl diese Kapazität zum inneren Modell gehört. Dadurch wird jedoch die Rechnung vereinfacht. Auch wenn sich eine Inversionsschicht bildet, muss diese Kapazität eingerechnet werden, da die Dicke des Kanals kleiner ist als die Eindringtiefe x_j .

Im äußeren Rahmen müssen schließlich noch die Widerstände von Source und Drain berücksichtigt werden. Wie in Bild 2.71 zu sehen ist, besteht der äußere Modellrahmen insgesamt aus folgenden Elementen:

- 1, 2 Gate-Source- bzw. Gate-Drain-Überlappkapazität

- 3, 4 flächenspezifische Drain- bzw. Source-Sperrschichtkapazität
- 5, 6 umfangsspezifische Drain- bzw. Source-Sperrschichtkapazität
- 7, 8 Source- bzw. Drain-Diode
- 9, 10 Source- bzw. Drain-Widerstand

2.1.12.2 Inneres Modell des MOS-Transistors

Nichtlineare Kapazitäten sind wesentliche Bestandteile des inneren Modells. Dies sind die intrinsischen Kapazitäten, die von den Kanalladungen und den Ladungen im Substrat abhängen. Damit sind diese Kapazitäten von den Arbeitsbereichen – Akkumulation, Verarmungsbereich und starke Inversion – abhängig. Die Werte der einzelnen Kapazitäten werden im Verhältnis zur Gate-Kapazität C_G angegeben. Da nur das innere Modell betrachtet wird, gilt

$$C_G = c_{\text{ox}} \cdot W \cdot L \quad . \quad (2.122)$$

Für die gesamte Gate-Kapazität ergibt sich

$$C_{\text{Gesamt}} = c_{\text{ox}} \cdot W \cdot L_{\text{geo}} \quad . \quad (2.123)$$

Für den Fall, dass U_{DS} konstant und U_{GS} veränderlich ist, zeigt Bild 2.73 qualitativ die Spannungsabhängigkeit der Kapazitäten C_{GB} , C_{GS} , C_{GD} , C_{SB} und C_{DB} . Für $U_{\text{GS}} < U_{\text{FB}}$ befindet sich der n-Kanal-Transistor in Akkumulation. Die Kapazität C_{GB} zwischen Gate und Substrat entspricht der Gate-Kapazität C_G . Da keine leitenden Verbindungen zu Source und Drain existieren, haben die Gate-Source- und die Gate-Drain-Kapazität den Wert Null.

Der Transistor befindet sich für $U_{\text{FB}} < U_{\text{GS}} < U_{\text{TH}}$ im Verarmungsbereich, beziehungsweise im Unterschwellenbereich. Im Verarmungsbereich gibt es keine Kanalladung. Im Unterschwellenbereich kann die Kanalladung vernachlässigt werden. In beiden Fällen variiert eine Änderung der Gate-Spannung die Ausdehnung der ausgeräumten Raumladungszone im Siliziumsubstrat. Somit haben die Gate-Source- und die Gate-Drain-Kapazität den Wert Null. Die Gate-Substrat-Kapazität C_{GB} errechnet sich aus der Serienschaltung der Oxidkapazität c_{ox} und der Sperrschichtkapazität c_{d} der ausgeräumten Raumladungszone

$$C_{\text{GB}} = W \cdot L \cdot \left(\frac{1}{c_{\text{ox}}} + \frac{1}{c_{\text{d}}} \right)^{-1} \approx W \cdot L \cdot c_{\text{d}} \quad . \quad (2.124)$$

Ist $0 < U_{\text{DS}} < U_{\text{GS}} - U_{\text{TH}}$ arbeitet der n-Kanal-Transistor im linearen Bereich. Es bildet sich ein leitender Kanal von Source nach Drain aus, der das Substrat von den zusätzlichen elektrischen Feldern des Gates abschirmt. Deswegen ist nun $C_{\text{GB}} = 0$; während die Gate-Kanal-Kapazität C_G ist. Der Kanal stellt einen kleinen Widerstand dar, so dass in guter Näherung die Gate-Kanal-Kapazität zu gleichen Teilen auf die Gate-Source-Kapazität C_{GS} und die Gate-Drain-Kapazität C_{GD} aufgeteilt werden kann. Dieser Sachverhalt ist in Bild 2.73 dargestellt. Genauso kann die Kapazi-

tät zwischen dem Kanal und dem Substrat auf Source und Drain aufgeteilt werden ($C_{SB} = C_{DB}$).

Schließlich muss noch der Sättigungsbereich ($0 < U_{GS} - U_{TH} < U_{DS}$) diskutiert werden. Der Kanal ist nun abgeschnürt, deswegen sind im Vergleich zum vorhergehenden Fall die Gate-Kanal- und die Kanal-Substrat-Kapazität kleiner. Da keine leitende Verbindung vom Kanal zu Drain besteht, werden beide Kapazitäten Source zugerechnet.

Es gilt für C_{GS} bei grober Schätzung:

$$C_{GS} \approx \frac{2}{3} \cdot C_G = \frac{2}{3} \cdot W \cdot L \cdot c_{ox} \quad . \quad (2.125)$$

Das Ersatzschaltbild des inneren Transistors (Bild 2.74) besteht aus einer span-

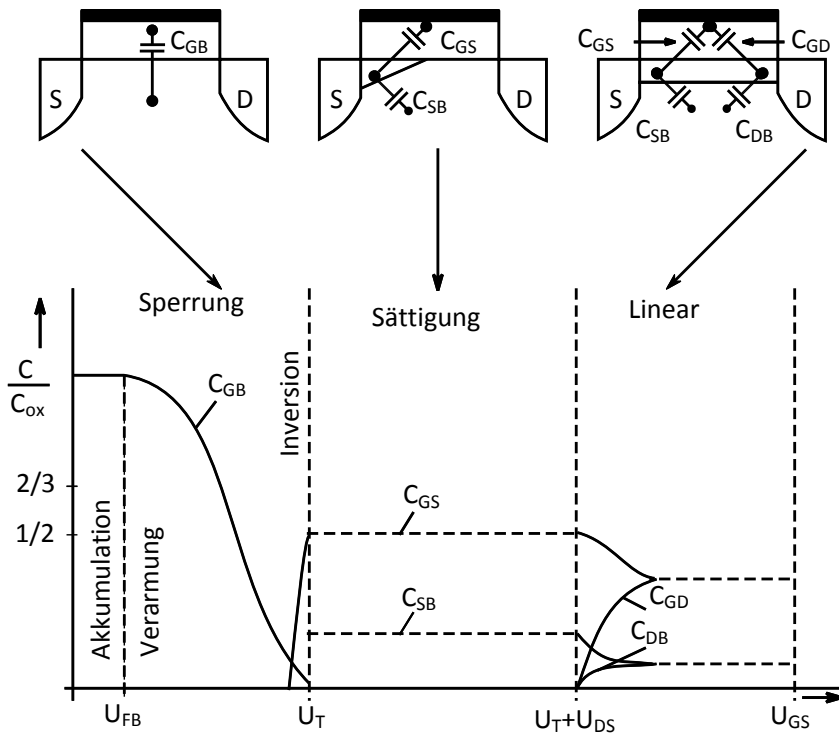


Bild 2.73 Innere Kapazitäten als Funktion von U_{GS} bei $U_{DS} = \text{const.}$

nungsgesteuerten Stromquelle für I_D , deren Werte entsprechend des verwendeten Transistormodells berechnet werden, und fünf Kapazitäten, deren Werte von den von außen angelegten Spannungen abhängen und im Bild 2.73 dargestellt sind.

Die vorausgehenden Kapitel über die Transistorphysik zeigten, dass ein MOS-Transistor mit einer Kanallänge im Nanometerbereich ein komplexes Bauelement

ist. Der Transistor weist ein nichtlineares Verhalten auf und wird von zahlreichen Effekten zweiter Ordnung beeinflusst. Glücklicherweise gibt es Transistormodelle, mit denen das elektrische Verhalten mittels Simulation sehr genau vorhergesagt werden kann. Jedoch wegen der großen Komplexität vermitteln diese Modelle dem Schaltungsentwickler kein intuitives Verständnis über die Funktionsweise einer Schaltung und über die wichtigsten Parameter, die das elektrische Verhalten der Schaltung bestimmen. Ein derartiges Verständnis ist aber für die Analyse und Optimierung einer Schaltung unverzichtbar. Ein Schaltungsentwickler, der keine klare Vorstellung davon hat, was seine Schaltung bestimmt, ist auf einen umständlichen und langwierigen Optimierungsprozess mittels Simulationen auf der Basis von Versuch und Irrtum angewiesen. Auf diese Weise werden oft nur unterlegene Lösungen gefunden. Die offensichtliche Frage ist nun, wie kann ein komplexes Transistormodell ver-

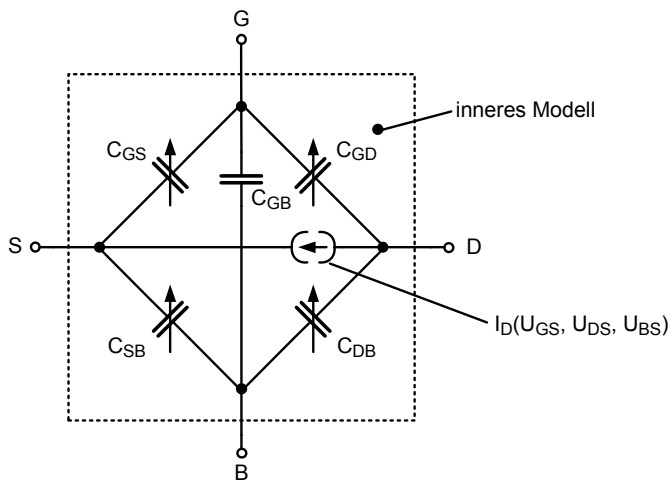


Bild 2.74 Inneres Großsignalersatzschaltbild.

einfacht werden, so dass es analytisch handhabbar wird und nicht zu hoffnungslos komplexen Gleichungen führt und trotzdem die wesentlichen Eigenschaften einer Schaltung enthält? Es hat sich herausgestellt, dass die quadratischen Gleichungen für den Langkanaltransistor, die in Kapitel 2.1.3.4 zusammengestellt wurden, gut für die Analyse von digitalen Grundsaltungen geeignet sind. Eventuell muss die Beweglichkeit μ , wie es in Kapitel 2.1.7 beschrieben wird, mittels der Parameter der Gleichung 2.82 an die gegebene Technologie angepasst werden. Komplexere Schaltungen jedoch sind mit diesen Gleichungen nicht mehr handhabbar. Deswegen wird ein noch einfacheres Modell benötigt. Mit der sehr weitgehenden Annahme, dass der MOS-Transistor als ein Schalter aufgefasst werden kann, der im abgeschalteten Zustand einen unendlich hohen Widerstand und im eingeschalteten Zustand einen endlichen Widerstand R_{on} darstellt, wird die notwendige Vereinfachung erzielt (Bild 2.75). Zusätzlich müssen die Kapazitäten nach Bild 2.73 berücksichtigt werden, wenn das dynamische Verhalten untersucht werden soll.

Die Stromgleichungen des Kapitels 2.1.3.4 werden herangezogen um einen Drain-Source-Widerstand R_{on} zu definieren. Man erhält für einen n-Kanal-Transistor

$$R_{\text{on}} = \frac{U_{\text{DSn}}}{I_{\text{Dn}}} \quad . \quad (2.126)$$

Mit der Stromgleichung für den linearen Bereich ergibt sich

$$R_{\text{nL}} = \frac{2}{\beta_{\text{n}} \cdot (2 \cdot (U_{\text{GSn}} - U_{\text{Tn}}) - n \cdot U_{\text{DSn}})} \quad . \quad (2.127)$$

Entsprechend erhält man für den Sättigungsbereich

$$R_{\text{nS}} = \frac{2 \cdot n \cdot U_{\text{DSn}}}{\beta_{\text{n}} \cdot (U_{\text{GSn}} - U_{\text{Tn}})^2} \quad . \quad (2.128)$$

Die letzten beiden Ausdrücke sind nichtlinear. Daher wird zusätzlich angenommen, dass U_{DS} konstant ist; oft wird $U_{\text{DS}} = U_{\text{GS}} = U_{\text{DD}}$ verwendet. Weiter wird angenommen, dass der Transistor ständig im Sättigungsbereich arbeitet

$$R_{\text{on}} \approx \frac{2 \cdot n}{\beta_{\text{n}} \cdot (U_{\text{DD}} - U_{\text{Tn}})} \propto \frac{1}{W/L} \quad . \quad (2.129)$$

Der Widerstand ist umgekehrt proportional zum Verhältnis W/L . Für einen p-Kanal-Transistor gilt das Gleiche.

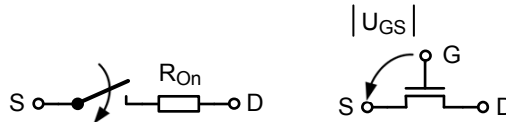


Bild 2.75 MOS-Transistor als Schalter.

2.1.12.3 Kleinsignalersatzschaltbild des MOS-Transistors

In analogen Schaltungen treten Signale auf, die im Vergleich zu den Gleichanteilen klein sind. In diesem Fall können die nichtlinearen Stromgleichungen um den Arbeitspunkt mittels einer Taylor-Reihe dargestellt werden, die nach den linearen Gliedern abgebrochen wird. Soll auch das nichtlineare Verhalten untersucht werden, müssen Glieder höherer Ordnung berücksichtigt werden. Somit können die Schaltungen mittels Übertragungsfunktionen beschrieben werden, ohne dass die Information über die Gleichanteile berücksichtigt werden muss. Dies erleichtert die Rechnung wesentlich. Allerdings müssen die Arbeitspunkte getrennt berechnet werden. Bricht man die Taylor-Reihe nach den linearen Gliedern ab, erhält man

$$I_D^0 + \Delta I_D = I_D^0 + \left(\frac{\partial I_D}{\partial U_{GS}} \right) \cdot \Delta U_{GS} + \left(\frac{\partial I_D}{\partial U_{DS}} \right) \cdot \Delta U_{DS} + \left(\frac{\partial I_D}{\partial U_{BS}} \right) \cdot \Delta U_{BS} \quad (2.130)$$

$$i_D = g_m \cdot u_{GS} + g_{mB} \cdot u_{BS} + \frac{1}{r_0} \cdot u_{DS} \quad (2.131)$$

$$\begin{array}{ll} I_D^0 & \text{Gleichanteil} \\ \Delta I_D = i_D & \text{Wechselanteil.} \end{array}$$

In der Gleichung 2.131 wurde der Gleichanteil auf beiden Seiten weggelassen. Im Kleinsignalersatzschaltbild bedeutet dies, dass alle konstanten Potentiale als Masse aufgefasst und dass alle Konstantstromquellen von der Ersatzschaltung entfernt werden. Die wichtigsten Kleinsignalparameter sind die Steilheiten g_m und g_{mB} und der Ausgangsleitwert $1/r_0$. Die Definitionsgleichungen sind nachfolgend aufgeführt

$$g_m = \frac{\partial I_D}{\partial U_{GS}} \quad (2.132)$$

$$g_{mB} = \frac{\partial I_D}{\partial U_{BS}} \quad (2.133)$$

$$\frac{1}{r_0} = \frac{\partial I_D}{\partial U_{DS}} \quad (2.134)$$

Für kleine Änderungen der von außen angelegten Spannungen im jeweiligen Arbeitspunkt bestimmen die Kleinsignalparameter die Änderung des Stromes I_D . Der Einfluss des Substratanschlusses darf nicht vernachlässigt werden. Aus den Definitionsgleichungen erhält man für n-Kanal- und p-Kanal-Transistoren folgende Ausdrücke:

- Sättigungsbereich

$$g_{mn} = \beta_n \cdot (U_{GS} - U_{Tn}) = \sqrt{2 \cdot \beta_n \cdot I_D} \quad (2.135)$$

$$g_{mp} = -\beta_p \cdot (U_{GS} + U_{Tp}) = \frac{2 \cdot I_{Dp}}{U_{GS} + U_{Tp}} \quad (2.136)$$

$$\frac{1}{r_{0n}} = \lambda_n \cdot I_D \quad (2.137)$$

$$\frac{1}{r_{0p}} = \lambda_p \cdot I_D \quad (2.138)$$

$$\begin{aligned} g_{mB} &= \frac{\partial I_D}{\partial U_{BS}} = \frac{\partial I_D}{\partial U_{Tn}} \cdot \frac{\partial U_{Tn}}{\partial U_{BS}} \\ &= \beta \cdot (U_{GS} - U_{Tn}) \cdot \frac{\gamma_n}{2 \cdot \sqrt{2 \cdot |\Phi_F| - U_{BS}}} \\ &= a \cdot g_{mn} \end{aligned} \quad (2.139)$$

(siehe Gleichung 2.37)

$$a = n - 1 \quad (2.140)$$

$$g_{mBp} = a \cdot g_{mp} \quad (2.141)$$

- Triodenbereich

$$g_{mn(\text{lin})} = \beta_n \cdot U_{DS} \quad (2.142)$$

$$g_{mp(\text{lin})} = -\beta_p \cdot U_{DS} \quad (2.143)$$

$$\frac{1}{r_{0n(\text{lin})}} = \beta_n \cdot (U_{GS} - U_{Tn} - U_{DS}) \quad (2.144)$$

$$\frac{1}{r_{0p(\text{lin})}} = -\beta_p \cdot (U_{GS} + U_{Tp} - U_{DS}) \quad (2.145)$$

Bei gesättigter Geschwindigkeit gilt

$$g_m = W \cdot c_{ox} \cdot v_{sat} \quad (2.146)$$

Bei den Ableitungen der Gleichungen 2.142 bis 2.145 wurde $\lambda \cdot U_{DS} \ll 1$ angenommen. Um einen hohen Verstärkungsfaktor und eine große Bandbreite zu erzielen, sollten die Transistoren im Sättigungsbereich arbeiten.

Allerdings sollte man beachten, dass der Ausgangsleitwert im Sättigungsbereich von verschiedenen Effekten bestimmt wird. Zunächst ist für relativ kleine Drain-Source-Spannungen (aber $U_{DS} > U_{DSAT}$) die Kanallängenmodulation der dominierende Effekt. Wird U_{DS} weiter erhöht, ist DIBL bestimmend. Schließlich bei noch größeren Werten für U_{DS} fließen Substratströme, die die Substratspannung verändern. Die erhöhte Substratspannung verringert den Ausgangswiderstand.

Im Bereich der Kanallängenmodulation haben Transistoren, die keine Halo-Dotierung (keine Taschenimplantation) aufweisen, einen Ausgangswiderstand, der linear mit der Kanallänge bei konstanten W/L-Verhältnis ansteigt. Um diesen Effekt zu modulieren, müssen wir die Gleichung 2.82 für den Drain-Strom im Sättigungsbereich anpassen

$$I_D = \frac{1}{2} \cdot \beta \cdot (U_{DS} - U_T)^2 \cdot \left(1 + \lambda \cdot \frac{L_{\min}}{L} \cdot U_{DS} \right) \quad (2.147)$$

Nun ist $\lambda \cdot L_{\min}$ ein Fitting-Parameter, der geeignet gewählt werden muss.

Bild 2.76 zeigt das Kleinsignalersatzschaltbild eines MOS-Transistors. Die Kapazitäten setzen sich aus den Kapazitäten des inneren und des äußeren Modells zusammen. Bei Handrechnungen sollte man die Kapazitäten C_{SB} und C_{DB} vernachlässigen, deswegen sind diese Kapazitäten nicht in das Ersatzschaltbild eingezeichnet.

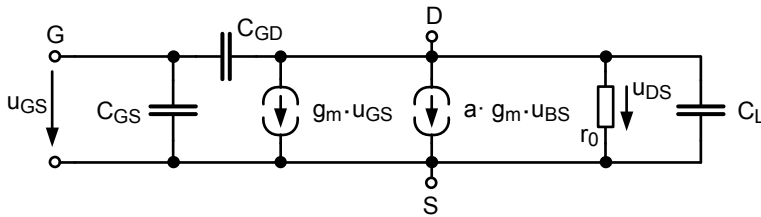


Bild 2.76 Kleinsignalersatzschaltbild des MOS-Transistors.

2.1.13 Schaltkreissimulator SPICE

Die zunehmende Komplexität der integrierten Schaltkreise und die Tatsache, dass einmal hergestellte Bausteine nicht oder nur sehr schwer abgeändert werden können, bedingen rechnerunterstützte Entwurfs-, Simulations- und Verifikationsverfahren.

Nur der extensive Einsatz von CAD-Werkzeugen (CAD, Computer Aided Design) ermöglicht den Entwurf von IC's, die auf Anhieb voll funktionsfähig sind. In diesem Kapitel soll ein CAD-Werkzeug, der Schaltkreissimulator SPICE (Simulation Program with Integrated Circuit Emphasis), behandelt werden [93, 234, 235].

Vermutlich ist SPICE der am häufigsten angewendete Schaltkreissimulator. Mit SPICE können Simulationen für nichtlineare Gleichstromanalysen, nichtlineare transiente Simulationen und Kleinsignalanalysen im Zeit- und Frequenzbereich durchgeführt werden. Schaltelemente, wie Widerstände, Kapazitäten, Induktivitäten, unabhängige Spannungs- und Stromquellen, vier Typen für abhängige Strom- oder Spannungsquellen, Wellenleitungen und die vier gebräuchlichsten Halbleiterbauelemente: Dioden, bipolare Transistoren, MOSFETs und JFETs können im Rahmen von SPICE verwendet werden.

Als Eingabe für SPICE wird eine Beschreibung der Topologie der Schaltung einschließlich aller Schaltungselemente mit ihren Werten und der Versorgungsspannung benötigt.

Die Ausgabe wird vom Anwender spezifiziert; sie kann die zeitlichen Verläufe von Knotenspannungen und Strömen oder Übertragungsfunktionen in Form von Tabellen oder graphischen Darstellungen aufzeigen.

Die numerische Genauigkeit von SPICE ist sehr hoch; Fehler sind selten größer als 1%. Daher hängt die Güte, mit der die elektrischen Eigenschaften einer Schaltung vorherberechnet werden können, davon ab, wie vollständig und genau die Eingabedaten die reale Schaltung beschreiben. In diesem Zusammenhang müssen zwei Gesichtspunkte berücksichtigt werden.

Zunächst benötigt man ein mathematisches Modell, das das jeweilige Schaltungselement adäquat darstellt. Für einen linearen Widerstand ist die Modellbeschreibung sehr einfach: $U = I \cdot R$. Für Transistoren ist die Modellbeschreibung schon wesentlich schwieriger.

Im nächsten Schritt müssen numerische Werte für die einzelnen Schaltelemente (in den Beispielen der Widerstandswert) festgelegt werden. Da Messungen auf dem Chip oft sehr schwer durchzuführen sind, müssen die Werte ersatzweise berechnet

werden. Die hohe Güte der Schaltungssimulation, die SPICE ermöglicht, wird durch einen hohen Rechenzeitbedarf erkauft.

2.1.13.1 SPICE-MOS-Transistormodelle

Im Rahmen von SPICE gibt es mehrere Modellbeschreibungen (Level) für den MOS-Transistor. In der Vergangenheit hatte fast jede wichtige Halbleiterfirma ihr eigenes Modell mit den dazugehörigen Parameterbestimmungsmethoden entwickelt. Allgemein zugänglich waren und sind die Transistormodelle, die an der University of California in Berkeley erarbeitet wurden. Das einfachste Modell ist das Level 1 Modell. Es enthält das Shichman-Hodges-Modell, das auf den quadratischen Transistorgleichungen des Langkanaltransistors (Gleichungen 2.71–2.76) basiert.

Es enthält keine Kurzkanaleffekte. Dieses Modell benötigt als Eingangsgrößen unter anderem VTO, KP, LAMBDA, PHI und GAMMA. Für die Simulation des dynamischen Verhaltens werden Kapazitäten, wie sie in Kapitel 2.1.12.1 beschrieben wurden, benutzt. Die Tabelle 2.4 zeigt die Zusammenhänge zwischen den in den vorhergehenden Kapiteln und den vom Level 1 Modell verwendeten Parameternamen.

Das Level 2 Modell beruht auf Gleichungen über die Ladungen im Substrat. Das Level 3 Modell ist ein semi-empirisches Modell. Es besteht zur Berechnung des Gleichstromverhaltens aus einer Mischung aus analytischen Gleichungen und empirisch gewonnenen Ausdrücken. Das Modell benötigt gemessene Werte als Parameter. Wenn der jeweilige Parameter nicht spezifiziert ist, wird vom Programm ein bestimmter Wert (Default-Wert) eingesetzt. In diesem Modell werden auch Kurzkanaleigenschaften berücksichtigt. Es wurde bis zu Strukturgrößen von 130 nm bis 180 nm verwendet.

Die dynamische Simulation wird in diesem Modell durch die Definition von mehreren Klassen von Kapazitäten verbessert. Eine Klasse bilden die konstanten Überlappkapazitäten CGSO (C von Gate nach Source “Overlap”), CGDO und CGBO (diese Kapazität ist durch die Endkappe und die Gate-Zuführung gegeben). In diesen Kapazitäten sind Streufeldkapazitäten enthalten. Damit die Ladungserhaltung gewährleistet ist, werden die nichtlinearen Kapazitäten des inneren Transistors mittels den Ableitungen dQ_i/dU_j bestimmt und auf die verschiedenen Bereiche Source, Drain, Gate und Substrat verteilt. Die nichtlinearen Kapazitäten der pn-Übergänge von Source und Drain zum Substrat werden in Randkapazitäten und Kapazitäten der Kernbereiche unterteilt. Dies wurde bereits im vorhergehenden Abschnitt behandelt.

Ab BSIM Level 3v3 (**B**erkeley **S**hort-Channel **I**GFET **M**odel) werden zunehmend die von der Universität in Berkeley entwickelten Transistormodelle als Industriestandard genommen. BSIM4 enthält über 200 Parameter und liefert sehr gute Simulationsergebnisse für Transistoren mit Kanallängen kleiner als 1 μm . Die Mehrzahl dieser Parameter wird zur Simulation von Effekten zweiter Ordnung benötigt. Gegenwärtig ist BSIM4.6.0 in Gebrauch. Als Alternative wird das Transistormodell PSP diskutiert, das von Mitarbeitern der Philips Forschungslaboratorien und

der Pennsylvania State University entwickelt worden ist [65]. Ein weiteres sehr interessantes Transistormodell, genannt EKV, wurde vom Swiss Federal Institute of Technology in Lausanne erarbeitet. Die Stärke dieses Modells liegt in der einheitlichen Behandlung der starken und der schwachen Inversion.

Ein Designer von digitalen Schaltungen muss nicht alle Feinheiten dieser Modelle verstehen. Allerdings gibt es Kategorien von Daten, die besondere Beachtung verdienen. Hierzu gehört auch die Bin-Kategorie. Für MOS-Transistoren im Nanometerbereich ist es unmöglich, einen einzigen Parametersatz für alle möglichen geometrischen Größen anzugeben. Daher werden von den Chipherstellern Parametersätze ausgegeben, die jeweils nur für bestimmte Geometrien gültig sind. Mittels LMIN, LMAX, WMIN und WMAX (dies wird ein Bin genannt) können die zulässigen Transistorgeometrien festgelegt werden. Es wird dem Anwender überlassen, das korrekte Bin für einen bestimmten Transistor auszuwählen. Eine ausführliche Behandlung von SPICE und den in SPICE implementierten Transistormodellen würde den Umfang dieses Buches sprengen. Der interessierte Leser sei auf die umfangreiche Literatur verwiesen [4, 62, 233].

Tabelle 2.4: Liste der wichtigsten Parameter des Level 1 Modells.

Symbol	Name	Parameter	Einheit	Default-Wert	Beispiel
	LEVEL	Model index		1	
U_{T0}	VT0	Zero-bias threshold voltage	V	0,0	0,7
k'	KP	Transconductance parameter	A/V^2	2,0E-5	6,0E-5
γ	GAMMA	Bulk threshold parameter	$V^{1/2}$	0,0	0,37
$2\Phi_F$	PHI	Oberflächenpotenzial	V	0,6	0,65
λ	LAMBDA	Channel-length modulation	1/V	0,0	0,02
r_D	RD	Drain ohmic resistance	Ω	0,0	0,1
r_S	RS	Source ohmic resistance	Ω	0,0	0,1
C_{DB}	CBD	Zero-bias B-D junction capacitance	F	0,0	0,06E-15
C_{SB}	CBS	Zero-bias B-S junction capacitance	F	0,0	0,06E-15
I_S	IS	Bulk junction saturation current	A	1,0E-14	1,0E-15
Φ_0	PB	Bulk junction potential	V	0,8	0,87
	CGSO	Gate-source overlap capacitance per meter channel width	F/m	0,0	4,0E-11
	CGDO	Gate-drain overlap capacitance per meter channel width	F/m	0,0	4,0E-11
	CGBO	Gate-bulk overlap capacitance per meter channel length	F/m	0,0	2,0E-10
	RSH	Drain and source diffusion sheet resistance	Ω/square	0,0	10,0

Tabelle 2.4: Fortsetzung.

Symbol	Name	Parameter	Einheit	Default-Wert	Beispiel-Wert
C_{j0}	CJ	Zero-bias bulk junction bottom capacitance per square meter of junction area	F/m^2	0,0	2,0E-4
m	MJ	Bulk junction bottom grading coefficient		0,5	0,5
	CJSW	Zero-bias bulk junction sidewall capacitance per meter of junction perimeter	F/m	0,0	
m	MJSW	Bulk junction sidewall grading coefficient			0,33
	JS	Bulk junction saturation current per square meter of junction area	A/m^2		1,0E-8
t_{ox}	TOX	Oxide thickness	m	1,0E-7	2,0E-8
N_A, N_D	NSUB	Substrate doping	$1/cm^3$	0,0	4,0E15
Q_{ss}/q	NSS	Surface state density	$1/cm^2$	0,0	1,0E10
	NFS	Fast surface state density	$1/cm^2$	0,0	1,0E10
	TPG	Type of Gate material: +1 opposite of substrate, -1 same as substrate, 0 Al Gate		+1	
x_j	XJ	Metallurgical junction depth	m	0,0	0,3E-6
L_D	LD	Lateral diffusion	m	0,0	0,1E-6
μ	U0	Surface mobility	cm^2/Vs	600	400

2.2 Einführung in die Herstellung von integrierten MOS-Schaltungen

Die Errichtung einer Fabrik, in der VLSI-Bausteine (VLSI, „Very Large Scale Integration“) hergestellt werden sollen, kostet mehrere Milliarden Euro. Da eine neue Technologiegeneration etwa alle drei Jahre eingeführt werden muss und somit nur eine relativ kurze Zeit für die Amortisierung der Anlagen bleibt, steht jede Halbleiterfabrik unter dem Zwang, große Stückzahlen fertigen zu müssen. Massenproduktion ist der Schlüssel zum Erfolg. Dies gilt auch für ASIC-Bausteine (ASIC, „Application Specific Integrated Circuits“) auf der Basis von Gate Arrays.

Die Herstellung eines VLSI-Bausteins benötigt mehr als 100 einzelne Prozessschritte. Die einzelnen Prozessschritte sind eng miteinander verbunden. Ändert man einen Prozessschritt, so kann dies Auswirkungen auf andere Prozessschritte haben. Zum Beispiel beeinflusst die Zeitdauer des Oxidwachstums die Verteilung der Dotieratome, umgekehrt hängt die Wachstumsrate des Oxids von der Verteilung der Dotieratome ab. Wegen der Komplexität des Herstellungsprozesses ist man bestrebt,

eine eingefahrene Technologie, d. h. einen Prozess mit hoher Ausbeute bzw. mit geringem Ausschuss, möglichst nicht zu ändern. Der Schaltungsentwickler ist daher in der Regel gezwungen, seine Produktideen im Rahmen der vorhandenen Technologien zu realisieren. In der Halbleiterfabrik wird die Technologie anhand von Leitprodukten weiter entwickelt.

Je besser ein Schaltungstechniker die verwendete Technologie kennt, desto besser werden auch seine Arbeitsergebnisse sein. In der Praxis erlebt man oft, dass Schaltungsentwickler und Mitarbeiter in der Produktion zu wenig Verständnis füreinander zeigen. Die erzielten Arbeitsergebnisse fallen dementsprechend aus. In diesem Abschnitt soll aus der Kenntnis des Herstellungsprozesses Verständnis für die Probleme der MOS-Technologie vermittelt werden. Das Ziel, Bausteine mit hoher Zuverlässigkeit, hoher Ausbeute und hoher Toleranzunempfindlichkeit zu fertigen, kann nur gemeinsam erreicht werden.

Zunächst werden in diesem Abschnitt einige der wichtigsten Verfahren für die Herstellung integrierter MOS-Schaltungen diskutiert. Anschließend wird dann erläutert, wie diese Verfahren zu einem Herstellungsprozess zusammengestellt werden [138, 58]. Weiter wird auf den Latch-Up-Effekt und auf Regeln eingegangen, die eine gut definierte Schnittstelle zwischen Technologie und Schaltungstechnik ermöglichen. Überlegungen zur Ausbeute, zur zulässigen Verlustleistung und zu Toleranzen (Parameterstreuungen) runden das Kapitel ab.

2.2.1 Wichtige Einzelprozesse

2.2.1.1 Kristallwachstum

Das Ziehen eines einkristallinen Siliziumstabes ist der erste Schritt im gesamten Herstellungsprozess. Üblicherweise wird die Czochralski-Methode [184] benutzt, um einen Siliziumkristall aus einem Schmelztiegel, der mit geschmolzenem Silizium und den entsprechenden Dotierstoffen gefüllt ist, zu ziehen. Der Schmelztiegel wird aus Graphit hergestellt. Der Prozess findet in einer reaktionsträgen Atmosphäre, wie Argon, statt. Die Energie wird über induzierte Wechselströme zugeführt.

Im nächsten Schritt wird der Kristall in zylindrische Form gebracht. Die Kristallstruktur wird mittels Beugung von Röntgenstrahlen bestimmt. Eine Abflachung („Flat“) wird am Stab vorgenommen, um die Information über die Kristallorientierung zu bewahren. Der Stab wird dann in Scheiben („Wafer“) zersägt. Schrammen werden durch Ätzen beseitigt. Die Rückseite der Scheiben wird mit Sandstrahl bearbeitet, während die Vorderseite poliert wird. Zuletzt werden die Wafer gereinigt. Die Dicke der Wafer beträgt etwa 300 μm .

An diesem Punkt des Herstellungsprozesses kann eine epitaxiale Schicht aufgewachsen werden. Unter Epitaxie versteht man das Aufwachsen von einkristallinem Silizium aus der Gasphase. Eine einkristalline Schicht mit einer Dicke zwischen 0,5 μm und 100 μm kann so auf die polierte Oberfläche des Wafers aufgebracht werden. In einem reifen Prozess werden die Wafer in eine Siliziumchlorid-(SiCl_4)-At-

mosphäre gebracht. Bei 1200°C zersetzt sich das Gas in Chlor und Silizium, und man erreicht eine Wachstumsrate von 1 $\mu\text{m}/\text{min}$.

SiH_2Cl_2 wird bei einer Temperatur von 1080°C verwendet, allerdings mit einer Wachstumsrate von 0,3 $\mu\text{m}/\text{min}$. Silan (SiH_4) kann bei 1000°C verwendet werden. Um die Ausdiffusion von Dotierstoffen zu vermeiden, ist man bestrebt, eine möglichst niedrige Temperatur einzusetzen.

Epitaktisch aufgewachsene Schichten werden immer dann verwendet, wenn eine niedrig dotierte Schicht auf einer hochdotierten benötigt wird, z. B. für die Erzeugung von „Retrograde“-Wannen. In der „Retrograde“-Wanne wächst die Zahl der Dotieratome mit dem Abstand zur Oberfläche. Dies hat Vorteile für die Latch-Up-Unempfindlichkeit (siehe Kapitel 2.2.3.1).

2.2.1.2 Photolithographie und Maskenherstellung

Mittels der Photolithographie werden die vielen Prozessschritte, mit denen selektiv Material hinzugefügt oder weggenommen wird, zusammengebunden. Eine Maske enthält die geometrischen Strukturen, die pro Prozessschritt auf den Wafer übertragen werden sollen (Bild 2.77). Die Informationen aller Masken bilden das Layout. Für Strukturgrößen um 1 μm werden optische (hauptsächlich UV-) Techniken benutzt. Die billigsten Masken werden aus UV-transparentem Glas hergestellt, das mit einer 2...4 mm dicken fotografischen Emulsion bedeckt ist. Bei der Kontaktbelichtung wird die Maske in direktem Kontakt zum Wafer gebracht. Dies vereinfacht die notwendigen optischen Einrichtungen erheblich, verschlechtert aber wegen der durch den Kontakt verursachten Verunreinigung der Masken die Ausbeute. Bei einer anderen Art von Masken wird eine 100...200 nm dicke Schicht aus Chrom oder Eisenoxid aufgebracht. Üblicherweise werden diese Masken bei der Projektionsbelichtung verwendet. Bei der Projektionsbelichtung wird das Abbild der Maske auf dem Wafer projiziert. Dies hat den Vorteil, dass die Masken weniger abgenutzt werden. Eisenoxid hat die Eigenschaft, halbdurchlässig für sichtbares Licht zu sein, während es für UV-Strahlung undurchlässig ist. Somit können die Strukturen aus Eisenoxid zur Justierung der verschiedenen Masken zueinander benutzt werden. Ein Maskensatz kann mehr als 30 Masken oder mehr enthalten. Um bei der optischen Übertragung der Strukturen von der Maske auf dem Wafer Störungen durch Staubpartikel zu vermeiden, werden in einer Halbleiterfabrik drastische Maßnahmen ergriffen. Die Verwendung von 10 : 1 oder von 4 : 1 Projektion ist eine dieser Maßnahmen. Da bei diesen Verfahren die Strukturgrößen auf der Maske um 10 mal oder 4 mal größer sind als die Strukturen des Bildes auf dem Wafer, verursachen Staubpartikel auf der Maske einen geringeren Schaden.

Wegen des begrenzten Abbildungsfeldes der Projektionsmaschinen wird bei der 10 : 1 oder 4 : 1 Belichtung jeder Chip auf dem Wafer sequentiell in einem sogenannten „Step and Repeat“-Verfahren belichtet. Dieser Typ der Belichtungsmaschinen wird „Wafer Stepper“ genannt (Bild 2.77). Seit der Einführung von „Wafer Stepper“ spricht man anstatt von Masken von „Recticle“. Jedoch wird im Laborjargon weiter das Wort „Maske“ benutzt.

Projektbelichtung mit "Step and Repeat"-Verfahren

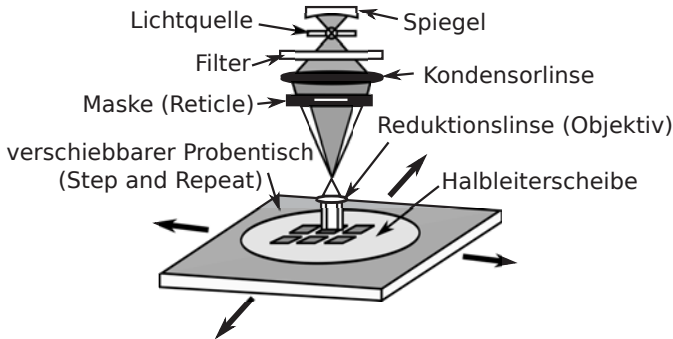


Bild 2.77 Schema eines Projektion / Reduktion Lithographiesystems.

Die Strukturen auf der Maske werden unter anderem mittels Elektronenstrahl-schreiben erzeugt. Der Elektronenstrahl wird von einem Rechner gesteuert, dem die Daten des Entwurfsprozesses eingegeben werden. Im Gegensatz zur Belichtung mit Röntgenstrahlen oder Licht muss bei diesem Verfahren jedes kleinste Bildelement sequentiell geschrieben werden. Jedoch erreicht man somit qualitativ hochwertige Masken.

Um die Strukturen von der Maske auf den Wafer übertragen zu können, wird der Wafer mit einem Photolack überzogen, der dann der Strahlung ausgesetzt wird. Der Photolack ist ein organisches Polymer, der empfindlich auf Licht reagiert. Es gibt positive und negative Lacke. In einem negativen Lack bildet das Polymer an den Stellen, an denen das Licht auftrifft, lange Ketten. Umgekehrt werden bei positiven Lacken durch Lichteinstrahlung kürzere Moleküle gebildet. In beiden Fällen wird der belichtete Photolack mit einer schwachen organischen Lösung behandelt. Dadurch werden die kürzeren Moleküle aufgelöst. Somit werden bei positiven Lacken die bestrahlten Stellen entfernt und bei negativen Lacken die nicht bestrahlten Stellen. Vor allem aufgrund ihres schlechteren Kontrastes und ihrer Neigung zum Quellen sind die früher verbreiteten Negativlacke für Strukturabmessungen unter $3\ \mu\text{m}$ von den Positivlacken verdrängt worden [242]. Wichtige Eigenschaften von Photolacken sind Haftfähigkeit, Auflösung, Verfließbarkeit, Empfindlichkeit und Widerstandsfähigkeit gegen Lösungsmittel.

Vor etwa 140 Jahren wurden die Grenzen der optischen Abbildung von Ernst Abbe beschrieben. Er fand heraus, dass die maximale Auflösung, das ist der minimale Abstand $d_{\min}$ zweier unterscheidbarer Strukturen, proportional zur Wellenlänge des verwendeten Lichtes und umgekehrt proportional zur numerischen Apertur NA ist. Die numerische Apertur hängt bei einer verkleinernden Abbildung vom halben Öffnungswinkel α des Objektivs, wie er von der Siliziumscheibe aus gesehen wird, und von dem Brechungsindex n des Mediums zwischen der Objektiv-Frontlinse und dem Wafer ab. Besteht das Medium aus Luft, gilt $n = 1$. NA ist ein Maß für

die Lichtstärke und das Auflösungsvermögen des Objektivs

$$NA = n \cdot \sin \frac{\alpha}{2} \quad (2.148)$$

NA numerische Apertur
 α Öffnungswinkel
 n Brechungsindex.

Die minimale Auflösung $d_{\min}$ entspricht dem halben Raster (1/2 Pitch)

$$d_{\min} = \frac{\lambda}{NA} \quad (2.149)$$

Bei einem Immersionsystem wird in den Raum zwischen Objektiv und Siliziumscheibe eine Flüssigkeit mit $n > 1$ gegeben, z. B. Wasser ($n = 1,44$) anstatt Luft, wodurch mehr Strahlen von der Maske zu dem gewünschten Punkt auf dem Wafer gelangen. Somit wird die Apertur vergrößert und die Auflösung verbessert.

Da die treibende Kraft in der Mikroelektronik – die abnehmenden Kosten pro Funktion – immer kleinere Strukturen auf den Chips bedingt, musste in der Vergangenheit auch die Wellenlänge des eingesetzten Lichtes verringert werden. So wurde die Wellenlänge von 365 nm über 248 nm zu 193 nm verkleinert. Gleichzeitig wurde auch die Apertur verbessert (siehe Tabelle 2.5).

Eine Lithographie mit weichen Röntgenstrahlen ($\lambda < 50$ nm) erscheint im Prinzip als die natürliche Weiterentwicklung, die sich an die lichtoptische Lithographie anschließt, um zu noch kleineren Strukturen zu gelangen. Im Vergleich zu Lichtwellen zeigen Röntgenstrahlen jedoch erhebliche Unterschiede im Hinblick auf die Wechselwirkung mit Materie. Aus diesem Grund sind nicht nur die Strahlenquellen, sondern auch die Abbildungsprinzipien und die Maskentechnik wesentlich verschieden. Es ist eine eigene Entwicklung erforderlich, die nur wenig von dem lichtoptischen Knowhow nutzen kann.

Da der Brechungsindex für Röntgenstrahlen bei allen Materialien kaum unterschiedlich ist ($n \approx 1$), gibt es keine entsprechenden Linsen, wie sie für abbildende lichtoptische Systeme gebräuchlich sind. Deswegen versucht man mit Spiegeln das Abbildungssystem zu realisieren.

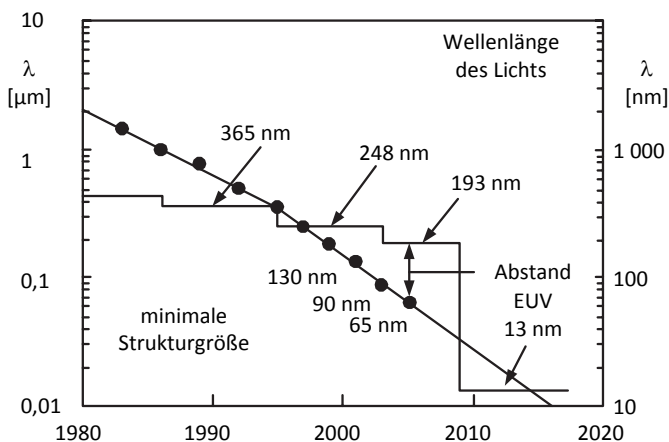
Die Absorption von Röntgenstrahlen in verschiedenen Materialien ist zwar unterschiedlich, aber die Unterschiede bewegen sich bei einer Wellenlänge von 1 nm nur im Bereich von zwei Größenordnungen im Vergleich zu mehr als zehn Größenordnungen bei UV-Licht. Röntgenmasken lassen deshalb keinen mechanisch stabilen Maskenträger entsprechend der Glasplatte bei den lichtoptischen Chrommasken zu und sind somit vergleichsweise instabile Gebilde [242].

Bis heute ist es nicht gelungen, neue Belichtungssysteme, die für Röntgenstrahlen geeignet sind, in der Massenfertigung einzusetzen. Daher, wie es Bild 2.78 zeigt, wurde die Wellenlänge des Lichtes ab 193 nm konstant gehalten. Zum Ausgleich wurden zusätzliche Maßnahmen ergriffen, die es erlaubten, auf dem Chip Strukturen zu realisieren, die kleiner sind als die Wellenlänge des für den photolithographischen Prozess eingesetzten Lichtes [254]. Diese Maßnahmen werden unter

dem Sammelbegriff Auflösung erhöhende Techniken (RET, resolution enhancement techniques) zusammengefasst. Das Verhältnis k_1 von minimaler Strukturfeinheit (halbes Raster, half Pitch) auf dem Chip zur minimalen Auflösung, wie sie Ernst Abbe definiert hat, wird zur Beschreibung von Belichtungsmaschinen allgemein benutzt (Tabelle 2.5 und Bild 2.78)

$$k_1 = \frac{\text{min. Strukturfeinheit}}{\lambda / \text{NA}} \quad (2.150)$$

Um zu verstehen, worauf die Auflösung erhöhenden Techniken beruhen, ist es nützlich, sich daran zu erinnern, dass jede elektromagnetische Welle mittels einer Amplitude, einer Phase und einer Ausbreitungsrichtung beschrieben werden kann. Diese Größen werden als „Stellschrauben“ angesehen, mit denen der Abbildungsprozess verbessert werden kann. Mit der optischen Nahfeldkorrektur (OPC optical proximity correction) wird die Amplitude, mit der Phasenmaske (phase shift mask) wird die Phase und mit der Schrägbelichtung („off-axis“) wird die Ausbreitungsrichtung beeinflusst.



b2.3.2

Bild 2.78 Minimale Strukturen kleiner als die halbe Wellenlänge benötigen Korrekturmaßnahmen (RET).

Der natürliche Ort, wo die drei Methoden angewendet werden können, ist die Maske, da die Maske ausgetauscht wird, wenn ein neuer Prozessschritt durchgeführt werden muss, während das übrige Belichtungssystem unverändert bleibt. Komplexe Softwareprogramme ändern die Entwurfsdaten, so dass den Störungen, die das Licht auf seinem Weg durch die Maske bis zum Wafer erleidet, entgegengewirkt wird. Die modifizierten Daten werden für die Maskenherstellung eingesetzt.

Tabelle 2.5 k_1 in Abhängigkeit von den Technologiegenerationen [187].

Technologiegeneration (nm halber Pitch)	Wellenlänge des ver- wendeten Lichts (nm)	Numerische Apertur	k_1
500	365	0,50	0,68
250	248	0,50	0,50
200	248	0,60	0,48
180	248	0,63	0,46
140	248	0,75	0,42
110	193	0,75	0,43
90	193	0,85	0,40

Phasenmasken verändern nicht nur die Intensitätsverteilung des durch die Maske modifizierten Lichtes sondern auch seine Phase. Das Prinzip der Phasenmasken ist nicht neu. Bereits Ernst Abbe und Lord Rayleigh haben dieses Prinzip gekannt. Jedoch der Einsatz von Phasenmasken, um die Auflösung in einem photolithographischen Verfahren zu erhöhen, wurde erstmals in [105, 61] vorgeschlagen. M. D. Levenson von IBM stellte die ersten Phasenmasken her [84, 130].

In gewöhnlichen Masken hat das elektrische Feld unter den Maskenöffnungen die gleiche Phasenlage. Die Intensitätsverteilung ergibt sich aus dem Quadrat des elektrischen Feldes. Beugung und die begrenzte Auflösung des optischen Systems verwischen die Verteilung des elektrischen Feldes in der Nähe des Wafers (siehe Bild 2.80). Bei der Phasenmaske wird zusätzlich transparentes Material bei benachbarten Öffnungen auf- oder abgetragen, so dass direkt unter den betroffenen Öffnungen das elektrische Feld eine Phasendrehung um 180° im Vergleich zu den Feldern unter den unbehandelten Öffnungen erfährt (Bild 2.79). Direkt unter der Maske bleibt die Intensitätsverteilung unverändert. Jedoch auf dem Wafer wird nun das elektrische Feld und damit auch die Intensität des Lichtes durch zerstörende Interferenz von Wellen, die von den benachbarten Öffnungen ausgehen, in den Bereichen zwischen den Öffnungen minimiert. Dieser Effekt ist in Bild 2.80 dargestellt.

Zusätzlich zu der Phasenmaske werden optische Nahfeldkorrekturen eingesetzt. Bei kleinen Werten für k_1 kommt es im Abbildungsprozess zu nichtlinearen Effekten. Der Abbildungsprozess ist linear, wenn das Abbild auf dem Wafer kongruent zu dem Abbild auf der Maske ist.

Es ist seit langem bekannt, dass bei einer Abbildung mit Elektronenstrahlen wegen der Streuung der Elektronen im Substrat und im Photolack Störungen auftreten. Je schmaler die Strukturen sind, um so ausgeprägter ist der Verlust durch Streuung. Jedoch zwei direkt benachbarte schmale Strukturen erleiden geringere Verluste, da die gestreuten Elektronen der einen Struktur zu der benachbarten Struktur gelangen können und dort die Bestrahlung verstärken. Dies gilt auch umgekehrt. Daher wurde dieser Effekt Elektronenstrahl-Nahfeldeffekt genannt. Maßnahmen, um diesen störenden Effekt zu kompensieren, indem man bestimmte Vorhalte auf der Maske anbringt, sind wohl bekannt.

Ähnliche nichtlineare Effekte wurden auch bei der optischen Lithographie beobachtet. In Anlehnung an den Elektronenstrahl-Nahfeldeffekt, wurden diese Effekte optische Nahfeldeffekte (OPE Optical Proximity Effects) genannt. Konsequenterweise nennt man die entsprechenden Korrekturen der Strukturen auf der Maske optische Nahfeldkorrekturen (OPC Optical Proximity Correction). Die Beugung von Lichtstrahlen ist die hauptsächliche Ursache der Nichtlinearität der optischen Abbildung.

Ursprünglich beschränkte man sich darauf, nur die optisch bedingten Störungen zu kompensieren. Sehr bald jedoch wurden die Methoden der OPC verallgemeinert, um Störungen, die durch den Photolack oder durch Ätzzvorgänge bedingt sind, ebenfalls korrigieren zu können. Daher wurde der Begriff OPC verallgemeinert; er steht jetzt für optische und prozessbedingte Korrekturen.

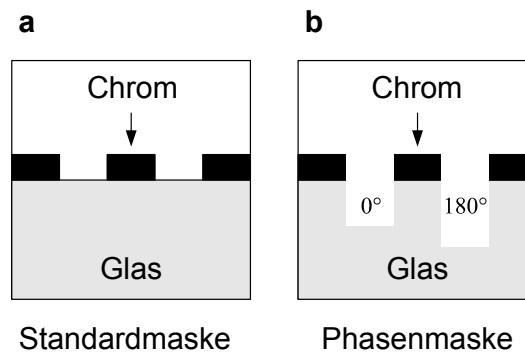


Bild 2.79 Alternierende Phasenmaske im Vergleich zur Standardmaske (Seitenansicht).

Die erste Maßnahme im Rahmen der optischen Nahfeldkorrektur ist, dass man eine Maske mit Teststrukturen anfertigt und die Ergebnisse auf dem Wafer misst. Diese Messergebnisse werden benutzt, um Regeln oder ein Modell für die Nichtlinearität des Abbildungsprozesses zu gewinnen. Die Korrekturmaßnahmen beruhen darauf, dass die Amplitude des Lichtes beeinflusst wird, indem die Weiten der Öffnungen in der Maske geändert werden. So wird einmal mehr Licht und das andere mal weniger Licht durchgelassen. Kleine Einschnitte oder Erweiterungen werden entlang der Linien oder an deren Enden angebracht, um die Bestrahlung zu reduzieren oder zu erhöhen.

Zusätzlich werden ganz schmale Strukturen (scattering bars), deren Abmessungen unterhalb des Auflösungsvermögens des Abbildungssystems liegen, in der Nähe von isolierten Strukturen eingesetzt, um so eine Belichtung ähnlich wie bei dicht gepackten Strukturen zu gewährleisten. Bild 2.81 zeigt das Prinzip der optischen Nahfeldkorrektur.

Der Leser sollte beachten, dass für optische Nahfeldkorrekturen zunächst zusätzliche Strukturen berechnet werden müssen, was nicht einfach ist, dann muss die Maske entsprechend hergestellt werden, was sehr schwer ist, und schließlich muss das Ergebnis geprüft werden, was extrem schwierig ist.

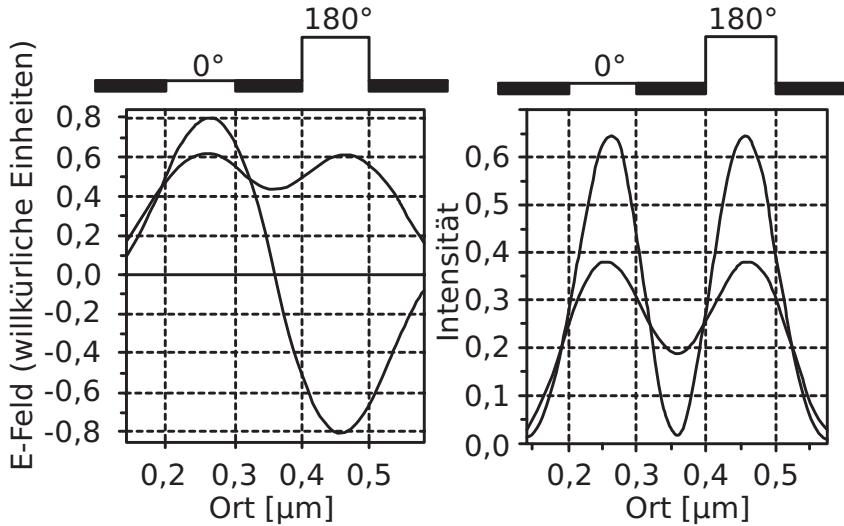


Bild 2.80 Elektrisches Feld und Intensität des Lichtes auf dem Wafer bei einer Phasenmaske (durchgezogene Linie) im Vergleich zu einer herkömmlichen Maske (gestrichelte Linie) [187].

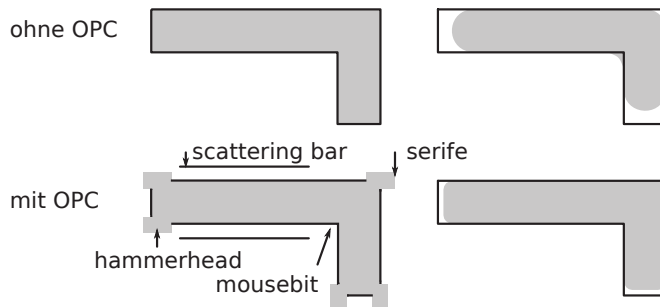


Bild 2.81 Strukturen auf der Maske (links) und die entsprechenden Strukturen auf dem Wafer (rechts) mit und ohne OPC.

Ein wichtiger Aspekt der optischen Nahfeldkorrektur ist die zunehmende Zersplitterung und Zerstückelung der Strukturen auf der Maske. Laut ITRS Roadmap 2001 wurden für die Herstellung einer einzigen kritischen Maske in der 90 nm Technologie 216 Gbyte an Daten benötigt. Im Laufe der Zeit sind die Programme, mit denen die optischen Nahfeldkorrekturen errechnet werden, immer ausgeklügelter und differenzierter geworden. Bild 2.82 zeigt das Ergebnis der Entwicklung.

Schließlich bleibt noch, die dritte „Stellschraube“ – die Wellenfront – zu behandeln. Im Gegensatz zu den bisherigen Verfahren setzt man nun ausgedehnte Lichtquellen ein. Somit kann man mehrere Beugungsmaxima für die Belichtung der Siliziumoberfläche nutzen. Weiter wird eine Blende mit zum Beispiel zwei Öffnungen (Dipol) in den Strahlengang zwischen Lichtquelle und der Maske gebracht (Bild

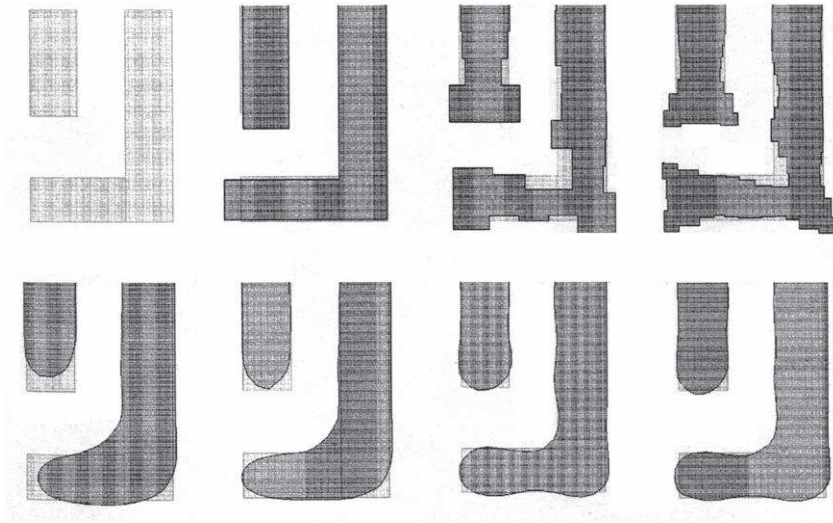


Bild 2.82 Fortschreitende Fragmentierung und Maskenkomplexität zur Verbesserung der Abbildungsqualität [187]; obere Reihe: Strukturen auf der Maske; untere Reihe: entsprechende Strukturen auf dem Wafer.

2.83). Diese Blende leitet das Licht in bestimmten Winkeln auf die Maske. Dadurch werden die Abbildungsfehler wesentlich reduziert, da somit ähnliche Effekte, wie sie mit der Phasenmaske erreicht werden, auftreten. Allerdings dürfen nun die Strukturen auf den Wafern nur noch in eine bestimmten Richtung ausgerichtet sein. Wird die Dipolblende für einen zusätzlichen Belichtungsvorgang um 90° gedreht, kann man auch auf dem Wafer um 90° gedrehte Strukturen realisieren. Bei einer Vierfachblende können gleichzeitig horizontale und vertikale Strukturen belichtet werden.

Die Quintessenz aus dem Gesagten ist, dass im Layout, zumindest für die untersten Lagen, sehr regelmäßige Strukturen nützlich sind, die nur in einer Richtung ausgelegt sein dürfen. In einer Lage sollten Knicke und Verzweigungen vermieden werden.

Leider haben die Auflösung erhöhenden Maßnahmen nur eine begrenzte Wirkung. Die theoretische Grenze für einmalige Belichtung liegt bei $k_1 = 0,25$. Will man kleinere Strukturen verwirklichen, muss man zur Doppel- oder Mehrfachbelichtung übergehen; was die Herstellungskosten erhöht.

Das Problem lässt sich wie folgt darstellen. Bei einer Wellenlänge des Lichts von 193 nm kann ein einzelnes quadratisches Kontaktloch mit 20 nm Seitenlänge mit den Auflösung erhöhenden Maßnahmen realisiert werden. Wird jedoch ein zweites gleich großes Kontaktloch im Abstand von 20 nm benötigt, wirken sich bei einmaliger Belichtung die Lichtwellen nicht nur wie gewünscht bei einem Kontaktloch, sondern auch bei dem benachbarten Kontaktloch aus. Das Ergebnis ist, dass beide Kontaktlöcher nicht hergestellt werden können. Die Lösung ist, dass man in dem

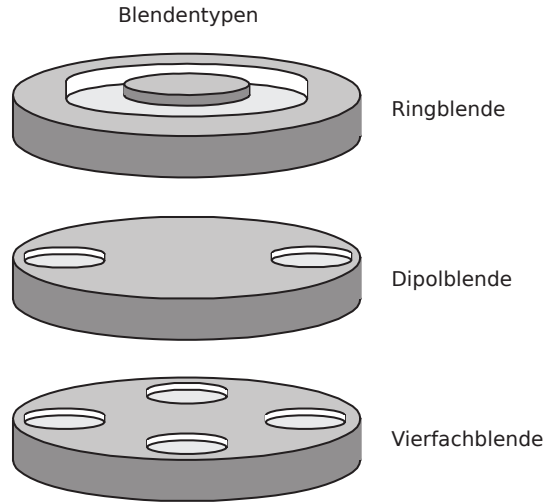


Bild 2.83 Verschiedene Blendentypen.

Beispiel für jedes Kontaktloch eine eigene Maske erzeugt und den Chip zweimal belichtet. Bei einer Kette von Kontaktlöchern werden die ungeradzahligen Kontaktlöcher mit einer Maske und die geradzahligen Kontaktlöcher mit der anderen Maske hergestellt. Sollte auch dies nicht ausreichen, geht man zur Mehrfachbelichtung über.

2.2.1.3 Selektives Entfernen von Material

Am häufigsten wird Ätzen benutzt, um Material von Flächen an der Oberfläche eines Wafers zu entfernen, die nicht vom Photolack geschützt sind. Ätzprozesse sind charakterisiert durch ihre Selektivität (z. B. sollte das Ätzmittel SiO_2 angreifen, aber nicht den Photolack oder Silizium) und durch den Grad an Anisotropie. Anisotropes Ätzen bedeutet, dass die Ätzwirkung nur in einer Richtung auftritt. Dies steht im Gegensatz zum unerwünschten isotropen Ätzen, bei dem Material in gleichem Maße in allen Richtungen entfernt wird.

Die in der IC-Herstellung benötigten Ätzprozesse finden entweder in der flüssigen oder in der gasförmigen Phase statt. Sie können rein chemisch (das Material wird aufgelöst; dies ist ein hochselektiver, aber auch isotroper Prozessschritt) oder rein physikalisch sein (das Material wird durch Beschuss mit hochenergetischen Ionen entfernt; dies ist ein anisotroper, aber auch unselektiver Prozessschritt). Der Ätzprozess kann auch mittels Bombardement mit reaktiven Ionen, die auch chemisch mit dem zu entfernenden Material reagieren, ausgeführt werden. In diesem Fall erreicht man einen Kompromiss zwischen Selektivität und Anisotropie.

Oft ist es zweckmäßig, neu entstandene Schichten als Abschirmmasken bei der weiteren Behandlung zu verwenden. Diese indirekte Methode wird bei der Herstel-

lung von Source- und Drain-Bereichen in der modernen MOS-Technologie verwendet. Nachdem das Polysilizium strukturiert ist, wird es als Maske benutzt, um zuerst das unerwünschte Gate-Oxid über den Source- und Drain-Bereichen zu ätzen. In einem weiteren Schritt dient es als Maske für die Implantation der Source- und Drain-Gebiete. Damit sind diese Prozessschritte selbstjustierend, was äußerst wichtig ist, um die Herstellungstoleranzen gering zu halten.

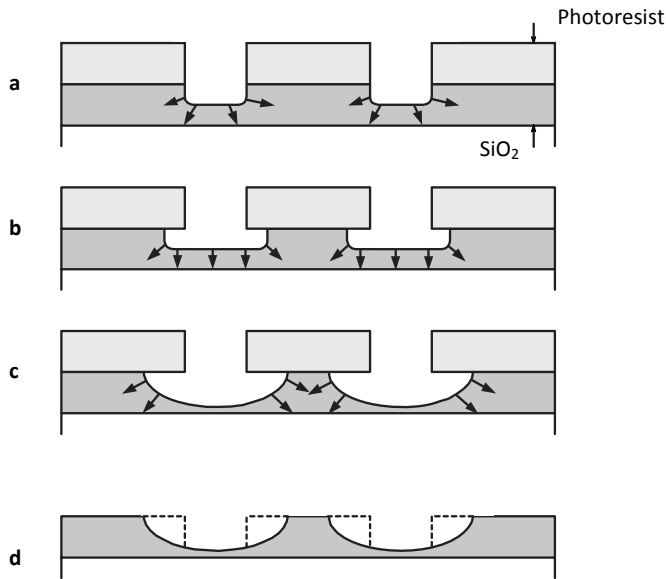


Bild 2.84 Isotropes Ätzen.

2.2.1.4 Aufbringen von Material

Es sind viele Techniken verfügbar, um Material auf die Wafer zu bringen. Die Oxidation ist eine davon. Bei dieser Technik bringt man eine Charge, die aus 10 bis 50 Wafern besteht, in einen Ofen und oxidiert die Siliziumoberfläche bei Temperaturen zwischen 850°C und 1000°C . Da SiO_2 zweimal das Volumen von Silizium hat, ist die Dicke der Oxidschicht am Ende der Oxidation oberhalb der ursprünglichen Oberfläche etwa gleich stark wie die unterhalb. Da der Sauerstoff durch die wachsende Oxidschicht diffundieren muss, bevor es zur Reaktion mit Silizium kommt, nimmt die Wachstumsrate der Oxidschicht quadratisch mit der Zeit ab. Die Oxidation ist ein Hochtemperaturprozessschritt und beeinflusst somit die Konzentration von Dotierstoffen.

Im Gegensatz zum Wachstum von SiO_2 durch thermische Oxidation beinhalten Abscheidungsprozesse keine chemische Reaktion. Die Komponenten für eine neue

Schicht werden durch äußere Quellen bereitgestellt. Die chemische Zusammensetzung der abgelagerten Schicht ist unabhängig vom darunterliegenden Substrat.

Abscheidungsprozesse werden gewöhnlich bei reduziertem Druck aus der Gasphase durchgeführt. Die Dicke der abgeschiedenen Schicht wird von der Topologie des Substrates bestimmt. An steilen Kanten ist die abgeschiedene Schicht dünner als auf ebenen Flächen. Dies kann wegen Elektromigration („electromigration“) zu Zuverlässigkeitsproblemen führen (siehe Kapitel 2.1.4).

Zwischen den Elektronen, die zum Stromfluss beitragen, und den Atomen des Kristallgitters kommt es bei Elektromigration zu quantenmechanischen Wechselwirkungen. Bei den Kollisionen der Elektronen mit den Gitteratomen wird eine Kraft ausgeübt, die in derselben Richtung wirkt, in die sich die Elektronen unter dem Einfluss des elektrischen Feldes bewegen. Somit sammeln sich Ionen in einer Richtung an und können zwischen benachbarten Gebieten zu Kurzschlüssen führen. In der entgegengesetzten Richtung bildet sich ein Mangel an Gitteratomen, der zu Abrissen von Leitungen führen kann. Stromdichte, Temperatur und Kristallstruktur beeinflussen diesen Vorgang. Für Aluminiumleitungen integrierter Schaltungen sollte die Stromdichte immer kleiner als $1 \text{ mA}/\mu\text{m}^2$ sein (siehe Kapitel 2.1.4).

Mit Abscheidungsprozessen können amorphe, polykristalline und einkristalline Schichten erzeugt werden. Wird die Kristallstruktur des Substrats in der abgeschiedenen Schicht beibehalten, spricht man von Epitaxie.

Wie bereits erwähnt, erfolgt die Abscheidung aus der Gasphase. Wenn das Material, das abgeschieden werden soll, nicht chemisch während der Abscheidung reagiert, spricht man von physikalischer Abscheidung aus der Gasphase (PVD, „Physical Vapor Deposition“). Eine chemische Abscheidung aus der Gasphase (CVD, „Chemical Vapor Deposition“) liegt dann vor, wenn das abzuscheidende Material durch eine chemische Reaktion in der Gasphase auf oder in der Nähe der Substratoberfläche erzeugt wird.

PVD wird zur Ablagerung von Metallen, hauptsächlich Aluminium, benutzt. Si_3N_4 , SiO_2 , einkristallines und polykristallines Silizium werden mittels CVD aufgebracht.

Neben dem Abscheiden von Materialien wird auch das Eindringen von Dotieratomen in bestehende Schichten benötigt. Von der Oberfläche aus können Dotierstoffe mittels Diffusion bei Temperaturen von 900°C bis 1100°C in das Silizium eindringen. Die Konzentration C der Dotierstoffe nimmt mit zunehmendem Abstand von der Oberfläche ab

$$C \approx e^{-\left(\frac{x}{\sqrt{D \cdot t}}\right)} \quad (2.151)$$

x Abstand von der Oberfläche

t Dauer der Diffusion

D Diffusionskoeffizient.

Die Diffusionskoeffizienten von Bor und Phosphor sind annähernd gleich, während der von Arsen um etwa eine Größenordnung kleiner ist. Dies bedeutet, bei sonst gleichen Bedingungen, dass Bor- oder Phosphoratome etwa 3 mal so tief wie Ar-

senatome eindringen. Die Diffusion der Dotierstoffe kann durch eine Schicht aus SiO_2 oder Si_3N_4 abgeschirmt werden.

An derartig definierten Kanten diffundieren die Fremdatome auch in lateraler Richtung. Die laterale Diffusion beträgt etwa 70% der vertikalen.

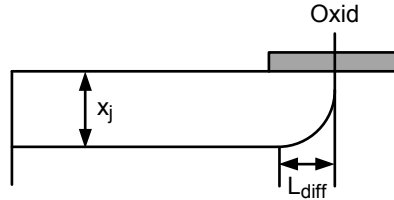


Bild 2.85 Unterdiffusion.

Die Ionenimplantation ist die Alternative zur Diffusionstechnik. Der bedeutendste Unterschied zwischen den zwei Verfahren ergibt sich aus der beträchtlich niedrigeren Prozesstemperatur, mit der die Ionenimplantation durchgeführt werden kann. Dieser Vorteil zusammen mit einer geringen lateralen Ausdehnung und einer besseren Prozesskontrolle haben dazu geführt, dass heute hauptsächlich Ionenimplantation in modernen Prozessen angewendet wird.

Die Eindringtiefe der Ionen wird von der Energie und den charakteristischen Eigenschaften der Teilchen bestimmt. Nach der Implantation muss die Gitterstruktur durch Erwärmen auf 900°C bis 1000°C ausgeheilt werden. Heute kann man diesen Prozessschritt auf 10 s bis 20 s beschränken. Durch fast jedes Material einschließlich Photolack kann die Ionenimplantation abgeschirmt werden.

Diffusionstechnik oder Ionenimplantation werden u. a. zur Dotierung der n^+ - und p^+ -Diffusionsgebiete angewendet.

2.2.1.5 Chemisch-mechanisches Polieren

Beim Abscheiden von Material entstehen nach einigen Schichten starke Unebenheiten, die zum Abreißen von höher gelegenen Schichten führen können. Ein weiteres Problem ist, dass mittels der Photolithographie nur auf planaren Oberflächen genaue Abbildungen der neuen Strukturen möglich sind. Hier liegen die Vorteile des chemisch-mechanischen Polierens (CMP chemical-mechanical planarization) klar auf der Hand: Nachdem eine neue Schicht aufgetragen wurde, wird diese zurückpoliert. Somit werden Unebenheiten ausgeglichen. Anschließend kann nun Photolack aufgetragen und präzise belichtet werden [41].

Das chemisch-mechanische Polieren ist ein Polierverfahren in der Wafer-Bearbeitung, das dazu dient, Schichten abzutragen. Der zu polierende Wafer wird in einem Träger eingespannt und mit einem definierten Druck auf den Polierteller mit dem Poliertuch gepresst (siehe Bild 2.86 und 2.87). Nun beginnen sich der Träger und das Poliertuch in dieselbe Richtung zu drehen. Es gibt verschiedenste Möglich-

keiten, die Geschwindigkeiten zu variieren, um so den Abtrag und dessen Gleichmäßigkeit zu optimieren. Das Poliertuch besteht zumeist aus Polyurethan-Schäumen oder mit Polyurethan behandelten Vlies-Materialien.

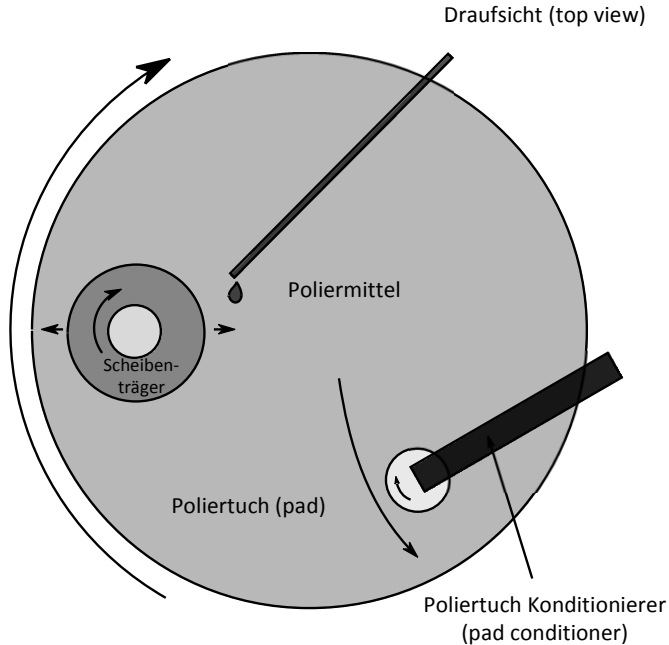


Bild 2.86 Funktionsprinzip der CMP-Maschine: Aufsicht.

Während des gesamten Poliervorgangs wird über ein Pumpensystem Slurry (ein chemisch und mechanisch aktives Poliermittel) auf den inneren Bereich des Poliertuches geleitet. Durch die Rotation wird dieses Mittel über das Poliertuch verteilt. So entsteht zwischen dem Wafer und dem Poliertuch ein dünner Film, der die zu polierende Schichten chemisch angreift. Mit den ebenfalls enthaltenden Scheuerpartikeln wird die Oberfläche mechanisch bearbeitet und somit zusätzlich Material abgetragen.

Das Polierergebnis hängt wesentlich von der Planarität der Einspannvorrichtung und des Poliertellers ab. Daher ist die Unterseite der Einspannvorrichtung mit einer Schicht beklebt, deren weiche Fasern Unebenheiten ausgleichen und mittels Adhäsion die Rotation der Einspannvorrichtung auf den Wafer überträgt.

Nach einer bestimmten Zeit wird der Wafer vom Poliertuch genommen und einer ersten Vorreinigung mit hochreinem Wasser vorgenommen. Dieser Vorgang erfolgt innerhalb der CMP-Maschine. Das Poliermittel muss restlos entfernt werden, um einer möglichen Kristallbildung vorzubeugen und um zu verhindern, dass die Wafer-Oberfläche weiterhin unkontrolliert geätzt wird. Währenddessen beginnt der Konditionierer das Poliertuch für den nächsten Wafer vorzubereiten.

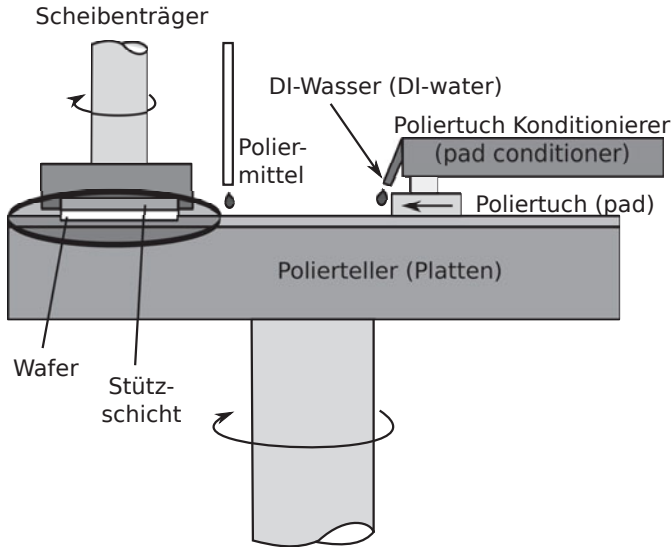


Bild 2.87 Funktionsprinzip der CMP-Maschine: Seitenansicht.

Dies geschieht, indem eine rotierende Diamantscheibe unter Zugabe von Wasser über das sich ebenfalls drehende Poliertuch bewegt wird. Auf diese Weise wird das Poliertuch aufgeraut und gleichzeitig werden die Poren im Poliertuch vom Poliermittel und vom Wafer-Material gereinigt.

Lokal können Schichten exzellent eingeebnet werden. Jedoch treten unglücklicherweise globale Unebenheiten auf, wenn Unterschiede in den darunterliegenden Strukturen vorhanden sind. Daher versucht man, indem man zusätzlich eigentlich nicht benötigte Strukturen einfügt (filling) oder Löcher in existierende Strukturen anbringt (cheesing), die darunter liegenden Schichten zu homogenisieren und somit einheitliche Schichtdicken zu erzielen. Trotz all dieser Maßnahmen gelingt es nicht, vollständig homogene Schichten zu erzeugen. Dies ist zum Beispiel der Fall, weil die oberen Verdrahtungsebenen mit den Unteren verbunden werden müssen. CMP verursacht Schwankungen der Dicke der Isolierschichten (ILD, Inter Layer Dielectric) und ist somit eine wesentliche Ursache der Variabilität von modernen CMOS-Technologien.

Das chemisch-mechanische Polieren wird vorwiegend in folgenden Prozessschritten eingesetzt:

- Planarisierung von Grabenfüllungen,
- Planarisierung von Metall-Plugs in Kontaktlöchern und Vias (z. B. nach dem Auffüllen der Kontaktlöcher mit Wolfram),
- Planarisierung von Zwischenoxiden und Intermetall-dielektrika.

2.2.2 *N-Wannen-CMOS-Prozess*

Die in den letzten Kapiteln besprochenen Verfahren werden angewendet, um integrierte MOS-Schaltungen herzustellen. Die Beschreibung des Herstellungsprozesses wird an dem Punkt begonnen, an dem einkristalline Scheiben mit einem Durchmesser von 30 cm vorliegen. Da die Herstellung von integrierten MOS-Schaltungen empfindlich durch Verunreinigungen gestört wird, wird die Fabrikation in einer nahezu staubfreien Umgebung durchgeführt. Weiter werden Reinigungen der Wafer nach jedem Prozessschritt vorgenommen.

Die Komplementär-MOS-Technologie (CMOS, „Complementary MOS Technology“), stellt sowohl n-Kanal- als auch p-Kanal-Transistoren auf einem Chip zur Verfügung. Sie ist für VLSI-Anwendungen die dominierende Technologie.

Um n- und p-Kanal-Transistoren auf einem Chip unterzubringen, müssen besondere Bereiche, genannt Wannen („wells“, „tubs“), mit einem zum Substrat gegensätzlichen Halbleitertyp geschaffen werden. Es existieren zwei unterschiedliche Wannentypen. Eine p-Wanne wird in einem n-Substrat und eine n-Wanne in einem p-Substrat geschaffen. Zusätzlich besteht noch die Möglichkeit, n- und p-Wannen in einem niedrig dotierten Substratmaterial zu erzeugen („Twin-Tub-Process“).

In diesem Kapitel wird ein einfacher n-Wannen-Prozess beschrieben. Anhand der Herstellung eines Inverters werden die wichtigsten Prozessschritte erläutert. Um die Beschreibung zu vereinfachen, werden die Schritte zur Einstellung der Einsatzspannungen weggelassen.

Als Ausgangsmaterial dient ein moderat dotiertes (typisch weniger als 10^{15} cm^{-3}) p-Substrat („Wafer“).

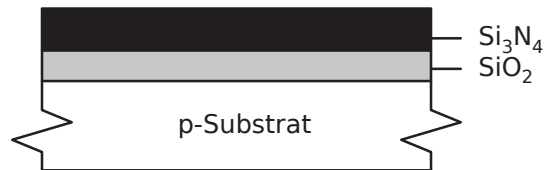


Bild 2.88 Querschnitt durch das Substrat.

Zum Schutz der Siliziumoberfläche wird thermisch oxidiertes SiO_2 (Barrierenoxid) auf dem gesamten Wafer erzeugt. Als Vorbereitung für die lokale Oxidation der Feld-Oxid-Bereiche wird dann auf dem gesamten Wafer Si_3N_4 abgeschieden (Bild 2.88). Die erste Photomaske definiert nun die n-Wannen-Bereiche. Nach dem Belichten und Ätzen des Photolacks (Si_3N_4 bleibt unbeeinflusst) werden durch die offenen Fenster Phosphorionen implantiert. Da die Ionenimplantation trotz hoher Teilchenenergie nicht tief genug in das Substrat reicht, müssen im nachfolgenden Hochtemperaturprozessschritt die Dotieratome mittels Diffusion in das Substrat eingetrieben werden. Der Diffusionsprozess hat neben der gewünschten vertikalen Richtung auch eine Ausdehnung in lateraler Richtung zur Folge. Dadurch wird die erzielbare Strukturfeinheit begrenzt (Bild 2.89).

Die nächsten Prozessschritte dienen zur Festlegung der aktiven Bereiche, in denen die MOS-Transistoren einschließlich der Diffusionsgebiete realisiert werden. Dazu wird zunächst das Siliziumnitrid strukturiert. Die aktiven Bereiche bleiben durch die Si_3N_4 -Schicht geschützt. Nach dem Ätzen der Siliziumnitridschicht und des Barrierenoxids wird eine Implantation mit Bor-Ionen durchgeführt.



Bild 2.89 Wannenimplantation.

Dies ist notwendig, um die späteren Kanalbereiche der n-Kanal-Transistoren zu begrenzen („Channel Stop Implantation“). Diese Implantation hat eine Dosis und Energie, die groß genug ist, die Konzentration von Akzeptoren im p-Substrat außerhalb der aktiven Bereiche zu erhöhen. Dadurch aber wird die Dotierung der n-Wanne nicht beeinflusst. Somit erhält die Si-Oberfläche, die nicht von Nitrid bedeckt ist und die nicht in der Wanne liegt, eine höhere Dotierung.

Nun erfolgt die lokale, thermische Oxidation (LOCOS-Prozess), die selektiv nur an den ungeschützten Stellen auftritt. Es entstehen Bereiche mit dickem Feld-Oxid (etwa $1\text{ }\mu\text{m}$ Dicke), die die n-Kanal- und p-Kanal-Transistoren elektrisch voneinander isolieren. Da das Oxid nicht nur in Richtung senkrecht zur Oberfläche wächst, sondern auch lateral, dehnt es sich auch unter die Nitridschicht aus. Gleichzeitig benötigt das Oxid auch mehr Volumen, und somit werden die Ränder der Si_3N_4 -Schicht aufgebogen („Bird’s Beak“-Bereich, siehe auch Kapitel 2.1.6). Die „Bird’s Beak“-Bereiche bewirken, dass die aktiven Bereiche kleiner sind als die ursprünglichen Nitridbereiche. Durch Maskenvorhalte wird versucht, dies auszugleichen. Der LOCOS-Prozess ist der letzte Hochtemperaturprozessschritt, der wesentlich die Dotierprofile beeinflusst.

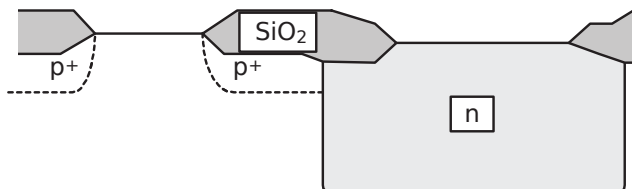


Bild 2.90 Bildung der aktiven Bereiche des n-Wannen CMOS-Inverters (Nitrid und Barrierenoxid entfernt).

Im nächsten Prozessschritt werden die restlichen Nitrid- und die Barrierenoxidschichten abgeätzt (Bild 2.90). Nun wird thermisch das Gate-Oxid ($1 \dots 5 \text{ nm}$) aufgewachsen.

Da das Oxid in das Silizium hineinwächst, ist die Qualität der Si-SiO₂-Grenzschicht relativ gut. Tatsächlich wird in vielen Prozessen das Gate-Oxid mehrmals aufgewachsen und wieder entfernt, um eine möglichst gute Qualität zu erzielen. Thermisch erzeugte Oxide, wie das Feld- und Gate-Oxid, sind von hoher Qualität. Sie haben eine höhere Durchbruchfeldstärke und eine höhere Beständigkeit gegen Ätzmittel als Oxide, die durch CVD abgeschieden werden. Die Durchbruchfeldstärke des Gate-Oxids beträgt etwa 6 MV/cm .

Nach dem thermischen Aufwachsen des SiO₂ wird ganzflächig Polysilizium abgeschieden. Hierzu wird ein CVD-Prozessschritt verwendet. Typischerweise wird das Polysilizium mit Phosphor dotiert (n-Typ Dotierung). Da die Konzentration des Dotierstoffes die Austrittsarbeit und damit die Einsatzspannung der Transistoren beeinflusst, muss die Dotierung des Polysiliziums gut kontrolliert werden [40].

Mit Hilfe der nächsten Maske (Bild 2.91) wird das nicht benötigte Polysilizium durch Trockenätzen entfernt. Somit werden die Gate-Bereiche und die erste Verdrahtungsebene definiert. Für die nun folgenden Implantationen der Source- und Drain-Gebiete wird erneut das strukturierte Polysilizium zur Abschirmung der Kanalbereiche unter dem Gate benutzt (selbstjustierender Prozessschritt) [194]. Man benötigt aber trotzdem eine neue Photomaske, die „n-select mask“, um die p-Kanal-Transistoren in der Wanne abzuschirmen. Mittels der „n-select mask“ werden die Wannenbereiche mit Ausnahme der Stellen für die Wannenkontakte mit Photolack überzogen. Die Wannenkontakte dienen dazu, die Wannengebiete an das gewünschte Potential (U_{DD}) anzuschließen. Nun können die Source- und Drain-Gebiete der n-Kanal-Transistoren durch ganzflächige Ionenimplantation hergestellt werden.

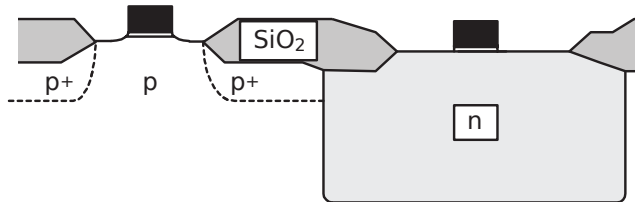


Bild 2.91 Bildung des Polysiliziums.

In modernen CMOS-Prozessen werden LDD-Transistoren („Lightly Doped Drain“) verwendet. Mit diesem Transistortyp sollen mittels allmählicher Dotierungsänderungen am Drain-seitigen Ende hohe Feldstärken vermieden und dadurch die Zuverlässigkeit erhöht werden. Da der Ionisationskoeffizient von Löchern kleiner ist als der von Elektronen, wird bei einer $1 \mu\text{m}$ -Technologie für p-Kanal-Transistoren die LDD-Technik nicht angewendet.

Bei einem LDD-Prozess werden zuerst Phosphorionen implantiert. Damit erzeugt man außerhalb der n-Wanne dünne, relativ schwach dotierte n^+ -Diffusions-

gebiete. Das Polysilizium schirmt die Kanalbereiche von dieser Implantation ab. Da aber niedrige Zuleitungswiderstände angestrebt werden müssen, benötigt man stark dotierte Diffusionsgebiete, die mit folgender Technik erzeugt werden.

Zunächst wird der Wafer mit LPCVD-Oxid („Low Pressure“ CVD-Oxid) überzogen. Dieses Oxid wird dann anisotrop geätzt, so dass die Randbereiche (Spacer-Bereiche, Bild 2.92) stehenbleiben. Die Spacer-Bereiche schirmen die darunterliegende Siliziumoberfläche von der nachfolgenden starken Ionenimplantation mit Arsen ab. Wie Bild 2.92 zeigt, erreicht man mit dieser Prozessfolge, dass am Ende des Kanalbereichs zunächst eine schwach dotierte, dünne Diffusionsschicht liegt, die in einem Abstand vom Gate von einer stark dotierten Diffusionszone abgelöst wird. Zur Vermeidung von Kurzkanaleffekten hat sich diese Struktur bewährt.

Die komplementäre „n-select mask“ wird nun benutzt, um die p^+ -Source-, Drain- und Substratkontaktgebiete zu implantieren. (Substratkontakte sind nützlich, um ein gegebenes Layout sowohl in einem p-Wannen-, in einem n-Wannen- oder in einen Twin-Tub-Prozess herstellen zu können.). Als Dotierstoff wird Bor benutzt. Nach jedem Implantationsschritt wird die Kristallstruktur thermisch ausgeheilt.

Nun wird mit CVD-Technik ganzflächig eine SiO_2 -Schicht abgeschieden. Dabei entsteht eine unebene Wafer-Oberfläche. Mit der nächsten Photomaske werden die Kontaktlöcher in die isolierende Oxidschicht geätzt. Damit soll reines Silizium in den Source- und Drain-Gebieten und Polysilizium für die Aluminiumverdrahtung zugänglich sein. Durch Ausscheidung aus der gasförmigen Phase wird nun Aluminium ganzflächig aufgebracht. Nicht benötigtes Metall wird mit der nächsten Phototechnik weggeätzt. Damit steht nun neben der relativ hochohmigen Polysiliziumverdrahtung eine sehr niederohmige Verdrahtungsebene zur Verfügung (Bilder 2.93 bis 2.95).

Bevor weitere Aluminiumschichten abgeschieden werden können, muss die Wafer-Oberfläche erst eingeebnet werden. Hierzu wird der Wafer zunächst mit einer sehr dicken SiO_2 -Schicht bedeckt. Dann wird noch eine Schicht Photolack aufgebracht. Dieser Photolack soll gut verfließen, damit die Unebenheiten ausgeglichen werden. Nachfolgend wird der Photolack geätzt. Wichtig ist, dass das Ätzmittel SiO_2 und den Photolack gleichermaßen angreift. Wird lange genug geätzt, entsteht eine nahezu ebene Siliziumoxidoberfläche.

Nun werden wieder Kontaktlöcher („via holes“) geätzt, um die Verbindung der ersten und zweiten Metallisierungslage zu ermöglichen.

Zuletzt wird die ganze Oberfläche durch eine Oxid- oder Nitridschicht geschützt. Nur die Stellen, an denen die Bonddrähte kontaktiert werden sollen („Bondpads“), werden freigelegt.

In den letzten Jahren wurde der Prozessablauf verändert. Anstelle von Aluminium werden heute Kupferlegierungen für die Metallisierung eingesetzt. Dadurch wird der Widerstandsbelag der Leitungen und besonders wichtig der Elektromigrations-Effekt reduziert. Die Zahl der Metallisierungsebenen hat sich von drei auf zehn bis zwölf erhöht.

Der „Bird’s Beak“-Effekt bewirkt, dass sich ein Übergangsbereich an den Rändern des Transistors ausbildet. Derartige Übergangsbereiche liegen in der Größenordnung von etwa 300 nm. Mit der fortschreitenden Strukturverkleinerung müssen

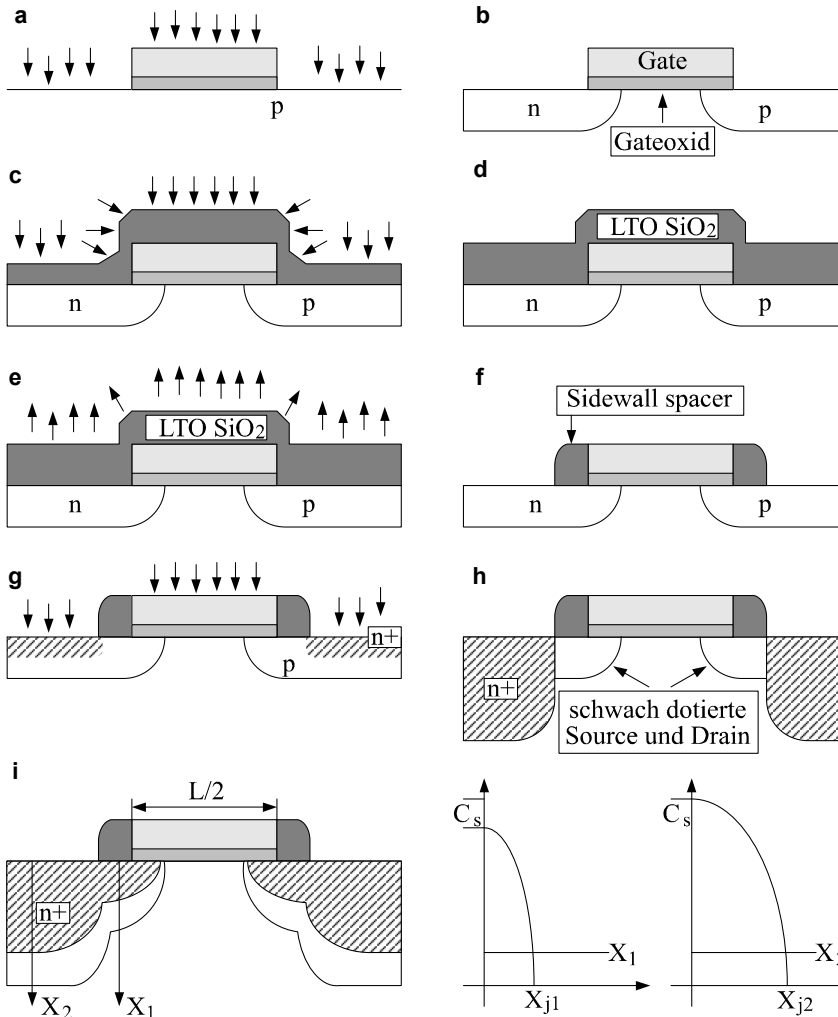


Bild 2.92 Prozessfolge zur Herstellung von LDD-Transistoren.

nicht nur die Transistoren sondern auch die Isolierbereiche zwischen ihnen verkleinert werden. Große Übergangsbereiche vergeuden teure Chipfläche. Weiter verursacht der LOCOS-Prozess starke Unebenheiten der Siliziumoberfläche, was nachfolgende Lithographieschritte und Abscheidungsprozesse beeinträchtigt. Daher ist man zu der „flachen Grabenisolation (Shallow Trench Isolation, STI)“ übergegangen (siehe Kapitel 2.1.6).

Zu Beginn des verbesserten Herstellungsprozesses werden, nachdem Siliziumnitrid abgeschieden wurde, die späteren aktiven Bereiche durch Photolack geschützt. Dann werden die Isolierbereiche mittels reaktiven Ionenätzens um etwa 300 µm abgesenkt.

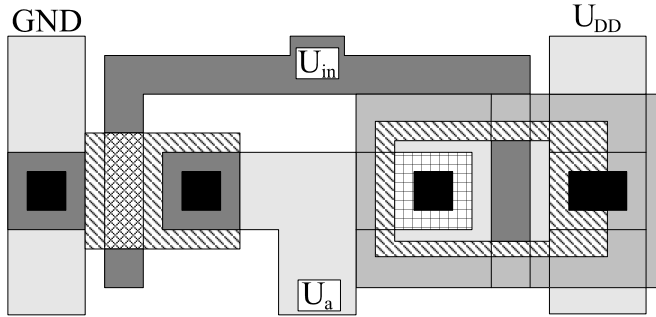


Bild 2.93 Metallisierung des CMOS-Inverters. Maske, die auf einem konventionellen Layout beruht.

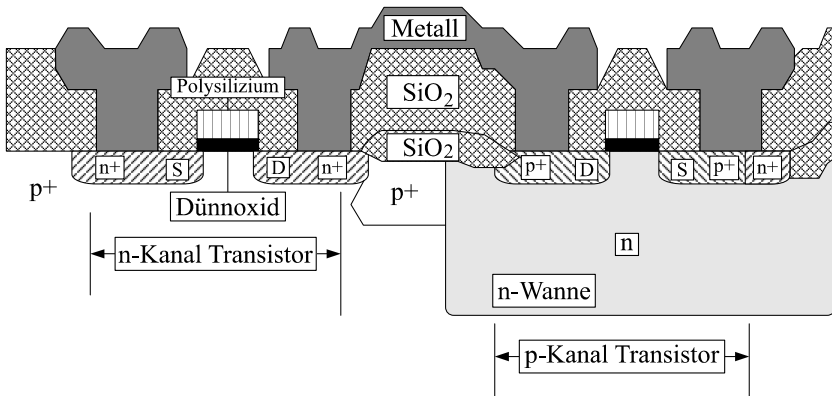


Bild 2.94 Metallisierung des CMOS-Inverters. Querschnitt.

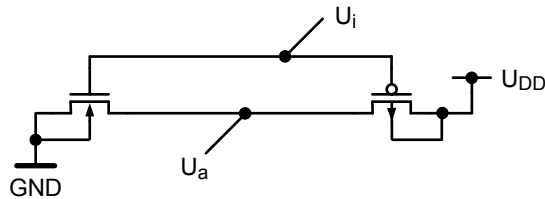


Bild 2.95 Metallisierung des CMOS-Inverters. Schaltbild [138].

Nachfolgend wird mit einem CVD-Prozessschritt ganzflächig eine Oxidschicht abgeschieden. Damit kein „Vogelschnabeffekt“ auftreten kann, wird nicht thermisch gewachsenes Oxid eingesetzt, sondern CVD-Oxid aufgebracht. Zuletzt wird mit CMP die Oberfläche eingeebnet, so dass das CVD-Oxid nur noch an den gewünschten Stellen vorhanden ist. Die Einebnung ist für den CMP-Prozessschritt eine große Herausforderung. Bild 2.96 stellt einen schematischen Querschnitt nach dem CMP-Prozess dar; während Bild 2.97 den Querschnitt nach der Herstellung

der n- und p-Kanal-Transistoren zeigt. In dem Bild 2.97 sind, als weitere Prozessverbesserungen, Silizide und ein Zwei-Wannen-Prozess angedeutet.

Silizide sind Metall/Siliziumverbindungen, die in der Siliziumtechnologie als temperaturstabile niederohmige Leiterbahnen und Kontakte Verwendung finden. Am häufigsten werden die Silizide MoSi_2 , WSi_2 , TaSi_2 und TiSi_2 als Leiterbahnschichten sowie PtSi und PdSi als Kontaktschichten angewandt.

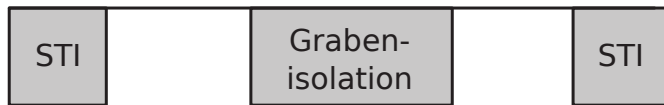


Bild 2.96 Querschnitt nach der Planarisierung mittels CMP. Shallow Trench Isolation (STI) heißt flache Grabenätzung.

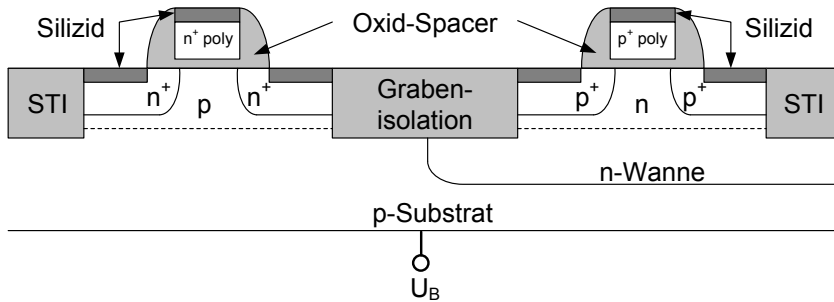


Bild 2.97 Querschnitt nach der Herstellung der n- und p-Kanal-Transistoren.

2.2.3 Technologiebedingte Effekte und Regeln

Als Abschluss für dieses Kapitel werden nun technologiebedingte Nebeneffekte, wie Latch-Up, und die Schnittstelle zwischen Technologie und Schaltungstechnik behandelt. Überlegungen bezüglich Ausbeute und zulässiger Verlustleistung runden dieses Thema ab.

2.2.3.1 Latch-Up-Effekt

Die Integration des komplementären Transistors in der CMOS-Technologie bedingt einen schwerwiegenden parasitären Effekt, den Latch-Up-Effekt. Dieser Effekt bewirkt eine leitende Verbindung zwischen U_{SS} und U_{DD} , die zu einer Zerstörung

des Chips oder wenigstens zu einem Fehlverhalten der Schaltung führt. Durch Zurücknehmen der Versorgungsspannungen auf 0 V wird der Latch-Up-Effekt unterbrochen. Moderne Prozessführung mit Epitaxie und „Retrograde Wells“ sowie geeignete Schaltungstechniken bewirken heute, dass der Latch-Up-Effekt vermieden werden kann.

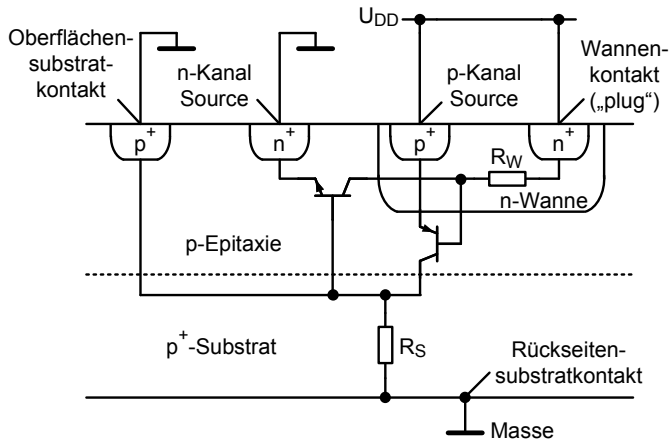


Bild 2.98 Schematische Darstellung der parasitären bipolaren Transistoren.

Wie Bild 2.98 zeigt, entstehen durch die Schichtung des CMOS-Prozesses npn- und pnp-Übergänge im Substrat, die wie rückgekoppelte bipolare Transistoren wirken. Das Ersatzschaltbild (siehe Bild 2.99) enthält bipolare npn- und pnp-Transistoren sowie zwei Widerstände R_W und R_S .

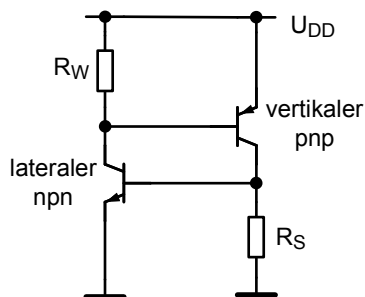


Bild 2.99 Ersatzschaltbild zur Erklärung des Latch-Up-Effekts.

Wird durch einen Auslösemechanismus, z. B. positiver Überschwinger der Versorgungsspannung U_{DD} , der vertikale pnp-Transistor leitend, fließt Strom über den Serienwiderstand nach Masse. Aufgrund des Spannungsabfalls über den Serienwiderstand R_S kann nun der laterale npn-Transistor ebenfalls zu leiten beginnen. Der

Kollektorstrom des lateralen Transistors bewirkt wegen des Wannenwiderstands R_W eine erhöhte Spannung U_{BE} des pnp-Transistors und verstärkt somit den ursprünglichen Auslösemechanismus. Es tritt Mitkopplung auf. Im ungünstigen Fall fließen hohe Ströme zwischen den Versorgungsspannungen, die das Substratmaterial erhitzen und zum Ausfall führen können.

Die Stromverstärkungsfaktoren der beiden bipolaren Transistoren und die Werte der Wannen- und Serienwiderstände bestimmen die Empfindlichkeit gegenüber Störungen. Um dieses Auslösen des Latch-Up-Effekts zu vermeiden, versucht man mit Hilfe technologischer Maßnahmen kleine Werte für die Stromverstärkungsfaktoren und für die Widerstände zu realisieren. Bei veralteten Technologien weist der vertikale pnp-Transistor einen Stromverstärkungsfaktor β größer als 50 auf. Moderne Technologien haben für β Werte zwischen 1 für 0,1 μm Strukturfeinheit und 20 für 1 μm Strukturfeinheit. Deswegen sind moderne Technologien weniger Latch-Up anfällig als die alten Technologien. Der laterale Transistor, bei dem das p-Substrat die Basis und die n-Wanne den Kollektor bildet, hat eine Stromverstärkung b zwischen 0,5 und 10. Wegen der begrenzten freien Weglänge nimmt jedoch die Stromverstärkung des lateralen Transistors exponentiell ab, wenn der Abstand zwischen n^+ -Emitter und der n-Wanne zunimmt.

In Bild 2.98 nicht eingezeichnet ist ein parasitärer MOS-Transistor, der sich unter dem Feld-Oxid an der Wannengrenze befindet. Die Source- und Drain-Gebiete dieses MOS-Transistors werden von p^+ -Gebieten an der Wannengrenze und dem p-Substrat gebildet. Das Gate kann durch Leiterbahnen über dem Feld-Oxid entstehen. Um ein teilweises Öffnen des Feld-Oxid-Transistors und damit ein Auslösen des Latch-Up-Effektes zu verhindern, muss ein Mindestabstand zwischen p^+ -Gebieten in der Wanne und der Wannengrenze beim Entwurf eingehalten werden. Damit wird erreicht, dass die Einsatzspannung des Feld-Oxid-Transistors entsprechend den Dotierungen und der Dicke des Feld-Oxids sehr groß ist.

Somit ergibt sich für die CMOS-Technologie zur Verhinderung des Latch-Up-Effektes ein Mindestabstand von n^+ - und p^+ -Gebieten, der die erzielbare Integrationsdichte begrenzt.

Der Wannenwiderstand R_W beträgt etwa 1 k Ω bis 20 k Ω . Besteht das Substrat aus einer schwach p-dotierten Epi-Schicht auf einem p^+ -Grundmaterial, weist der Substratwiderstand nur einige Ohm auf. Da der Latch-Up-Effekt entweder zum Chipausfall oder zur Fehlfunktion führt, soll nun näher erläutert werden, welche Störungen möglicherweise Latch-Up verursachen können.

Am gefährdetsten sind Ein- und Ausgangsstrukturen. Dort fließen große Ströme und wegen der dort vorhandenen Induktivitäten und Kapazitäten sind Spannungsschwankungen an Ausgangsleitungen möglich. Aber auch im Innern eines CMOS-Schaltkreises kann Latch-Up auftreten. Werden mehrere interne Treiberschaltungen gleichzeitig eingeschaltet, so treten auf den U_{DD} - und U_{SS} -Leitungen Spannungsschwankungen auf, die Latch-Up auslösen können. Über den pn-Übergang am Rande der n-Wanne fließen Sperrströme, die laterale Spannungsabfälle verursachen und damit den vertikalen Transistor in der n-Wanne in den leitenden Zustand versetzen können.

Durch Röntgen- oder α -Strahlen erzeugte Elektronen-Loch-Paare können ebenfalls den Latch-Up-Effekt auslösen, genauso wie durch heiße Elektronen verursachte Minoritätsträgerströme in der Nähe der Wannengrenze.

Eine detaillierte Beschreibung der Auslösemechanismen müsste die dreidimensionale Struktur und die Spannungsschwankungen während der Schaltvorgänge berücksichtigen. Dies ist jedoch analytisch praktisch nicht möglich. Man ist auf Simulationen angewiesen, die zu folgenden Bedingungen für das Auslösen des Latch-Up-Effektes führen: Die äußeren Störungen müssen die beiden bipolaren Transistoren in einen Zustand bringen, indem die Kleinsignalschleifenverstärkung größer als 1 ist.

Für den Schaltungstechniker gibt es einige Regeln, deren Einhaltung die Wahrscheinlichkeit für das Auslösen des Latch-Up-Effektes reduziert:

- Jede Wanne muss genügend Wannenkontakte haben. Was genügend heißt, ist ein Erfahrungswert und ist von Technologie zu Technologie unterschiedlich.
- Jeder Substrat- oder Wannenkontakt sollte möglichst niederohmig an das entsprechende Versorgungsspannungs-Pad angeschlossen werden.
- Substrat- bzw. Wannenkontakte sollten möglichst nah an die Source-Gebiete von Transistoren, die an die Versorgungsspannungen angeschlossen sind, gelegt werden.
- „Fingerstrukturen“, die n- und p-Transistoren miteinander verzahnen, sollten vermieden werden.

Ein- und Ausgangsschaltungen müssen besonders sorgfältig entworfen werden. Deswegen benötigt man hier einige zusätzliche Regeln:

- Ein ausreichender Abstand zwischen Bondpads und Treibertransistoren ist einzuhalten.
- Um die Potentialänderungen im Substrat bzw. in den Wannen zu vermeiden, sollten Diffusionsgebiete (Guard-Rings), die an die entsprechenden Versorgungsspannungen angeschlossen sind, um die Treibertransistoren gezeichnet werden. Wannen- bzw. Substratkontakte sind an Ein- und Ausgangsschaltungen nicht ausreichend.

2.2.3.2 Designregeln

In der modernen Halbleitertechnik ist es möglich und notwendig, zwischen der Herstellung der Wafer und den Designarbeiten, die den Entwurf der Masken beinhalten, zu trennen. Hierzu benötigt man aber eine eindeutige Schnittstelle zwischen der Technologie und der Schaltungstechnik. Auf der untersten Ebene, das ist die Ebene, die dem Designer die größte Freiheit lässt, gehört zur Beschreibung der Schnittstelle ein Satz von zulässigen Geometrien – den Designregeln – und eine Beschreibung der elektrischen Eigenschaften der einzelnen Bauelemente, wie Widerstände, Kapazitäten, Verbindungsleitungen und Transistoren. Die elektrischen Eigenschaften werden meistens mittels geeigneter Eingaben für das Netzwerkanalyseprogramm

SPICE festgelegt (Kapitel 2.1.13). In diesem Kapitel sollen die Designregeln näher erläutert werden.

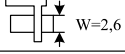
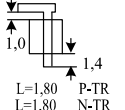
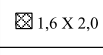
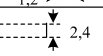
MASKE	STRUKTUR	FARBEN HANDZ. PLOT		ABSTAND	BREITE	ÜBERLAPPUNG	TRANSISTOR
1 = A LOCOS	DUNKEL	SCHWARZ		 2,6	 1,4	 1,0	 W=2,6
3 = C POLY 1	DUNKEL	ROT		 1,80	 1,6	 1,0	 L=1,80 L=1,80 P-TR N-TR
4 = D POLY 2	DUNKEL	GRÜN		 1,80	 1,6	 1,0	
5 = E KONTAKT	HELL	BRAUN	GRÜN SCHRAF	 1,4	 1,6 X 1,6		
6 = F METALL 1	DUNKEL	BLAU		 2,0	 2,0	 1,0	
7 = G SCHUTZ- OXID	HELL		ROT SCHRAF			 5	
11 = L VIA	HELL	SCHWARZ SCHRAF			 1,6 X 2,0	 1,0	VIAHOLE NUR ZU METALL 1
12 = M METALL 2	DUNKEL	BLAU STRICHLIERT		 3,0	 2,0	 1,0	
22 HILFS- EBENE		GELB	ROT STRICH- PUNKT		 1,2	 1,0	SUBSTRATKONTAKT
24 = Y N-WELL	HELL	GRÜN STRICHLIERT			 2,4	 2,0	LOCOS

Bild 2.100 Schematische Darstellung einiger wichtiger Designregeln.

Designregeln ermöglichen es dem Schaltungsentwickler, ohne genaue Kenntnis der jeweiligen Technologie, Schaltungen zu entwerfen, die von der Technologie mit hoher Ausbeute, das heißt mit geringem Ausschuss, hergestellt werden können und die im Langzeitbetrieb die Spezifikationen zuverlässig einhalten. Die Designregeln beinhalten unter anderem Angaben über minimal zulässige Werte für Weiten, Abstände und Überlappungen. Eine typische Designregel ist z. B.: die minimale Weite einer Aluminiumbahn beträgt $0,1\ \mu\text{m}$ und der Abstand zwischen zwei Aluminiumbahnen darf nicht kleiner als $0,1\ \mu\text{m}$ sein. Eine Designregel ist nur dann sinnvoll, wenn sie anhand des Layouts durch ein Rechnerprogramm – Design Rule Check (DRC) Programm – auf Einhaltung geprüft werden kann.

Der Umfang von einem Satz von Designregeln reicht von zwei Seiten umfassenden „lambda“-Designregeln von C. Mead und L. Conway [144] bis zu sehr umfangreichen mehr als hundertseitigen Regelwerken für moderne sub- μm -Technologien. Bild 2.100 zeigt für eine $1\ \mu\text{m}$ -Technologie einige wichtige Designregeln.

Designregeln stellen keine harte Grenze zwischen herstellbaren und nicht herstellbaren Designs dar. Sie sichern für die korrekte Herstellung und für den nachfolgenden störungsfreien Betrieb eine hohe Wahrscheinlichkeit. Designs, die die De-

signregeln verletzen, können bei geringen Stückzahlen zufälligerweise einwandfrei hergestellt werden.

Bei der Erstellung von Designregeln muss ein ausgewogener Kompromiss zwischen den Produkteigenschaften (wie minimale Chipfläche und größtmögliche Verarbeitungsgeschwindigkeit) und Herstellungsgesichtspunkten (wie Ausbeute und Zuverlässigkeit) gefunden werden. Dieser Kompromiss kann nur von Spezialisten aus den Bereichen Technologie, Halbleiterphysik und Schaltungstechnik gemeinsam erarbeitet werden. Der Kompromiss wird anhand eines Leitproduktes mit sehr hoher Stückzahl, wie Mikroprozessoren und SRAM- oder DRAM-Bausteinen entwickelt und ist dann für alle anderen Produkte, die in derselben Technologie hergestellt werden, verbindlich.

Die Designregeln werden maßgeblich von den Eigenschaften der verwendeten Phototechnik bestimmt. Von der minimal herstellbaren Struktur leiten sich die Regeln ab, die minimale Weiten und Abstände von Strukturen festlegen. Da die verschiedenen Masken zueinander nur mit einem gewissen Fehler justiert werden können, sind weitere Regeln notwendig. Daraus folgen Bestimmungen, wie zum Beispiel, dass ein Kontaktloch zwischen Diffusionsgebiet und Polysiliziumbahn, das meistens die Form eines Quadrats aufweist, einen bestimmten Abstand zu den Rändern des Diffusionsgebiets und zu den Rändern der Polysiliziumbahn haben muss. Bei diesen Designregeln werden auch Toleranzen von Ätzprozessen berücksichtigt. Damit wird gewährleistet, dass die Übergangswiderstände einen bestimmten Wert nicht überschreiten und dass die Strombelastung nicht zu Ausfällen führt.

Der selbstjustierende Herstellungsprozess von MOS-Transistoren bedingt einen weiteren Satz von Designregeln. Liegt das Polysilizium über einem aktiven Bereich und bildet somit das Gate eines Transistors, dient es als Maske für die Implantation der Source- und Drain-Gebiete. Durch eine Endkappe, das heißt einer Überlappung des Polysiliziums mit dem Feld-Oxid, wird sichergestellt, dass bei der Implantation der Source- und Drain-Gebiete trotz Herstellungstoleranzen keine leitende Verbindung zwischen Source und Drain auftritt. Zusätzlich wird durch einen Mindestabstand zwischen den aktiven Bereichen und Polysiliziumbahnen verhindert, dass ungewollt Transistoren entstehen. Weitere Regeln legen die Abstände von Kontaktlöchern zum Gate fest. Damit der Strom über die gesamten Source- und Drain-Gebiete fließt, sollten so viele Kontaktlöcher wie möglich implementiert werden.

Wie in Kapitel 2.2.3.1 bereits erläutert wurde, führen Maßnahmen zur Vermeidung des Latch-Up-Effektes zu Designregeln, die den Mindestabstand von Diffusionsgebieten in einer Wanne zur Wannengrenze und zu den Diffusionsgebieten im benachbarten Substrat oder in den benachbarten Wannen festlegen.

Es wurde bereits die enorme Bedeutung der Phototechnik für die Erstellung der Designregeln betont. Bei minimalen Strukturen unter 100 nm wird diese Abhängigkeit noch stärker, da die Herstellung der Strukturen nun auch von deren Umgebung abhängig ist. Deswegen verdreifachte sich die Zahl der Designregeln beim Übergang von der 130 nm-Technologie zur 90 nm-Technologie. Die Definition, die Pflege, und die Verifikation der Designregeln ist ein zeitraubender und fehleranfälliger Prozess. Der dramatische Anstieg der Zahl der Designregeln hat seine Ursache darin, dass eine zufriedenstellende Beschreibung der Zusammenhänge zwischen Struk-

turen, die in einem zweidimensionalen Raum angeordnet sind, fehlt. Es ist möglich, dass kein endlicher Satz von Regeln im Stande ist, die Feinheiten und die Raffinesse des Herstellungsprozesses im Nanometerbereich zu beschreiben. Erschwerend kommt hinzu, dass irgendeine Änderung in der Phototechnik einen neuen Satz an Designregeln bedingt, da jede Auflösung erhöhende Maßnahme (RET) eine andere Konfiguration benötigt.

Einen Ausweg aus dem Problem stellt eine strikte Beschränkung der auf den Chip zulässigen Strukturen dar. Mittels der Beschränkungen wird die Zahl der Designregeln auf ein handhabbares Maß reduziert. Gleichzeitig wird garantiert, dass die Chips mit einem geringen Ausschuss hergestellt werden können. Beispiele derartiger Designregeln sind:

- Wenn die Struktur kleiner als ein bestimmtes Maß ist (z. B. 120 nm), dann ist ihr Wert vorgegeben (90 nm).
- Alle schmalen Strukturen weisen dieselbe Orientierung auf. Zum Beispiel sollten alle Transistoren die gleiche Richtung haben. Leiterbahnen müssen hierzu parallel oder senkrecht angeordnet werden. Alle anderen Richtungen sollten vermieden werden.
- Strukturen können nur mittels eines vorgegebenen Gitters gezeichnet werden.
- Vor allem müssen reguläre Strukturen entworfen werden.

Diese Regeln haben vom Standpunkt der Phototechnik aus gesehen eine hohe Attraktivität. Jedoch besteht die Gefahr, dass eine 30%-Reduktion der minimal zulässigen Strukturgröße nicht eine Verdopplung der Integrationsdichte bewirkt, das heißt die beabsichtigte Kostenreduktion kann mit der Einführung der neuen Technologiegeneration gefährdet sein.

Eine Alternative zur Beschränkung der zulässigen Strukturen und damit der Zahl der Designregeln, bietet der modellbasierte Entwurf. Anstatt Designregeln einzusetzen, wird ein Modell des Herstellungsprozesses erstellt, mit dessen Hilfe entschieden wird, ob eine bestimmte Konfiguration herstellbar ist oder nicht. Das Modell sollte alle herstellungsbedingten und elektrischen Aspekte umfassen. Dies umfasst den Herstellungsprozess, inklusive Photolithographie, Maskentechnik, Oxidationsprozesse, Ätzprozesse, Abscheidvorgänge und Ionenimplantationen, sowie die Beschreibung der elektrischen Bauelemente, wie Widerstände, Kapazitäten, Induktivitäten und Transistoren. Mittels eines derartigen Modells könnte die Herstellbarkeit von Schaltungen, einschließlich ihrer elektrischen Eigenschaften, besser abgeschätzt werden, als es gegenwärtig anhand von binären Designregeln möglich ist.

Solange dieses Modell nicht zur Verfügung steht, müssen die Designer, anders als es in der Vergangenheit üblich war, ebenfalls zur Herstellbarkeit der integrierten Schaltungen beitragen. Zum Beispiel, indem die vorher erwähnten Einschränkungen berücksichtigt werden. Dies gilt insbesondere für das Gebot reguläre Strukturen zu entwerfen. Ein Maß für die Herstellbarkeit ist die Ausbeute, die im nächsten Abschnitt behandelt wird.

2.2.3.3 Ausbeute

Auch bei strikter Einhaltung der Designregeln werden nicht alle Chips, die gleichzeitig auf einem Wafer hergestellt werden, vollständig funktionsfähig sein. Maskenfehler, Staubpartikel auf der Maske oder dem Silizium-Wafer, Defekte im Siliziummaterial unter anderem verursachen fehlerhafte Chips. Ein einziger, genügend großer Fehler (Defekt) kann einen ganzen Chip ausfallen lassen. Ein Maß für die Qualität der Produktion ist der Ausschuss. Da in der Anfangszeit der IS-Herstellung der Ausschuss groß war, hat sich der in Halbleiterindustrie der Ausdruck Ausbeute (Yield Y) durchgesetzt

$$Y = \frac{\text{Zahl der funktionsfähigen Chips pro Wafer}}{\text{Gesamtzahl der Chips pro Wafer}} \quad (2.152)$$

Bevor in der Betrachtung weiter gegangen werden kann, muss der Begriff „Defekt“ näher erläutert werden. Zunächst werden nur Fehler betrachtet, die zu Ausfällen von digitalen Schaltungen führen; analoge Schaltungen werden nicht berücksichtigt.

Damit bleiben parametrische Fehler, die die elektrischen Eigenschaften oder die Zuverlässigkeit aber nicht die logische Funktion ändern, unberücksichtigt. Zum Beispiel kann ein Staubkorn auf der Maske bewirken, dass eine Leiterbahn wesentlich schmaler, als im Entwurf vorgesehen, hergestellt wird. Dies ändert den Widerstand der Leiterbahn und damit möglicherweise die Schaltzeit oder wegen „Elektromigration“ die Zuverlässigkeit, aber die logische Funktion ist davon nicht berührt. Weiter werden systematische Fehler, die mit prinzipiellen Problemen im Design oder im Herstellungsprozess zusammenhängen und die oft große Flächen auf den Wafern betreffen, zunächst nicht berücksichtigt. Die Zahl der funktionsfähigen Chips wird mittels Test auf dem Wafer bestimmt.

Die meisten Berechnungen der Ausbeute beginnen mit den Annahmen, dass eine zufällige Verteilung von Punktdefekten mit einem Mittelwert D_0 vorliegt und dass die Ereignisse, die zu Defekten führen, statistisch von einander unabhängig sind. Die Poisson-Verteilung beschreibt die Wahrscheinlichkeit des Auftretens von isolierten Ereignissen (hier Defekte) in einem Kontinuum (der Zeit, der Länge oder wie hier der Fläche)

$$P(x = k) = \frac{\lambda^k}{k!} \cdot e^{-\lambda} \quad \text{für } 0, 1, 2, \dots \quad (2.153)$$

- k Anzahl der Ereignisse
- λ Erwartungswert und Varianz; Erwartungswert für die Zahl der Defekte; mittlere Defektzahl .

Die Wahrscheinlichkeit dafür, dass kein Defekt auftritt, berechnet sich zu [201, 155, 200]

$$Y = e^{-\lambda} \quad (2.154)$$

Es lässt sich eine mittlere Defektdichte D_0 definieren

$$D_0 = \lambda / A \quad . \quad (2.155)$$

A bezeichnet die kritische Fläche, die für die Defekte empfindlich ist.

Die Gleichungen 2.154 und 2.155 zeigen die dramatische Abhängigkeit der Ausbeute von der Chipfläche und der Defektdichte. In der Produktion sind äußerste Anstrengungen notwendig, um die Anzahl der Defekte, die oft von Staubpartikeln verursacht werden, zu reduzieren. Im Vergleich zur freien Luft ist die Anzahl der Staubpartikel mit einem Durchmesser größer als $0,1\mu\text{m}$ in einer Halbleiterfabrik um den Faktor 10^9 bis 10^{10} verringert. Dies entspricht der Reinraumklasse 1.

Chips, die eine hohe Stückzahl aufweisen und deren Kosten somit im Wesentlichen von den Herstellungskosten bestimmt werden, sollen mit möglichst kleiner Fläche entworfen werden. Mikroprozessoren, Speicherbausteine und Chips für den Mobilfunk erfüllen diese Bedingung. Zu bedenken ist, dass mit CAD-Werkzeugen, die der Bewältigung der Komplexität dienen, nicht die minimale Chipfläche und nicht die optimalen elektrischen Eigenschaften erreicht werden können. Redundante Schaltungen können für reguläre Strukturen, wie sie bei Speicher auftreten, die Ausbeute verbessern. Dies gilt besonders zu Beginn des Herstellungsprozesses. Bei redundanten Schaltungen können defekte Teilschaltungen durch Ersatzschaltungen ersetzt werden.

Nimmt man an, dass die mittlere Anzahl der Defekte sehr klein ist, gelangt man zu folgender Gleichung

$$Y = \frac{1}{1 + D_0 \cdot A} \quad . \quad (2.156)$$

Es stellte sich heraus, dass Gleichungen 2.154 und 2.155 nur schlecht die beobachtete Ausbeute als Funktion der Chipfläche wiedergeben. Daher hat B. T. Murphy vorgeschlagen die mittlere Defektdichte als eine Verteilungsfunktion $f(D)$ anzusehen, da die Anzahl der Defekte von Chip zu Chip und von Wafer zu Wafer variiert. Mit dieser Annahme kam B. T. Murphy zu folgender Gleichung [156]

$$Y = \int f(D) \cdot e^{-A \cdot D} \cdot dD \quad . \quad (2.157)$$

Die Gleichung 2.157 beschreibt den Zusammenhang zwischen experimentellen Ergebnissen und der Chipfläche bei der Annahme von passenden Verteilungsfunktionen sehr gut. Indem andere Autoren den Faktor Y_0 einführten, gelang es auch parametrische Fehler, systematische Fehler und Häufung von Fehlern zu berücksichtigen (siehe Gleichung 2.158). Y_0 enthält auch einen Flächenausnutzungsfaktor [12]. Systematische Fehler entstehen durch die Anordnung der Strukturen auf einem Chip. Unter parametrischen Fehlern versteht man Änderungen der elektrischen Eigenschaften, wie zum Beispiel die erzielbare Taktfrequenz. Die logische Funktion der digitalen Schaltung wird aber nicht geändert

$$Y = Y_0 \cdot \int f(D) \cdot e^{-A \cdot D} \cdot dD \quad . \quad (2.158)$$

Häufig wird die Gamma-Verteilung mit gutem Erfolg für die Verteilungsfunktion der Defektdichte $f(D)$ verwendet. Man erhält dann für die Ausbeute, wobei Y_0 nicht mehr die Fehlerhäufung beinhaltet [12, 148]

$$Y = Y_0 \cdot \left(1 + \frac{D_0 \cdot A}{\alpha} \right)^{-\alpha} \quad (2.159)$$

α Maß für das gehäufte Auftreten von Fehlern; kleine Werte beschreiben eine starke Häufung ($0,3 < \alpha < 5$).

Mit zunehmender Strukturverkleinerung nehmen die systematischen Fehler zu, die in Y_0 enthalten sind. Bei Technologien mit minimalen Strukturen von 90 nm oder 65 nm tragen die zufälligen Defekte weniger als 50 Prozent zur Gesamtzahl der Defekte bei. Bei noch kleineren Strukturen wird der Anteil der zufälligen Defekte weiter abnehmen.

Systematische Fehler sind vom Layout und von Spezifika des jeweiligen Produkts abhängig. Die Anordnung der Strukturen auf dem Chip beeinflusst wesentlich die Auflösung erhöhenden Maßnahmen (RET) bei der Photolithographie und damit wie gut die Strukturen von der Maske auf den Chip übertragen werden können. Auch andere Prozessschritte, wie zum Beispiel die Ionenimplantation, sind von den vorhandenen Strukturen, indem Ionen an den Kanten des Photolacks gestreut werden, abhängig. Aus alldem ergibt sich die zunehmende Verantwortung der Designer für die Ausbeute.

2.2.3.4 Wärmeableitung

Im Betrieb wird dem Chip Leistung zugeführt, die in Wärme umgewandelt wird und den Chip entsprechend folgender Gleichung aufheizt

$$T_j = T_{um} + \Theta_p \cdot P \quad (2.160)$$

T_j Sperrschichttemperatur (j = junction)
 T_{um} Umgebungstemperatur
 Θ_p thermischer Widerstand des Gehäuses in K/W
 P Verlustleistung.

Ein 40-pin-Keramikgehäuse hat einen thermischen Widerstand von etwa 10 bis 20 K/W. Nimmt man eine Umgebungstemperatur von 75°C an und lässt eine maximale Temperatur des Siliziums von 125°C zu, ergibt sich die Verlustleistung, die ohne besondere Kühlmaßnahmen zugelassen werden kann, zu

$$P_{max} = \frac{T_j - T_{um}}{\Theta_p} = \frac{125 - 75}{20} \text{ W} = 2,5 \text{ W} \quad .$$

Untersuchungen über die Zuverlässigkeit und die Lebensdauer der Chips haben den maximal zulässigen Wert für die Temperatur des Siliziums ergeben.

2.2.3.5 Parameterschwankungen

In den vorhergehenden Kapiteln wurde angenommen, dass ein Bauelement durch einen einzigen Satz von Parametern adäquat modelliert werden kann. In Wirklichkeit variieren die Eigenschaften der Bauelemente örtlich und zeitlich. Unter Variationen versteht man die Abweichungen von elektrischen Parametern eines Bauelementes von den beabsichtigten oder den entworfenen Werten. Die Variationen der elektrischen Eigenschaften von integrierten Schaltungen haben mehrere Ursachen. Dies sind einmal die umgebungsbedingten Schwankungen, die während des Betriebs entstehen, wie Variationen der Versorgungsspannung und der Chiptemperatur. Während des Herstellungsprozesses entstehen strukturelle Abweichungen der aktiven Bauelemente und der Verbindungsleitungen. Einmal entstanden, sind diese Abweichungen permanent. Im Laufe des Betriebs können noch zusätzlich Degradationserscheinungen auftreten, die die Langzeitstabilität der Schaltungen gefährden.

Die permanenten Schwankungen werden oft in drei Klassen unterteilt: bekannte systematische, bekannte zufällige und unbekannte Schwankungen [145]. Systematische Prozessschwankungen sind deterministische örtliche und zeitliche Parameteränderungen. Während zufällige Schwankungen die Eigenschaften jedes einzelnen Bauelements in einer willkürlichen Weise ändern.

Systematische Schwankungen sind im Allgemeinen örtlich korreliert. In der Praxis werden viele der systematischen Schwankungen, obwohl sie eine deterministische Ursache haben, in den Fällen, in denen die Ursachen unbekannt oder zu schwer zu modellieren sind, als zufällige Schwankungen behandelt. Die betrachtete Größe wird als stetige Zufallsvariable aufgefasst. Es kann der zentrale Grenzwertsatz der Statistik angewendet werden. Anschaulich besagt der zentrale Grenzwertsatz in vereinfachter Darstellung:

Zentraler Grenzwertsatz: Ein Merkmal sei durch die Überlagerung vieler Einzeleinflüsse (additiv) zusammengesetzt. Dabei liefere jeder Einzeleinfluss nur einen kleinen Beitrag zum Gesamtmerkmal, das heißt kein einzelner Einfluss darf dabei dominieren. Dann ist die zugehörige Zufallsvariable wenigstens näherungsweise normalverteilt.

Örtliche Schwankungen werden in Schwankungen zwischen benachbarten Bauelementen, auf einem Chip (WID Within Die), oder in Schwankungen zwischen den Bauelementen auf verschiedenen Chips D2D (Die to Die) oder W2W (Wafer to Wafer) oder L2L (Lot to Lot, Charge zu Charge) unterteilt. Die Schwankungen spiegeln die örtlichen wie auch die zeitlichen Charakteristiken des Herstellungsprozesses wieder. Dadurch werden Chips und Wafer mit unterschiedlichen Eigenschaften erzeugt. Die Parameter des Herstellungsprozesses, wie Dosierung, Prozessgeschwindigkeit, Vibrationen, Fokussierung bei der Photolithographie oder die Temperatur, variieren innerhalb eines Chips und von Chip zu Chip. Die Parameter, die in kleineren Abständen als die Ausmaße eines Chips schwanken, ergeben WID-Schwankungen.

Wirken sich die Schwankungen erst über größere Abstände aus, werden D2D-Schwankungen verursacht. Früher waren W2W- und L2L-Schwankungen am stärksten. Bei Technologien mit Strukturen kleiner als 100nm tragen WID und D2D-Schwankungen auch bei digitalen Schaltungen wesentlich zur gesamten Variabilität bei.

Viele Ursachen der systematischen Variabilität können den verschiedenen Schritten während des Herstellungsprozesses zugeordnet werden. Die Photolithographie und die Ätzprozesse tragen wesentlich zu Schwankungen von Länge und Weite der Bauelemente bei. Der Grund hierfür ist, dass der Abbildungsprozess bei Strukturen kleiner als die Wellenlänge des Lichts äußerst komplex ist. Auch Temperaturschwankungen wirken sich während des photolithographischen Prozesses aus. Variationen von Schichtdicken, wie Oxiddicke und Dicke von Verbindungsleitungen werden von Abscheide- oder Wachstumsprozessen verursacht. Auch CMP (chemische und mechanische Planarisierung) trägt hierzu bei. Andere elektrische Eigenschaften werden von Schwankungen der Dosierung verursacht. Zum Beispiel wird die Einsatzspannung von Schwankungen der Ionenimplantation bestimmt. Weiter beeinflussen Temperaturschwankungen während der Ausheilprozesse die elektrischen Eigenschaften. In modernen Technologien werden Überlappungsfehler, Maskenfehler und die Abhängigkeit von mechanischen Belastungen sowie die örtliche Umgebung und die Anordnung der Strukturen im Layout zu wichtigen Quellen von systematischen Schwankungen [145, 166].

Sowohl die Gestalt von Strukturen nach der Photolithographie als auch die Einflüsse, die von Layout abhängigen mechanischen Belastungen herrühren, können prinzipiell simuliert und damit vorhergesagt werden. Kennt man die Einflüsse auf die elektrischen Eigenschaften der Bauelemente, können diese im Designprozess berücksichtigt werden. Die deterministische Variabilität verschwindet. In der Tat ist dies der Kern von „Design For Manufacturability (DFM)“. Diese Strategie wird in Halbleiterfabriken zunehmend eingesetzt. In Kapitel 2.2.3.2 über Designregeln wurde bereits auf diesen Sachverhalt hingewiesen.

In der Praxis werden heute noch viele systematische Schwankungen als zufällige Variationen behandelt. Hierzu werden zwei Gruppen definiert. Da die Chips die Spezifikation erfüllen müssen, unabhängig davon von welchen Wafer oder Charge sie entnommen werden, werden D2D-, W2W und L2L-Schwankungen zu einer Gruppe zusammengefasst. Kennzeichnend für diese Gruppe ist, dass die Schwankungen eine hohe Korrelation über große Distanzen auf einem Chip haben, und dass daher alle Transistoren bzw. alle Bauelemente auf einem Chip in der gleichen Weise beeinflusst werden. Man spricht von globalen Schwankungen. Bild 2.101 zeigt beispielsweise die globale Chip zu Chip Schwankungen der Einsatzspannung U_T für eine 180nm Technologie. Die Werte innerhalb eines Chips sind konstant während von Chip zu Chip die Werte entsprechend der Standardnormalverteilung schwanken. Ähnliches gilt für Schwankungen der Kanallänge L .

Die zweite Gruppe umfasst Schwankungen, die die Korrelationen innerhalb eines Chips über kürzere Entfernungen zeigen. Gruppen von Bauelementen, zum Beispiel in Modulen, weisen die gleichen Abweichungen auf, aber von Modul zu Modul ergeben sich Unterschiede. Ursachen hierfür können unterschiedliche Aufgaben, wie

zum Beispiel Speicher oder Recheneinheit, oder unterschiedliche Designmethoden und Designzielsetzungen sein. In der Literatur wird diese Gruppe manchmal nicht erwähnt [34] oder den globalen Schwankungen zugeordnet. Zur Erinnerung sei betont, dass es sich bei beiden Gruppen um systematische Abweichungen handelt.

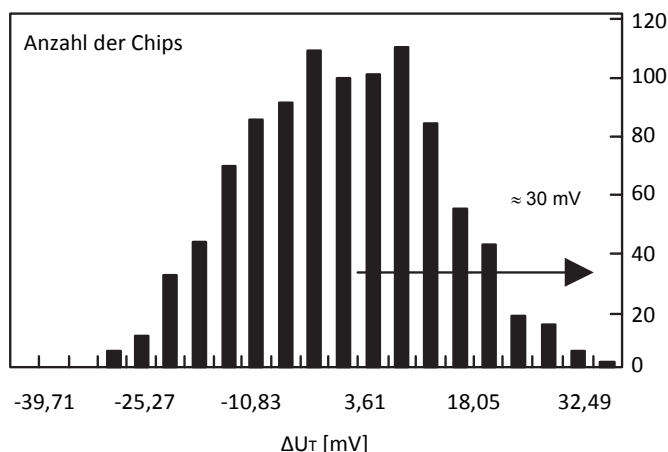


Bild 2.101 Chip zu Chip Schwankungen der Einsatzspannung U_T für eine 180-nm-Technologie [19]. 3σ -Wert: 30mV.

Neben den systematischen Abweichungen gibt es noch rein zufällige Abweichungen. Schwankungen auf der atomaren Ebene. Die diskrete Natur von Ladungen und von Licht sowie die Granularität der verwendeten Materialien sind die Ursachen hierfür. Betroffen sind vorrangig benachbarte gleichartige Bauelemente. Zum Beispiel haben benachbarte Transistoren oder Kapazitäten etwas unterschiedliche Parameter. Diese dritte Gruppe hat Schwankungen, die ebenfalls mit der Standardnormalverteilung beschrieben werden können. Den Mittelwert der lokalen Schwankung erhält man aus der Verteilungsdichtefunktion der entsprechenden globalen Schwankung. Die Varianz der lokalen Schwankungen ist meistens umgekehrt proportional zur Fläche der Bauelemente [172] und unabhängig von der Varianz der globalen Schwankungen (siehe Gleichung 2.183).

In der Vergangenheit war es für digitale Schaltungen ausreichend, nur die globalen Schwankungen zu berücksichtigen. Daher konnte man SPICE-Parametersätze für die einzelnen Bauelemente für die besten Werte, für die typischen Werte und die schlechtesten Werte definieren. Mit diesen Sätzen konnte relativ einfach geprüft werden, ob trotz Schwankungen der Herstellungsparameter die Chips die geforderten Spezifikationen erfüllen und somit eine hohe Ausbeute erzielbar ist.

Um den Entwurfsprozess einer integrierten Schaltung zu vereinfachen, garantieren die Prozessingenieure, dass die zu erwartenden Prozessschwankungen mit hoher Wahrscheinlichkeit bestimmte Grenzwerte nicht überschreiten werden. Dies wird erreicht, indem unter anderem so genannte Prozesskontrollkarten geführt werden, anhand derer man frühzeitig Abweichungen vom Sollprozess erkennt. Natürlich

verlangen die Schaltungsentwickler möglichst enge Grenzen für die Toleranzen, um möglichst gute elektrische Eigenschaften zu erzielen, während die Prozessingenieure, um hohe Ausbeuten zu erreichen, die Grenzen möglichst weit festlegen wollen. Ausgehend von Erfahrungswerten, die auf der Entwicklung von Leitprodukten beruhen, legen Schaltungsentwickler und Prozessingenieure gemeinsam die „typical“, die „best case“ und die „worst case“ SPICE-Parametersätze fest.

Relativ einfach ist die Definition des typischen Parametersatzes. Man kann die Sollwerte oder die Mittelwerte der Bauelemente verwenden. Zusätzlich wird vorausgesetzt, dass alle pn-Übergänge eine Temperatur von 20°C aufweisen. Schließlich wird angenommen, dass die Versorgungsspannung dem Sollwert entspricht. Schwieriger ist die Definition von guten beziehungsweise schlechten Parametersätzen.

Trotz Herstellungstoleranzen soll mittels der geeigneten Definition von SPICE-Parametersätzen eine hohe Ausbeute erzielt werden. In den Spezifikationen wird vorrangig die angestrebte Gatterlaufzeit und die hierfür zulässige Verlustleistung angegeben. Ein wesentliches Kriterium für digitale Schaltungen ist somit die Gatterlaufzeit. Daher ist die Stromstärke der Transistoren von großer Bedeutung.

Ein „guter“ Transistor hat nach diesem Kriterium einen Drain-Strom, der größer als der Mittelwert ist. Umgekehrt hat ein „schlechter“ Transistor einen kleineren Drain-Strom. „Gute“ beziehungsweise „schnelle“ Transistoren ergeben sich, wenn zum Beispiel die Einsatzspannung und die Transistorlänge kleiner als die Sollwerte sind. Zusätzlich sollte noch die Versorgungsspannung U_{DD} größer als der Sollwert sein. Wegen des inversen Temperatureffekts ist die Wirkung einer höheren Temperatur von der effektiven Gate-Source-Spannung abhängig (siehe Kapitel 2.1.3.6). Im Allgemeinen wird eine geringere Temperatur einen höheren Drain-Strom bedingen. Bei einem „schlechten“ das heißt „langsamen“ Transistor muss man die entgegengesetzten Abweichungen zu Grunde legen. Aber es ist unwahrscheinlich, dass alle Abweichungen, die einen „guten“ beziehungsweise einen „schlechten“ Transistor bedingen, gleichzeitig auftreten.

Man sieht, dass die Definition von den besten oder den schlechtesten Parametersätzen der Gefahr ausgesetzt ist, künstliche Schranken festzulegen, die in Wirklichkeit nie erreicht werden, da die Wahrscheinlichkeit dafür, dass alle Parameter einseitig zu gut oder zu schlecht sind, sehr gering ist. Weiter werden Korrelationen nicht berücksichtigt. Dies ist ein weiterer Grund dafür, dass die Schätzergebnisse zu pessimistisch sein können. Simulationen mit den besten und den schlechtesten Parametersätzen bergen die Gefahr, Chips mit unnötiger großer Chipfläche und Verlustleistung bei zu großen Designanstrengungen und Kosten zu entwerfen. Der Vorteil ist, dass mit wenigen Simulationen geprüft werden kann, ob die Spezifikationen eingehalten werden können oder nicht.

Mit Monte-Carlo-Methoden könnte man die Schwankungen der Prozessparameter und der elektrischen Parameter besser bestimmen [168]. Jedoch ist der Simulationsaufwand sehr groß. Dies ist insbesondere in der Einführungsphase eines neuen Herstellungsprozesses der Fall, da in dieser Zeit die Mittelwerte und die Varianzen von der Zeit abhängen.

Für eine grobe Abschätzung, wie sich die Herstellungsschwankungen auf die Schaltzeiten auswirken, reicht es aus, nur die Schwankungen der Einsatzspannung und der Kanallänge zu berücksichtigen. Berechnet man die Schaltzeiten t_p eines Volladdierers auf dieser Basis, erhält man typischerweise folgende Bandbreite

$$\begin{aligned} t_{p,\text{worst case}}/t_{p,\text{typisch}} &= 1,5 \\ t_{p,\text{typisch}}/t_{p,\text{best case}} &= 1,5 \end{aligned}$$

Unabhängig davon, wie man die Parametersätze für den typischen, den besten und den ungünstigsten Fall definiert, müssen zusätzliche Überlegungen durchgeführt werden. Eine Verfeinerung ergibt sich, wenn man bedenkt, dass mit p-Kanal-Transistoren angeschlossene Lastkapazitäten aufgeladen werden, während mit n-Kanal-Transistoren die Kapazitäten entladen werden. Die gesamte Gatterlaufzeit ergibt sich aus dem Mittelwert der Entlade- beziehungsweise der Aufladezeit. Nun kann es sein, dass bei einem Inverter ein langsamer n-Kanal-Transistor zusammen mit einem schnellen p-Kanal-Transistor die Gatterlaufzeit bestimmt. Bei komplexeren Logikgattern haben die jeweiligen gleich dimensionierten Transistoren wegen den vorausgesetzten globalen Schwankungen gleiche Abweichungen. Insgesamt erhält man vier Kombinationen. Zusätzlich ermittelt man noch die elektrischen Eigenschaften, wenn die Transistoren den Sollwerten oder den typischen Werten entsprechen.

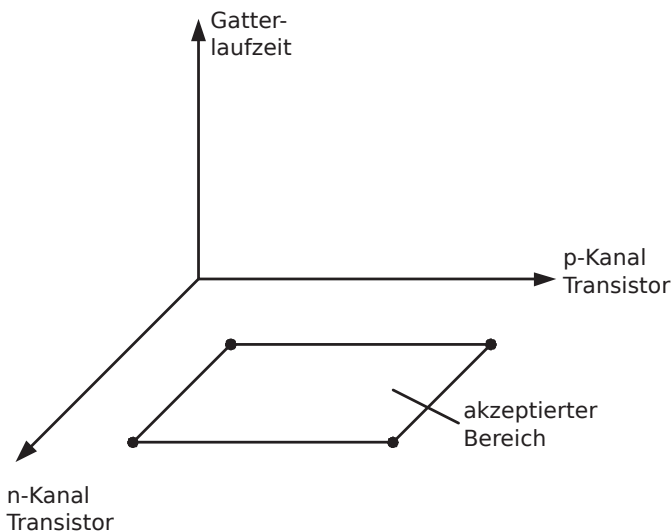


Bild 2.102 Designecken, die auf langsamen und schnellen n-Kanal- und p-Kanal-Transistoren beruhen.

Stellt man graphisch die Abhängigkeit der Gatterlaufzeit von der Stromstärke der beteiligten n-Kanal- und p-Kanal-Transistoren dar, ergeben sich vier Ecken (siehe Bild 2.102). Die Ecken werden von langsamen n-Kanal- und langsamen p-Kanal-

Transistoren (Slow-Slow, SS), oder von langsamen n-Kanal- und schnellen p-Kanal-Transistoren (Slow-Fast, SF), oder von langsamen p-Kanal- und schnellen n-Kanal-Transistoren (Fast-Slow, FS) oder schließlich von schnellen n-Kanal- und schnellen p-Kanal-Transistoren festgelegt (Fast-Fast, FF). Um sicher zu stellen, dass die Schaltung der Spezifikation entspricht, muss für jede „Ecke“ (Process Corner) eine Simulation durchgeführt werden. Die Ergebnisse dieser Simulationen müssen den Spezifikationen entsprechen (Verifikation). Der Begriff Designecke leitet sich von der Vorstellung ab, dass im Allgemeinen die Ecken einen Raum umschließen, der garantiert, dass die Spezifikationen auch bei Schwankungen eingehalten werden.

Die Zusammenhänge zu den Variationen der Transistorströme sollen im Folgenden noch etwas vertieft werden. Die dabei verwendeten Beispiele sind zwar idealisiert, entsprechen jedoch dennoch recht realistisch den Verhältnissen einer modernen 28 nm-Technologie. Die Sättigungs-Drain-Ströme I_{Dsat} eines einzelnen Transistortyps, z. B. der n-Kanaltransistoren gleicher Dimensionierung, auf einem Chip können in guter Näherung als („univariate“) Zufallsvariable mit gaußscher Normalverteilung beschrieben werden, d. h.

$$I_{\text{Dsat},n} \sim \mathcal{N}\left(I_{\text{Dn,mean}}^{\text{Chip}}, \sigma_n^{\text{Chip}}\right) \quad (2.161)$$

Dabei ist $I_{\text{Dn,mean}}^{\text{Chip}}$ der Mittelwert der Sättigungs-Drain-Ströme auf dem betrachteten Chip. σ_n^{Chip} ist die Standardabweichung der (lokalen Variationen der) Sättigungs-Drain-Ströme dieses Transistortyps. Für die Wahrscheinlichkeitsdichtefunktion dieser Zufallsvariablen gilt dann

$$f(I_{\text{Dsat},n}) = \frac{1}{\sqrt{2\pi\sigma_n^{\text{Chip}}}} \cdot e^{-\frac{1}{2}\left(\frac{I_{\text{Dsat},n} - I_{\text{Dn,mean}}^{\text{Chip}}}{\sigma_n^{\text{Chip}}}\right)^2} \quad (2.162)$$

und entspricht der bekannten, sogenannten gaußschen Glockenkurve (Bild 2.103a). Die Wahrscheinlichkeit P , dass der Sättigungs-Drain-Strom eines Transistors in dem zu $I_{\text{Dn,mean}}$ symmetrischen Intervall $\left[I_{\text{Dn,mean}}^{\text{Chip}} - \Delta I_{\text{Dn,max}}, I_{\text{Dn,mean}}^{\text{Chip}} + \Delta I_{\text{Dn,max}}\right]$ liegt, kann mithilfe der gaußschen Fehlerfunktion berechnet werden

$$\begin{aligned} P\left(I_{\text{Dn,mean}}^{\text{Chip}} - \Delta I_{\text{Dn,max}} \leq I_{\text{Dsat},n} \leq I_{\text{Dn,mean}}^{\text{Chip}} + \Delta I_{\text{Dn,max}}\right) \\ = \text{erf}\left(\frac{\left(I_{\text{Dn,mean}}^{\text{Chip}} + \Delta I_{\text{Dn,max}}\right) - I_{\text{Dn,mean}}^{\text{Chip}}}{\sqrt{2} \cdot \sigma_n^{\text{Chip}}}\right) \end{aligned} \quad (2.163)$$

Insbesondere beträgt die Wahrscheinlichkeit, dass der Sättigungs-Drain-Strom eines Transistors in dem Intervall von plus/minus einer Standardabweichungen um den Nominalwert herum liegt etwa 68,27%

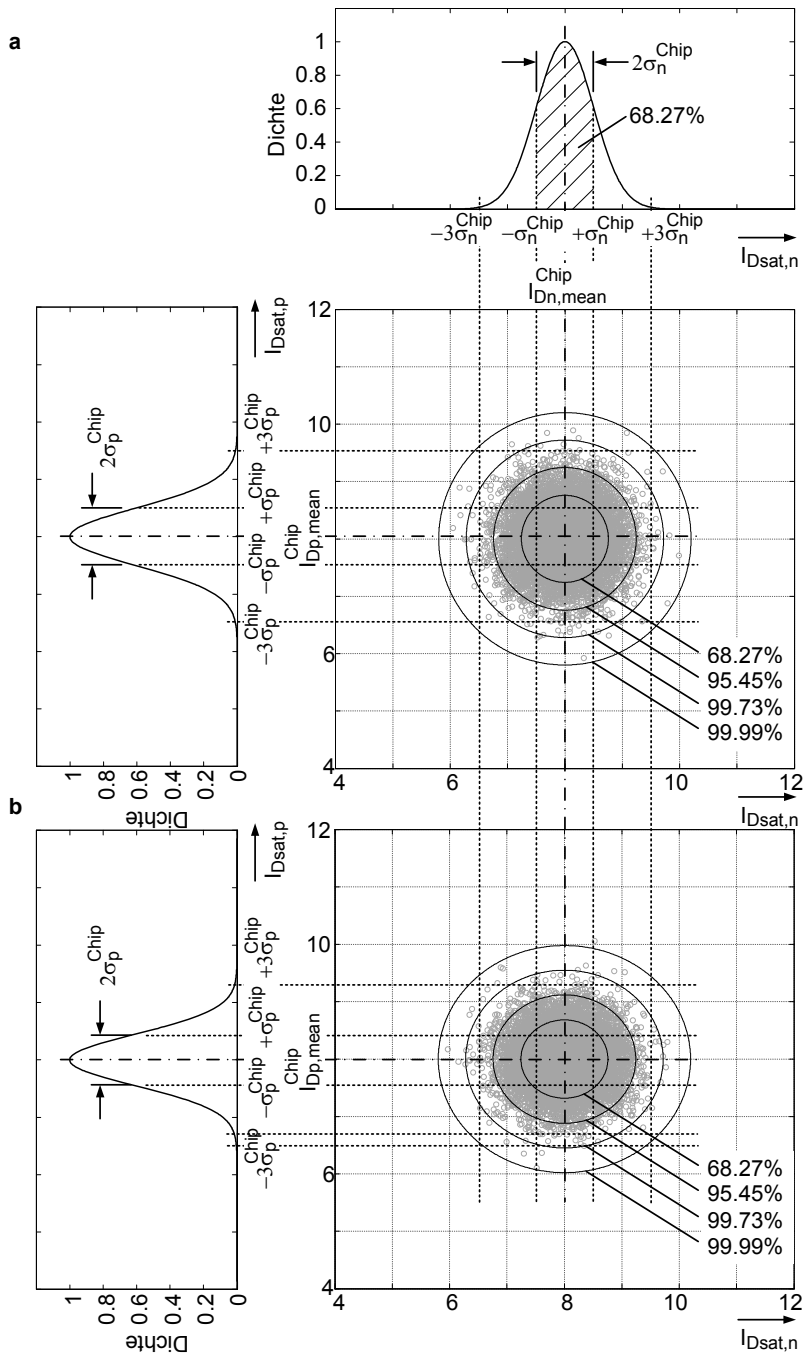


Bild 2.103 Vereinfachtes Beispiel zur zweidimensionalen Verteilung der lokalen Variationen der Transistorströme auf einem Chip

$$\begin{aligned}
 P\left(I_{\text{Dn,mean}}^{\text{Chip}} - \sigma_n^{\text{Chip}} \leq I_{\text{Dsat,n}} \leq I_{\text{Dn,mean}}^{\text{Chip}} + \sigma_n^{\text{Chip}}\right) \\
 = \text{erf}\left(\frac{1}{\sqrt{2}} \cdot \frac{\sigma_n^{\text{Chip}}}{\sigma_n^{\text{Chip}}}\right) = \text{erf}\left(\frac{1}{\sqrt{2}}\right) \approx 0,6827 \quad .
 \end{aligned} \quad (2.164)$$

Anschaulich ausgedrückt entspricht diese Wahrscheinlichkeit, wie in Bild 2.103a (oben) dargestellt, der Fläche unter der Wahrscheinlichkeitsdichtefunktion über dem Intervall $\left[I_{\text{Dn,mean}}^{\text{Chip}} - \sigma_n^{\text{Chip}}, I_{\text{Dn,mean}}^{\text{Chip}} + \sigma_n^{\text{Chip}}\right]$.

Für das Intervall von plus/minus drei Standardabweichungen beträgt die Wahrscheinlichkeit 99,73%. Beim sogenannten 3σ -Design wird damit sichergestellt, dass nur 0,27% der Transistorströme außerhalb der spezifizierten Grenzen von plus/minus drei Standardabweichungen liegen. Die Sättigungs-Drain-Ströme der p-Kanaltransistoren können natürlich völlig analog behandelt werden

$$I_{\text{Dsat,p}} \sim \mathcal{N}\left(I_{\text{Dp,mean}}^{\text{Chip}}, \sigma_p^{\text{Chip}}\right) \quad . \quad (2.165)$$

Die Laufzeit des einfachsten Logikgatters, eines Inverters, hängt natürlich von den Eigenschaften beider Transistortypen ab. D. h. es müssen nun zwei Zufallsvariablen, die Sättigungs-Drain-Ströme der n- und p-Kanal-Transistoren gleichzeitig berücksichtigt werden.

Dazu wird jedes Paar von Sättigungs-Drain-Strömen $(I_{\text{Dsat,n}}, I_{\text{Dsat,p}})$ als Vektor aufgefasst und als „bivariate“ Zufallsvariable behandelt. Gleichung 2.162 kann auch zu

$$f(I_{\text{Dsat}}) = \frac{1}{2\pi\sqrt{\det[\Sigma]}} e^{-\frac{1}{2}\left(I_{\text{Dsat}} - I_{\text{D,mean}}^{\text{Chip}}\right)^T \cdot [\Sigma]^{-1} \cdot \left(I_{\text{Dsat}} - I_{\text{D,mean}}^{\text{Chip}}\right)} \quad (2.166)$$

verallgemeinert werden [241]. Dabei ist

$$I_{\text{Dsat}} = \begin{bmatrix} I_{\text{Dsat,n}} \\ I_{\text{Dsat,p}} \end{bmatrix} \quad (2.167)$$

der die bivariate Zufallsvariable beschreibende Vektor,

$$I_{\text{D,mean}}^{\text{Chip}} = \begin{bmatrix} I_{\text{Dn,mean}}^{\text{Chip}} \\ I_{\text{Dp,mean}}^{\text{Chip}} \end{bmatrix} \quad (2.168)$$

der Vektor der zugehörigen Mittelwerte,

$$[\Sigma] = \begin{bmatrix} \sigma_{11} & \sigma_{12} \\ \sigma_{21} & \sigma_{22} \end{bmatrix} = \begin{bmatrix} \left(\sigma_n^{\text{Chip}}\right)^2 & \rho_{np} \cdot \sigma_n^{\text{Chip}} \cdot \sigma_p^{\text{Chip}} \\ \rho_{np} \cdot \sigma_n^{\text{Chip}} \cdot \sigma_p^{\text{Chip}} & \left(\sigma_p^{\text{Chip}}\right)^2 \end{bmatrix} \quad (2.169)$$

die Varianz-/Kovarianz-Matrix und $(\cdot)^T$ steht für die Transponierung. ρ_{np} ist der Korrelationskoeffizient zwischen den n- und p-Sättigungs-Drain-Strömen. Offensichtlich entsprechen die Hauptdiagonalelemente der Matrix $[\Sigma]$ den Varianzen $\sigma_{11} = (\sigma_n^{\text{Chip}})^2 = \text{Var}(I_{\text{Dsat},n})$ bzw. $\sigma_{22} = (\sigma_p^{\text{Chip}})^2 = \text{Var}(I_{\text{Dsat},p})$ und die Nebendiagonalelemente der Kovarianz $\sigma_{12} = \sigma_{21} = \rho_{np} \cdot \sigma_n^{\text{Chip}} \cdot \sigma_p^{\text{Chip}} = \text{Cov}(I_{\text{Dsat},n}, I_{\text{Dsat},p})$ der Sättigungs-Drain-Ströme. Man beachte, dass für eine multivariate Verteilung der konstante Vorfaktor in Gleichung 2.166 und Gleichung 2.167 gleich $(2\pi)^{-\frac{p}{2}}$ ist, wobei p der Zahl der Dimensionen entspricht. Die Varianz-/Kovarianz-Matrizen reellwertiger Zufallsvariablen sind symmetrisch und stets mindestens semipositiv definit. Da hier Spezialfälle wie $I_{\text{Dsat},n} = -I_{\text{Dsat},p}$ ausgeschlossen werden können, ist die Varianz-/Kovarianz-Matrix sogar immer positiv definit, sodass in Gleichung 2.167 deren Determinante nicht verschwindet, d.h. $\det[\Sigma] \neq 0$ und die inverse Matrix $[\Sigma]^{-1}$ existiert.

Das Bild der Wahrscheinlichkeitsdichtefunktion nach Gleichung 2.167 entspricht einer dreidimensionalen Glockenschale („Mexican Hat“) über der $(I_{\text{Dsat},n}, I_{\text{Dsat},p})$ -Ebene. Anstelle der Intervallgrenzen mit einer bestimmten Wahrscheinlichkeitsdichte für univariate Verteilungen treten bei den bivariaten Verteilungen Isodichte-Konturkurven. Das von einer solchen Kontur berandete Volumen unter der Glockenschale entspricht der zugehörigen Wahrscheinlichkeit.

Bild 2.103a zeigt 10000 Stichproben einer solchen Verteilung für den unkorrelierten Fall $\rho_{np} = 0$ in der $(I_{\text{Dsat},n}, I_{\text{Dsat},p})$ -Ebene und gleiche Standardabweichungen der Sättigungs-Drain-Ströme $\sigma_n^{\text{Chip}} = \sigma_p^{\text{Chip}} = 0,5$. Die Isodichte-Konturen entsprechen in diesem Fall konzentrischen Kreisen um den $(I_{\text{Dn,mean}}^{\text{Chip}} = 8, I_{\text{Dp,mean}}^{\text{Chip}} = 8)$ -Punkt. Das dargestellte Beispiel ist recht realistisch für den Fall einer 28nm-Technologie und minimal dimensionierten n-Kanal-Transistoren; die p-Kanal-Transistoren sind als so aufgeweitet angenommen, dass sie den gleichen mittleren Sättigungs-Drain-Strom wie die n-Kanal-Transistoren liefern. Die in Bild 2.103a gezeigten Konturen beranden die Wahrscheinlichkeiten 68,27%, 95,45%, 99,73% und 99,99%, d. h. diese entsprechen im Falle einer univariaten Verteilung gerade den Intervallgrenzen $\pm\sigma$, $\pm2\sigma$, 3σ und 4σ .

Die zugehörigen Randverteilungen, d. h. die univariaten Verteilungen der isoliert betrachteten Drain-Ströme $I_{\text{Dsat},n}$ und $I_{\text{Dsat},p}$ sind ebenfalls in Bild 2.103a (oben und links) gezeigt. Es fällt auf, dass die Konturkurven der bivariaten Verteilung deutlich ausgedehnter sind, als die Intervallgrenzen für gleiche Wahrscheinlichkeiten in den univariaten Randverteilungen. Dies ist anschaulich damit zu erklären, dass eine Stichprobe die in einer Dimension in dem betrachteten Intervall liegt, in der anderen Dimension außerhalb des betrachteten Intervalls liegen kann. Für gleiche Wahrscheinlichkeiten müssen daher die Konturen ausgedehnter sein, als dies den Intervallgrenzen der Randverteilungen entspricht. Formal kann dies durch geeignete Festlegung der sogenannten statistischen Distanz behandelt werden [241]: Im univariaten Fall ist die statistische Distanz c gleich dem auf die Standardabweichung normierten Abstand der Zufallsvariablen von ihrem Mittelwert, also z. B.

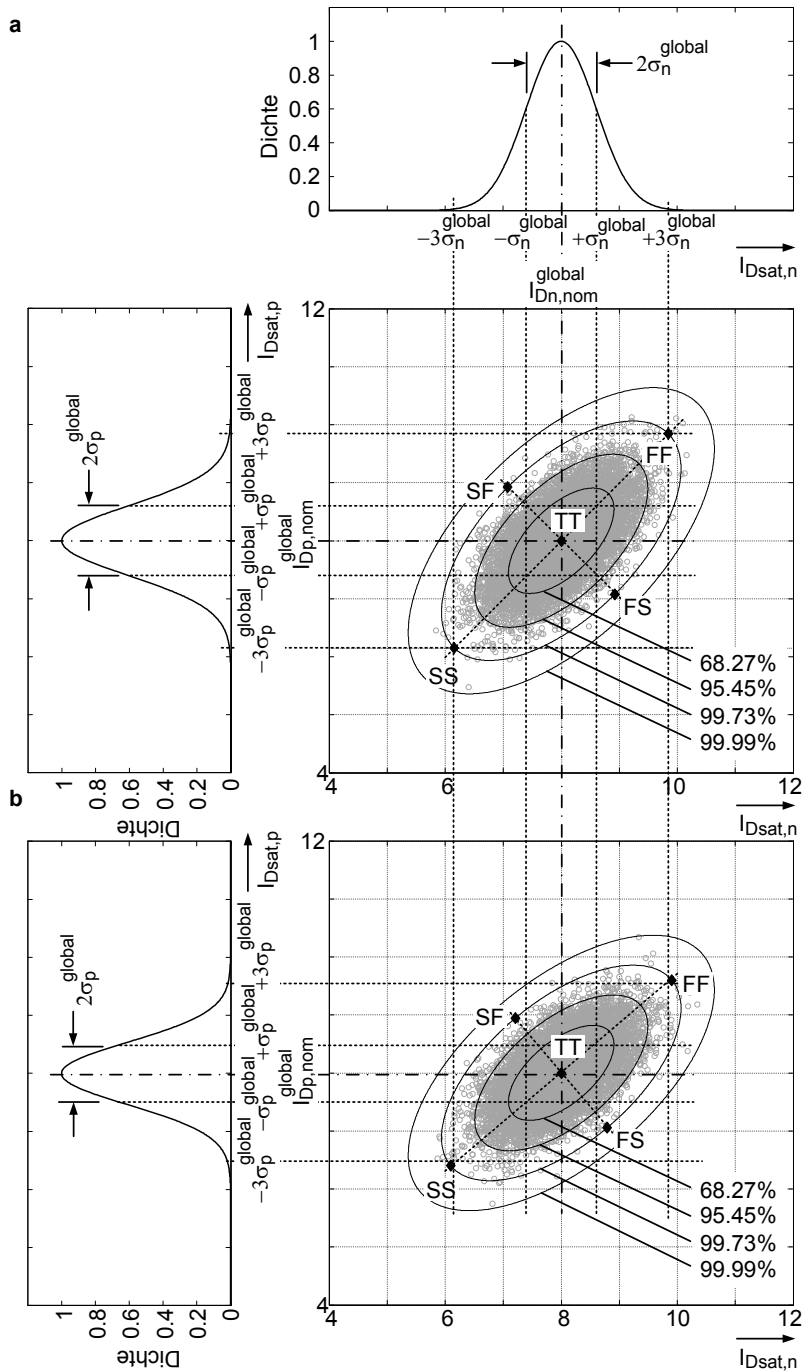


Bild 2.104 Vereinfachtes Beispiel zur zweidimensionalen Verteilung der globalen Variationen der Transistorströme und Definition der globalen Designeckern

$$c = \frac{I_{\text{Dsat},n} - I_{\text{Dp,mean}}^{\text{Chip}}}{\sigma_n^{\text{Chip}}} \quad \text{und} \quad (2.170)$$

$$c^2 = \left(I_{\text{Dsat},n} - I_{\text{Dp,mean}}^{\text{Chip}} \right) \left[\left(\sigma_n^{\text{Chip}} \right)^2 \right]^{-1} \left(I_{\text{Dsat},n} - I_{\text{Dp,mean}}^{\text{Chip}} \right) .$$

Mit Gleichung 2.164 ist dann die Wahrscheinlichkeit, dass z. B. $I_{\text{Dsat},n}$ im Intervall $\left[I_{\text{Dn,mean}}^{\text{Chip}} - c \cdot \sigma_n^{\text{Chip}}, I_{\text{Dn,mean}}^{\text{Chip}} + c \cdot \sigma_n^{\text{Chip}} \right]$ liegt

$$P \left(\left(\frac{I_{\text{Dsat},n} - I_{\text{Dn,mean}}^{\text{Chip}}}{\sigma_n^{\text{Chip}}} \right)^2 \leq c^2 \right) = \text{erf} \left(\frac{c}{\sqrt{2}} \right) \quad (2.171)$$

und die zu einer bestimmten Wahrscheinlichkeit gehörende statistische Distanz kann mit der inversen gaußschen Fehlerfunktion bestimmt werden

$$c = \sqrt{2} \text{erf}^{-1}(P) \quad . \quad (2.172)$$

Völlig analog gilt mit Gleichung 2.167 für die quadratische Distanz im bivariaten Fall

$$c^2 = \left(I_{\text{Dsat}} \right] - I_{\text{D,mean}}^{\text{Chip}} \left] \right)^T \cdot [\Sigma]^{-1} \cdot \left(I_{\text{Dsat}} \right] - I_{\text{D,mean}}^{\text{Chip}} \left] \right) \quad (2.173)$$

und auf den Isodichte-Konturen muss $c^2 = \text{const}$ gelten. Da der Exponent in der Dichtefunktion in Gleichung 2.167 eine Summe quadrierter Zufallszahlen ist, muss die zu einer bestimmten statistischen Distanz gehörende Wahrscheinlichkeit nun jedoch statt mit der gaußschen Fehlerfunktion mittels einer Chi-Quadrat-Verteilung ermittelt werden [240]

$$P \left(\left(I_{\text{Dsat}} \right] - I_{\text{D,mean}}^{\text{Chip}} \left] \right)^T \cdot [\Sigma]^{-1} \cdot \left(I_{\text{Dsat}} \right] - I_{\text{D,mean}}^{\text{Chip}} \left] \right) \leq c^2 \right) = F_{\chi_2^2}(c^2) \quad , \quad (2.174)$$

wobei $F_{\chi_2^2}(c^2)$ die Verteilungsfunktion einer Chi-Quadrat-Verteilung mit zwei unabhängigen Variablen ist. Die zu einer bestimmten Wahrscheinlichkeit P gehörende statistische Distanz kann also mit der inversen Chi-Quadrat-Verteilungsfunktion $F_{\chi_2^2}^{-1}(P)$ bestimmt werden

$$c = \sqrt{F_{\chi_2^2}^{-1}(P)} \quad . \quad (2.175)$$

Tabelle 2.6 zeigt für ausgewählte Wahrscheinlichkeiten die zugehörigen statistischen Distanzen für univariate und bivariate Verteilungen. Ein Vergleich der Distanzen zeigt deutlich die oben diskutierte Aufweitung der Konturen.

Für Bild 2.103a wurde angenommen, dass die Standardabweichungen der Sättigungs-Drain-Ströme gleich seien. Bild 2.103b zeigt eine $(I_{\text{Dsat},n}, I_{\text{Dsat},p})$ -Vertei-

Tabelle 2.6 Ausgewählte Wahrscheinlichkeiten P und zugehörige statistische Distanzen für univariate und bivariate Verteilungen.

Wahrscheinlichkeit P	Statistische Distanz c für univariate Verteilungen	Statistische Distanz c für bivariate Verteilungen
0,682 689 492	1,0	1,515 172 904
0,954 499 736	2,0	2,485 975 524
0,997 300 204	3,0	3,439 354 312
0,999 936 658	4,0	4,397 034 070
0,999 999 427	5,0	5,361 315 364
0,999 999 998	6,0	6,331 448 771

lung für den allgemeineren Fall leicht unterschiedlicher Standardabweichungen $\sigma_p^{\text{Chip}} = 0,9 \cdot \sigma_n^{\text{Chip}}$, d. h. die Streuung der p-Kanalströme ist um 10% kleiner als die der n-Kanalströme. Dies könnte z. B. in der oben erwähnten Aufweitung der p-Kanal-Transistoren („Pelgrom’s Law“) begründet sein. Die Konturkurven sind abgeflacht und entsprechen konzentrischen Ellipsen um den $(I_{\text{Dn,mean}}^{\text{Chip}}, I_{\text{Dp,mean}}^{\text{Chip}})$ -Punkt. Die Hauptachsen sind parallel zu den $I_{\text{Dsat,n}}$ - und $I_{\text{Dsat,p}}$ -Achsen orientiert und das Hauptachsen-Verhältnis entspricht dem Verhältnis der Standardabweichungen.

Bisher wurde angenommen, dass die Streuungen der n- und p-Kanal-Transistoren unkorreliert seien ($\rho_{np} = 0$). Für die „lokalen“ Streuungen („Mismatch“ der Transistoren) auf einem Chip, die maßgeblich stochastischer Natur sind und z. B. durch Random Dopant Fluctuation, Line Edge Roughness etc. verursacht werden, ist diese Annahme in guter Näherung berechtigt. Natürlich streuen die bisher betrachteten über einen Chip gemittelten Sättigungs-Drain-Ströme von Chip-zu-Chip, Wafer-zu-Wafer, Charge-zu-Charge und Fabrikationsstätte-zu-Fabrikationsstätte. Die diese „globalen“ Streuungen verursachenden Mechanismen beeinflussen häufig die n- und p-Kanal-Sättigungs-Drain-Ströme gleichermaßen, sodass diese Variationen signifikant korreliert sind.

Bild 2.104a zeigt eine typische bivariate Verteilung der n- und p-Kanal-Sättigungs-Drain-Ströme $(I_{\text{Dn}}^{\text{global}}, I_{\text{Dp}}^{\text{global}})$ (10 000 Stichproben) für einen Korrelationskoeffizienten von $\rho_{np}^{\text{global}}$ aufgrund globaler Variationen.

Die Mittelwerte werden als Nominalwerte $(I_{\text{Dn,nom}}^{\text{global}} = 8, I_{\text{Dp,nom}}^{\text{global}} = 8)$ aufgefasst und zunächst sei wieder angenommen, dass die Standardabweichungen für beide Transistortypen gleich seien $\sigma_n^{\text{global}} = \sigma_p^{\text{global}} = 0,6$. Die resultierenden Isodichte-Konturen konstanter statistischer Distanz für die Wahrscheinlichkeiten 68,27%, 95,45%, 99,73% und 99,99% sind konzentrische Ellipsen. Deren Hauptachsen sind nun aufgrund der Korrelation in einem Winkel von 45° zu den $I_{\text{Dn}}^{\text{global}}$ - bzw. $I_{\text{Dp}}^{\text{global}}$ -Achsen orientiert und definieren auf der Kontur für die Wahrscheinlichkeit 99,73% die Designecken für das 3σ -Design. Die Designecken können mittels Eigenwertzerlegung der Varianz-/Kovarianz-Matrix für die globalen Variationen

$$[\Sigma^{\text{global}}] = \begin{bmatrix} (\sigma_n^{\text{global}})^2 & \rho_{np}^{\text{global}} \cdot \sigma_n^{\text{global}} \cdot \sigma_p^{\text{global}} \\ \rho_{np}^{\text{global}} \cdot \sigma_n^{\text{global}} \cdot \sigma_p^{\text{global}} & (\sigma_p^{\text{global}})^2 \end{bmatrix} \quad (2.176)$$

bestimmt werden [240]: Da $[\Sigma^{\text{global}}]$ positiv definit ist, existiert die Eigenwertzerlegung mit der gilt

$$[\Sigma^{\text{global}}] \cdot [V] = [\Lambda] \cdot [V] \quad \text{mit } [\Lambda] = \begin{bmatrix} \lambda_1 & 0 \\ 0 & \lambda_2 \end{bmatrix} \quad \text{und } [V] = \begin{bmatrix} V_1 & V_2 \end{bmatrix} \quad , \quad (2.177)$$

wobei λ_1 und λ_2 die Eigenwerte und V_1, V_2 die zugehörigen Eigenvektoren sind. Für den Fall $\sigma_n^{\text{global}} = \sigma_p^{\text{global}}$ ergeben sich die normierten Eigenvektoren zu

$$V_1 = \sqrt{2} \cdot \begin{bmatrix} 1 \\ 1 \end{bmatrix} \quad \text{bzw.} \quad V_2 = \sqrt{2} \cdot \begin{bmatrix} 1 \\ -1 \end{bmatrix} \quad (2.178)$$

und diese sind in der Tat in einem Winkel von 45° zu den I_{Dn}^{global} - bzw. I_{Dp}^{global} -Achsen orientiert. Die zugehörigen Eigenwerte ergeben sich zu $\lambda_1 = (\sigma_n^{\text{global}})^2 + \rho_{np}^{\text{global}} \cdot \sigma_n^{\text{global}} \cdot \sigma_p^{\text{global}}$ bzw. $\lambda_2 = (\sigma_n^{\text{global}})^2 - \rho_{np}^{\text{global}} \cdot \sigma_n^{\text{global}} \cdot \sigma_p^{\text{global}}$. Für die Abmessungen der Ellipsen-Halbachsen a und b gilt dann $a = c \cdot \sqrt{\lambda_1}$ bzw. $b = c \cdot \sqrt{\lambda_2}$. Ausgehend von den Nominalwerten $(I_{Dn,\text{nom}}^{\text{global}}, I_{Dp,\text{nom}}^{\text{global}})$ kann damit die Lage der Designecken FF, SS, SF und FS bestimmt werden.

Offenbar stimmen für die vorliegende Kombination von Korrelationskoeffizient und Standardabweichungen in Bild 2.104a die Lagen der Designecken FF und SS zufällig recht gut mit den $3\sigma^{\text{global}}$ -Grenzen der Randverteilungen überein. Der Fall negativer Korrelationskoeffizienten ist hier nicht relevant.

Die Annahme $\sigma_n^{\text{global}} \approx \sigma_p^{\text{global}}$ ist für moderne CMOS-Technologien recht realistisch. Nur der Vollständigkeit halber sei in Bild 2.104b die Verteilung für den Fall, dass die Standardabweichung für die p-Kanal-Transistoren um 10% kleiner ist als die der n-Kanal-Transistoren, d.h. $\sigma_p^{\text{global}} = 0,9 \cdot \sigma_n^{\text{global}}$. Die Orientierung der Ellipsen-Hauptachsen entspricht nun nicht mehr einem Winkel von 45° zu den I_{Dn}^{global} - bzw. I_{Dp}^{global} -Achsen. Die Hauptachsen und damit die Designecken können jedoch dennoch, wie oben gezeigt, mittels Eigenwertzerlegung bestimmt werden.

Jede Stichprobe aus der Verteilung nach Bild 2.104a oder 2.104b entspricht den mittleren n- und p-Kanal-Strömen auf einem Chip. Auf diesem Chip streuen die Ströme dann zusätzlich entsprechend den oben diskutierten lokalen Variationen. Dies ist in Bild 2.105 beispielhaft für in den Designecken FF, SS, SF und FS lokalisierte Chips gezeigt. Für Bild 2.105 wurde angenommen, dass diese Variationen durch eine konstante lokale Verteilung

$$[\Sigma^{\text{lokal}}] = \begin{bmatrix} (\sigma_n^{\text{lokal}})^2 & \rho_{np}^{\text{lokal}} \cdot \sigma_n^{\text{lokal}} \cdot \sigma_p^{\text{lokal}} \\ \rho_{np}^{\text{lokal}} \cdot \sigma_n^{\text{lokal}} \cdot \sigma_p^{\text{lokal}} & (\sigma_p^{\text{lokal}})^2 \end{bmatrix} \quad (2.179)$$

mit $\sigma_n^{\text{lokal}} = \sigma_p^{\text{lokal}} = 0,5$ und $\rho_{np}^{\text{lokal}} = 0$ um die Nominalwerte ($I_{Dn,nom}^{XY}, I_{Dp,nom}^{XY}$) der jeweiligen Designecke XY mit $XY \in \{FF, SS, SF, FS\}$ beschrieben werden können. Tatsächlich ist natürlich im Allgemeinen die lokale Verteilung in gewissem Maß von der Lage der Stichprobe in der globalen Verteilung abhängig. Für reale moderne CMOS-Prozesse tendiert die lokale Streuung mit zunehmenden Strömen der Stichprobe dazu, in der globalen Verteilung etwas zuzunehmen.

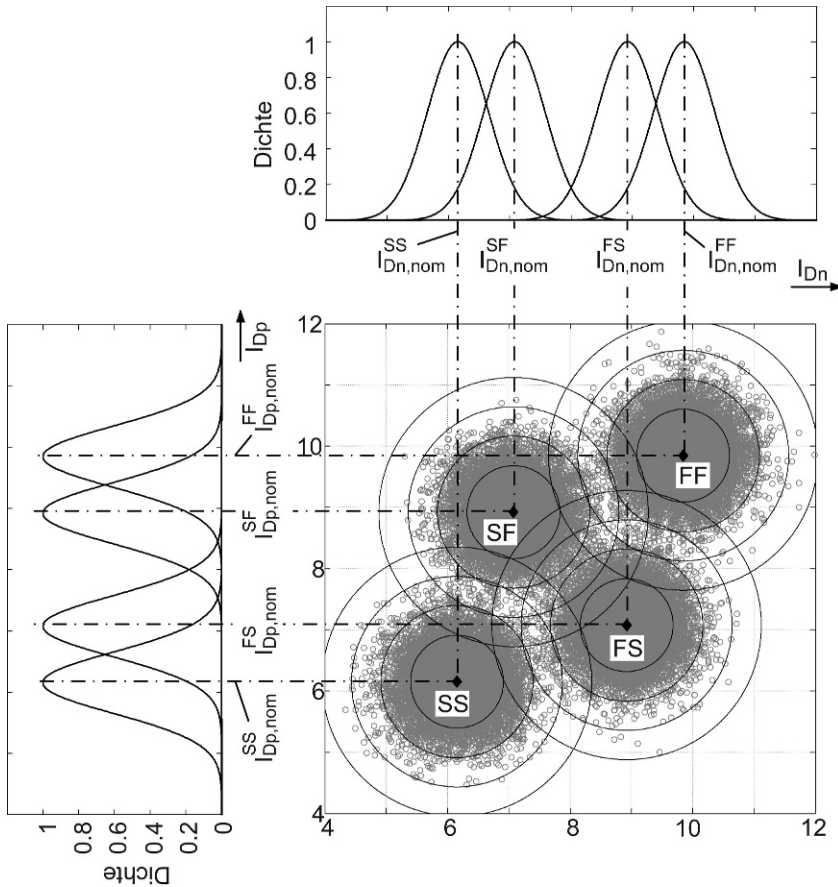


Bild 2.105 Darstellung der lokalen Variationen der Transistorströme in vier globalen Designecken

Da für multivariante Normalverteilungen im Prinzip die gleichen Rechenregeln gelten wie für univariate Normalverteilungen, kann im Falle einer konstanten lokalen Verteilung aus dieser und aus der globalen Verteilung die resultierende totale

Verteilung bestimmt werden: Dazu müssen lediglich die beiden Varianz-/Kovarianz-Matrizen addiert werden

$$\left[\Sigma^{\text{total}} \right] = \left[\Sigma^{\text{global}} \right] + \left[\Sigma^{\text{lokal}} \right]; \quad (2.180)$$

die Nominalwerte sind gleich den Nominalwerten der globalen Verteilung

$$\left(I_{\text{Dn,nom}}^{\text{total}}, I_{\text{Dp,nom}}^{\text{total}} \right) = \left(I_{\text{Dn,nom}}^{\text{global}}, I_{\text{Dp,nom}}^{\text{global}} \right) \quad (2.181)$$

Bild 2.106 zeigt die totale Verteilung für die Überlagerung der Beispiele nach Bild 2.103 und 2.104.

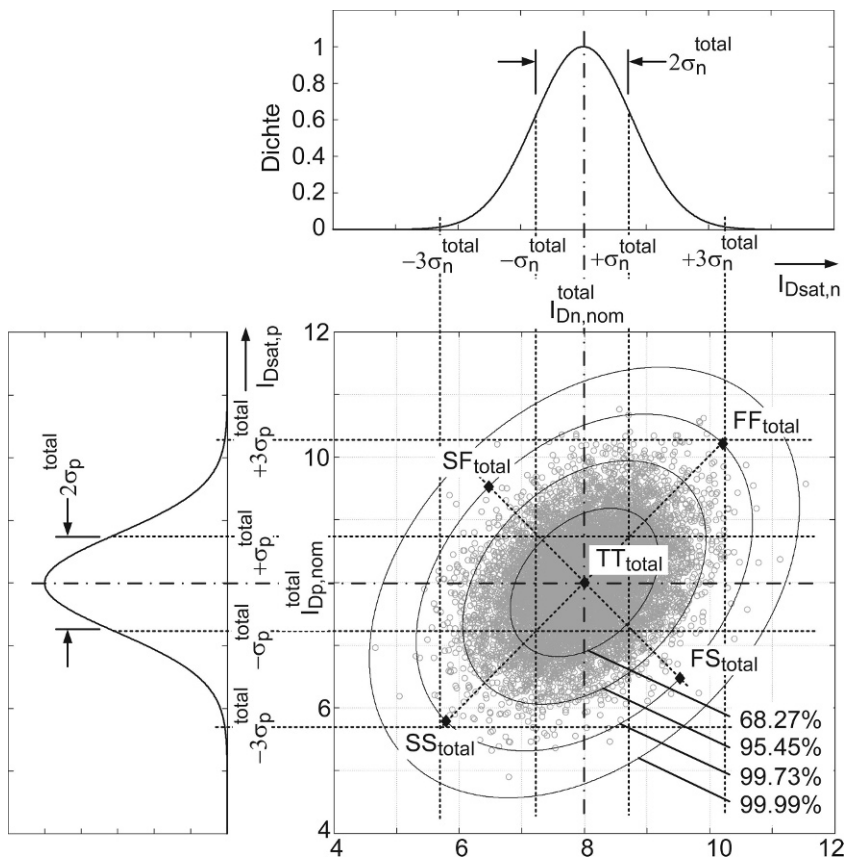


Bild 2.106 Überlagerung der globalen und lokalen Variationen der Transistorströme zu totalen Variationen und zugehörige Designecken

Welche Variationen wie in einem Entwurfsprozess Berücksichtigung finden, hängt stark von der zu verifizierenden Schaltung und dem aus Kostengründen

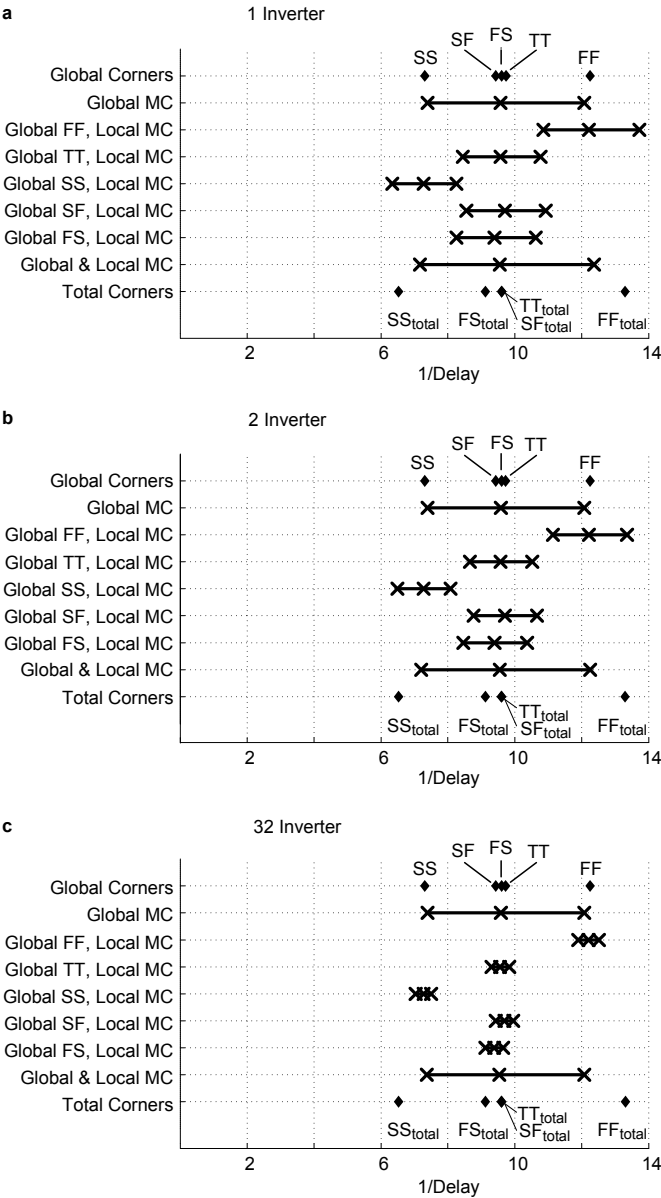


Bild 2.107 Simulationsergebnisse in den Designecken und Ergebnisse von Monte-Carlo-Simulationen für den Reziprokwert der Laufzeit eines Inverters in einer Kette mit 1 (a), 2 (b) und 32 (c) Invertiern

darstellbaren Entwurfsaufwand ab. Einerseits sind parametrische Ausbeuteverluste durch Verletzung der Spezifikation zu vermeiden. Überpessimismus resultiert regelmäßig in größeren Flächen, Verlustleistungsaufnahmen etc.. Andererseits muss übergroßer Verifikationsaufwand, wie er z. B. bei der Kombination der bisher diskutierten „Technology Corners“ mit „Application Corners“ (Speisespannungs- und Temperatur-Variationen) sowie „Parasitics Corners“ oder gar Monte-Carlo-Simulationen entsteht, vermieden werden. Als mögliche Auswege aus diesem Dilemma wurden von der Halbleiterindustrie in der jüngeren Vergangenheit Strategien wie z. B. Bewertung mit sogenannten „Derating-Factors“ (Schaltungsstruktur-abhängige Korrekturfaktoren zur Berücksichtigung von On-Chip-Variability-Effekten), „Multi-Corner Multi-Mode Analysis“ etc. entwickelt.

Wenn z.B. keine Probleme aufgrund von „Mismatch“ zu erwarten sind kann u. U. auf die Berücksichtigung lokaler Variationen verzichtet werden. Als exemplarisches Beispiel soll die Laufzeit von Gatterketten näher betrachtet werden. Wie in Abschnitt 4.7 gezeigt wird, sind bzgl. der Set-up-Zeit die längsten und bezüglich der Hold-Zeit die kürzesten Laufzeiten kritisch.

Bild 2.107 illustriert exemplarisch die Ergebnisse von Laufzeitsimulationen einer einfachen Inverter-Kette. Dargestellt ist jeweils das Intervall der Reziprokwerte der mittleren Laufzeit $((t_{pLH} + t_{pHL})/2)$ pro Inverterstufe von Ketten mit $N = 1$ (Bild 2.107a), $N = 2$ (Bild 2.107b) und $N = 32$ (Bild 2.107c) Invertiern. Oben ist jeweils das Ergebnis von Simulationen mit 5 Transistorparametersätzen in den Designecken für die globalen Variationen („Global Corners“) und darunter das Ergebnis von Monte-Carlo-Simulationen („Global MC“) auf Basis von Herstellerdaten für die globalen Variationen gezeigt. Es folgen die Ergebnisse von Monte-Carlo-Simulationen der lokalen Variationen in den fünf Designecken der globalen Variationen („Global XY Local MC“ mit $XY \in \{FF, TT, SF, FS\}$).

Schließlich sind jeweils ganz unten die Ergebnisse von Monte-Carlo-Simulationen der globalen und lokalen Variationen („Global & Local MC“) sowie die mit Transistorparametersätzen für die fünf Designecken der totalen Variationen („Total Corners“) gewonnenen Simulationsergebnisse dargestellt. Für die Ergebnisse der Monte-Carlo-Simulationen geben die Intervalle jeweils die Minimal- und Maximalwerte für die Wahrscheinlichkeit von 99,73% an; die mittlere Markierung entspricht dem Median.

Wie zu erwarten, sind die Simulationsergebnisse in den Designecken der totalen Variationen ungünstiger als in den Designecken der globalen Variationen. Sie sind jeweils praktisch unabhängig von der Länge der Inverterkette. Für den Fall eines einzelnen Inverters sind die Ergebnisse der Monte-Carlo-Simulationen der lokalen Variationen in den Designecken SS und FF noch ungünstiger als die Simulationsergebnisse in den Designecken der totalen Variationen. Die Monte-Carlo-Simulationsergebnisse zeigen auch deutlich die Mittelungseffekte bei wachsender Kettenlänge N ; die Streuungen reduzieren sich, wie zu erwarten, etwa mit $1/\sqrt{N}$. Für $N = 32$ mitteln sich die lokalen Variationen praktisch aus und die Ergebnisse der Global & Local-Monte-Carlo-Simulation entsprechen weitgehend der Global-Monte-Carlo-Simulation und insbesondere auch den Simulationsergebnissen in den Designecken der globalen Variationen. Die Simulationsergebnisse in den Designecken der tota-

len Variationen sind dann deutlich zu pessimistisch. Für längere Gatterketten läßt sich damit festhalten, dass Simulationsergebnisse in den Designecken der globalen Variationen ausreichend genau sind. Treten in praktischen Schaltungen parallel daneben auch sehr kurze Gatterketten auf, so sind diese genauer auf mögliche Hold-Time-Verletzungen aufgrund lokaler Variationen hin zu untersuchen. Besonders bemerkenswert erscheint der mit der Generierung der in Bild 2.107 dargestellten Ergebnisse verbundene Simulationsaufwand: Eine Simulation in einer Designecke erforderte etwa vier Sekunden Rechenzeit auf einem gut ausgestatteten Arbeitsplatzrechner. Die Ergebnisse der Monte-Carlo-Simulationen basieren jeweils auf etwa 70 000 Stichproben, wobei die Simulation jeder Stichprobe in etwa 3,5 Sekunden Rechenzeit verursachte.

Der Herstellungsprozess bestimmt nicht nur die elektrischen Eigenschaften der Transistoren. Auch die RC-Zeitkonstanten der Leitungen auf einem Chip weisen Herstellungstoleranzen auf. Die Weite und die Dicke einer Leiterbahn, der Abstand zur nächsten Leiterbahn und der Widerstand von Kontaktlöchern unterliegen Schwankungen. Auch die elektrischen Eigenschaften von Leitungen werden in die drei Klassen – Fast, Slow und Typical – eingeteilt.

Neben den herstellungsbedingten Schwankungen müssen noch die Änderungen der Versorgungsspannungen und der Umgebungstemperatur berücksichtigt werden. Typischerweise werden für die Versorgungsspannung Schwankungen von $\pm 10\%$ angenommen. Somit können wieder die drei Klassen angesetzt werden.

Wegen des inversen Temperatureffekts ist die Wirkung einer höheren Temperatur von der effektiven Gate-Source-Spannung abhängig (siehe Kapitel 2.1.3.6). Im Allgemeinen wird eine geringere Temperatur einen höheren Drain-Strom bedingen. Für kommerzielle Anwendungen nimmt man Schwankungen der Umgebungstemperatur von 0°C bis 70°C an. Während für industrielle Anwendungen ein Temperaturbereich von -40°C bis 85°C vorausgesetzt wird. Ein Temperaturbereich von -55°C bis zu 125°C wird für militärische Anwendungen festgesetzt. Auch für die Temperaturänderungen werden wieder die drei Klassen verwendet. F steht für 0°C , T für 70°C und S für 125°C .

Insgesamt ergeben sich fünf verschiedene Abhängigkeiten – zwei für die beiden Transistortypen und jeweils eine für die Leitungen, die Temperatur und die Versorgungsspannung – die jeweils in drei Klassen eingeteilt werden. Man erhält so maximal 3^5 Ecken. Es müssen die relevanten Kombinationen der zu betrachtenden Ecken ermittelt werden. In der Tabelle 2.7 sind einige wichtige Kombinationen eingetragen [240]. Oft werden die integrierten Schaltungen derart ausgelegt, dass sie die Spezifikationen im typischen Fall erfüllen. Nach der Herstellung werden sie unterteilt. Langsame Schaltungen werden für weniger Geld verkauft, während schnelle Bausteine den Kunden teurer kommen. Die Schaltungen müssen auch im langsamsten Fall (SSSSS) die Spezifikationen erfüllen. Die schnelle Designecke (FFFFF) hat die höchste Verlustleistung. Die Störsicherheit und die Verlustleistung aufgrund von Leckströmen wird mit der FFFFS-Ecke geprüft. Wegen der geringen Temperatur ist die Einsatzspannung gering und so sind die Leckströme groß. Die Gatter schalten in diesem Fall sehr schnell, was die kapazitive Kopplung verstärkt. Die anderen Ecken der Tabelle 2.7 dienen der Überprüfung des zeitlichen Verhaltens der Gatter und

der sie verbindenden Leitungen. Dabei werden auch andere Logikfamilien als statische CMOS-Gatter betrachtet. Es werden Set-up- und Hold-Zeiten geprüft. Weiter werden die Schreib- und Lesevorgänge von eingebetteten SRAMs analysiert. Für die Verifikation von Schaltungen, die mittels der modernsten Technologie realisiert werden sollen, werden bis zu 170 Designecken empfohlen.

Tabelle 2.7 Wichtige Designecken [240].

nMOS	pMOS	Leitung	U_{DD}	Tempe- ratur	Zweck
T	T	T	T	T	Typisches Zeitverhalten
S	S	S	S	S	Ungünstigstes Zeitverhalten (Einhalten der Set-up-Zeiten)
F	F	F	F	F	Ungünstigste Verlustleistung Einhalten der Hold-Zeiten
F	F	F	F	S	Störungen
F	F	S	F	F	Zusammenspiel von Leitungen und Transistoren
S	S	F	S	S	Zusammenspiel von Leitungen und Transistoren
S	F	T	F	F	Pseudo-nMOS-Logik
F	S	T	F	F	Ratioed Logic, Speicher: Lesen und Schreiben

Globale Schwankungen bewirken, dass auf einem Chip benachbarte Bauelemente wie Transistoren, Widerstände oder Kapazitäten, die die gleichen Prozessschritte durchlaufen und die die gleiche Größe haben, gleiche Abweichungen vom Sollwert erfahren. Die Bauelemente weisen einen hohen Gleichlauf (match) auf. Es gilt zum Beispiel für das Verhältnis von benachbarten Kondensatoren, die mit den tatsächlichen Kapazitätswerten $C'_1 = C_1(1 + \Delta C_1/C_1)$ und $C'_2 = C_2(1 + \Delta C_2/C_2)$ realisiert wurden

$$\begin{aligned}
 \frac{C'_2}{C'_1} &= \frac{C_2}{C_1} \cdot \frac{1 + \frac{\Delta C_2}{C_2}}{1 + \frac{\Delta C_1}{C_1}} = \frac{C_2}{C_1} \cdot \frac{\left(1 + \frac{\Delta C_2}{C_2}\right) \cdot \left(1 - \frac{\Delta C_1}{C_1}\right)}{1 - \left(\frac{\Delta C_1}{C_1}\right)^2} \\
 &= \frac{C_2}{C_1} \cdot \left(1 + \frac{\Delta C_2}{C_2} - \frac{\Delta C_1}{C_1}\right) \\
 \frac{C'_2}{C'_1} &\approx \frac{C_2}{C_1} \quad \text{für} \quad \frac{\Delta C_1}{C_1} = \frac{\Delta C_2}{C_2} \quad \text{und} \quad \left(\frac{\Delta C_1}{C_1}\right)^2, \left(\frac{\Delta C_2}{C_2}\right)^2 \ll 1
 \end{aligned} \tag{2.182}$$

C_2, C_1 Sollwerte
 $\Delta C_1, \Delta C_2$ Abweichung.

Bei globalen Schwankungen ist das Verhältnis von gleichen und benachbarten Bauelementen trotz Schwankungen konstant. Soll ein bestimmtes Verhältnis erzielt werden, so empfiehlt es sich, nur ganzzahlige Verhältnisse zu realisieren und das

größere Bauelement aus mehreren zu der kleineren Struktur identischen Bauelementen zusammenzusetzen. Die Eigenschaft des Gleichlaufs (matching) von benachbarten und mit den gleichen Prozessschritten hergestellten Bauelementen ermöglicht die Herstellung von präzisen integrierten analogen Schaltungen. Obwohl die Toleranz von Absolutwerten von Widerständen oder Kapazitäten bis zu 20% betragen kann, weisen Verhältnisse von Widerständen oder Kapazitäten aufgrund von lokalen Schwankungen nur eine Schwankung von 1% bis zu 0,1% auf.

In der analogen Schaltungstechnik hat man in der Vergangenheit zusätzlich zu den globalen Schwankungen auch die kleineren lokalen und zufälligen Schwankungen (Gruppe 3) berücksichtigt. Nach [172] gilt für die Varianzen der Einsatzspannung U_T und des Verstärkungsfaktors β von benachbarten Transistoren

$$\sigma^2(U_{T0}) = \frac{A_{U_{T0}}^2}{W \cdot L} + S_{U_{T0}}^2 \cdot D^2 \quad (2.183)$$

$$\frac{\sigma^2(\beta)}{\beta} \approx \frac{A_{\beta}^2}{W \cdot L} + S_{\beta}^2 \cdot D^2 \quad (2.184)$$

A_{β} und $A_{U_{T0}}$ sind prozessabhängige Konstanten. Die Schwankungen von β sind bei Stromspiegelschaltungen relevant. In digitalen Schaltungen werden meistens nur die Schwankungen von U_T betrachtet.

Gleichung 2.183 lässt sich wie folgt erklären. Das Substrat sei homogen mit der Nettodotierung N_A dotiert. Aufgrund der Strukturverkleinerung nimmt die Zahl der Dotieratome in der gesamten Raumladungszone unterhalb des Kanals ab, wie es in Bild 2.108 gezeigt ist. Nun ist bekannt, dass die Varianz der Schwankungen der Mittelwerte von Stichproben umgekehrt proportional ist zur Anzahl der Stichprobenelemente. Bei homogener Dotierung ist die Anzahl der Dotieratome proportional zu $W \cdot L$. Wenn die Dotierung nur noch von einigen hundert Atomen abhängt, werden große Streuungen zu erwarten sein (RD, Random Doping Effect). Daher gilt

$$\sigma_{U_T} \propto \frac{1}{\sqrt{W \cdot L}} \quad (2.185)$$

In Gleichung 2.33 des Kapitels 2.1.2 über die Einsatzspannung wird der Einfluss der flächenspezifischen Ladung Q_B auf die Einsatzspannung mit dem Faktor $1/c_{ox}$ bewertet. Daraus folgt

$$\sigma_{U_T} \propto \frac{t_{ox}}{\sqrt{W \cdot L}} \quad (2.186)$$

Ob ein Atom im Siliziumkristall durch ein Dotieratom ersetzt wird, unterliegt der Binomialverteilung, deren Standardabweichung proportional zur Wurzel aus der Anzahl der Versuche also N_A (Nettodotierung) ist. Berücksichtigt man zusätzlich, dass die Nettodotierung in Gleichung 2.33 unter der Wurzel steht, ergibt sich

$$\sigma_{U_T} \propto \frac{t_{ox} \cdot \sqrt[4]{N_A}}{\sqrt{W \cdot L}} \quad (2.187)$$

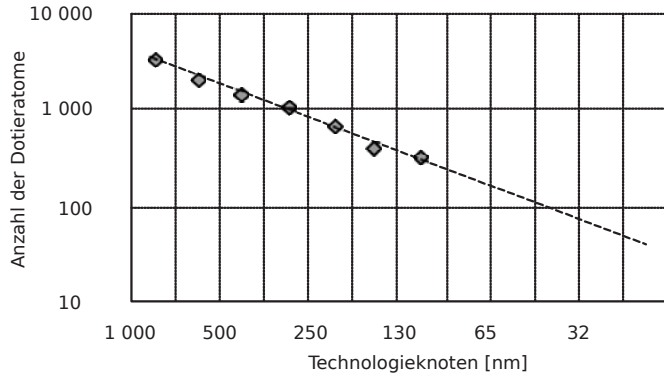


Bild 2.108 Mittlere Anzahl der Dotieratome in der Raumladungszone in Abhängigkeit von den Technologieknoten.

Die effektive Oxiddicke $EOT = t_{ox}$ und der Wurzelausdruck werden, folgt man den Skalierungsregeln für konstante elektrische Feldstärken, mit dem Skalierungsfaktor S kleiner. Die Nettodotierung steigt mit dem Faktor S an. Somit sollte die Standardabweichung σ_{U_T} nur geringfügig mit kleineren Strukturen wachsen. Wird bei einer gegebenen Technologie eine kleine Standardabweichung benötigt, muss man bei minimaler Kanallänge die Weite der entsprechenden Transistoren vergrößern.

In analogen Schaltungen werden die Flächen von Komparatorschaltungen bei minimalen Kanallängen konstant gehalten. Man erzielt dann beim Übergang zur nächsten Technologiegeneration wegen der Verkleinerung von t_{ox} eine größere Genauigkeit. Dies gilt zumindest bis zur 40 nm-Technologie. Für digitale Schaltungen, insbesondere für eingebettete SRAMs, kann diese Methode nicht angewendet werden, da dies die Chipfläche vergrößern würde.

Die Ableitung von Gleichung 2.186 basiert auf zwei Annahmen, die beide in Realität nicht immer erfüllt sind. Konventionelle Transistoren weisen keine homogene Dotierung auf und die Schwankungen der Dotierung sind nicht die einzige Ursache für Schwankungen der Einsatzspannung.

Ein wichtiger zusätzlicher Effekt beruht darauf, dass sich mit abnehmender Strukturgröße, wegen der begrenzten Auflösung der Phototechnik und wegen der Granularität der Photolacke und der anschließenden Ätztechnik, raue Grenzlinien, beziehungsweise raue Grenzflächen bilden. Die Granularität beträgt etwa 4 nm bei einer Wellenlänge des Lichtes von 193 nm mit der der Chip bestrahlt wird. In der Fachliteratur wird von LER (Line Edge Roughness) oder von SR (Surface Roughness) gesprochen. Die beiden Effekte – RD und LER – sind nicht korreliert. Aber sie haben ähnliche Wirkungen, die wegen der Schwankungen der Einsatzspannungen im Unterschwellenstrombereich zu ausgeprägten Schwankungen der Sperrströme führen können (siehe Bild 2.109).

Mit der Einführung von Transistoren mit Isoliermaterialien mit hohen Dielektrizitätskonstanten und mit metallischen Gates konnte die Variabilität aufgrund der Dotierung und der Granularität des polykristallinen Gate-Materials wesentlich ver-

ringert werden. Dies ist ähnlich zu dem Sachverhalt, wie er in Bild 2.110 gezeigt wird. Gleichzeitig wurden aber neue Ursachen für die Variabilität eingeführt, zum Beispiel die Granularität der neuen Isoliermaterialien. Auch die neuen metallischen

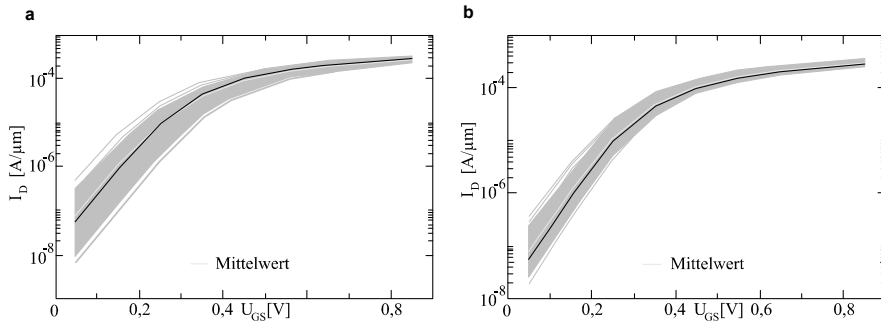


Bild 2.109 Kennlinien $I_D(U_{GS})$ für: **a** Schwankungen der Anzahl der Dotieratome (RD); **b** Schwankungen aufgrund LER nach [188]. $L_G = 35$ nm.

Gates weisen eine Granularität auf, die zu Schwankungen der Austrittsarbeit führt. Stark verkleinerte Transistoren zeigen Schwankungen der Dicke der Isolierschicht und des Substrats, wie in FD-SOI-Transistoren oder FinFETs, da diese Dicken durch eine geringe Anzahl von Atomlagen bestimmt werden. Ist eine Atomlage zu wenig oder zu viel vorhanden oder schwankt die Austrittsarbeit, bedingt dies eine Variabilität der Transistoreigenschaften. Alle diese Einflüsse bestimmen die Konstante A in Gleichung 2.183. In Zukunft wird es immer schwieriger werden diese Konstante im Einklang mit den kleineren Strukturen zu verringern. Es ist zu erwarten, dass $\sigma(UT)$ mit Unterbrechungen größer werden wird.

In [220] wird berichtet, dass bei PD-SOI-Transistoren mit Strukturgrößen um 20 nm die Einsatzspannung zeitlich in Bruchteilen von Sekunden zwischen zwei Werten schwanken kann. Man spricht von „Random Telegraph Noise“ (RTN) [220]. Ursache sind Zustände im verbotenen Band, die in der Nähe der Grenzschicht Si/SiO₂ liegen. Die Amplitude der Schwankungen ist umgekehrt proportional zur Gate-Fläche und kann bei den kleinsten Transistoren größer als 70 mV sein. Diese Schwankungen zeigen eine Lognormalverteilung. Es wird abgeschätzt, dass Schwankungen der Einsatzspannung aufgrund von RTN jenseits des 3-Sigma-Niveaus größer sind als die Schwankungen, die von RD verursacht werden.

Wegen der Vielzahl an Einflüssen sind empirisch gewonnene Werte von großem Nutzen. Tabelle 2.8 zeigt für konventionelle planare LSTP-Transistoren die Zunahme der Standardabweichung $\sigma(U_T)$ der lokalen Schwankung in Abhängigkeit von der Technologiegeneration.

Weitere wichtige Zusammenhänge können dem Bild 2.110 entnommen werden. In dem Bild sind zunächst für konventionelle, planare Transistoren die Standardabweichungen für globale und für lokale Schwankungen angegeben. Es gilt:

$\sigma_{\text{global}} > \sigma_{\text{lokal}}$. Beide Standardabweichungen werden mit feineren Strukturen größer.

In Bild 2.110 sind auch die Werte für Doppel-Gate-Transistoren eingetragen. Diese Werte sind wesentlich kleiner, da die Dotierung dieser Transistoren sehr gering oder gleich Null ist. Wenn eine Dotierung vorhanden ist, ist die Standardabweichung $\sigma(U_T)$ wegen Gleichung 2.186 von der Dicke des Siliziumsubstrats abhängig. Wieder wachsen die Werte mit feineren Strukturen.

Tabelle 2.8 $\sigma(U_T)$ von lokalen Schwankungen in Abhängigkeit von der Technologiegeneration für konventionelle planare LSTP-(Low-Standby-Power-) Transistoren [249]. Granularität von LER beträgt 4 nm.

Technologiegeneration	65 nm	45 nm	32 nm	22 nm	15 nm	10 nm
$\sigma(U_T)/\text{mV}$	35	40	60	100	180	370

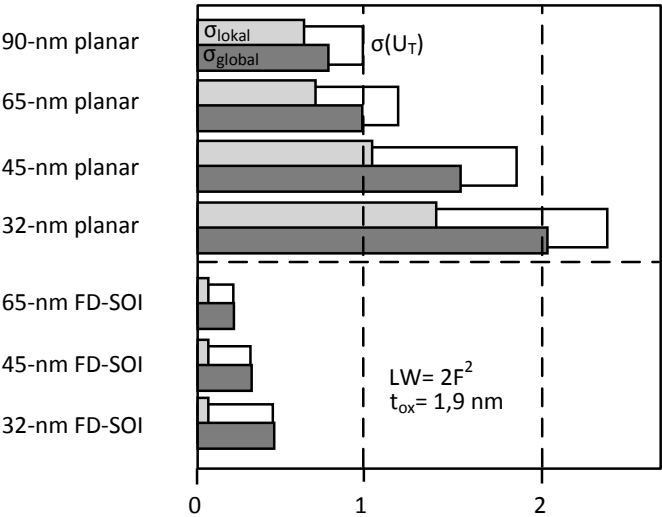


Bild 2.110 Standardabweichung der Einsatzspannung in normierten Größen von konventionellen Transistoren und von FD-SOI-Transistoren in Abhängigkeit von der Strukturgröße. Es werden die lokalen Schwankungen σ_{lokal} , die globalen Schwankungen σ_{global} und die gesamten Schwankungen $\sigma(U_T)$ angegeben [246].

In der Vergangenheit waren die lokalen Schwankungen noch nicht stark ausgeprägt. Sie wurden daher beim Entwurf von digitalen Schaltungen vernachlässigt. Mit weiterer aggressiver Strukturverkleinerung werden sie immer wichtiger. Daher müssen in Zukunft die lokalen Schwankungen auch beim Entwurf von Speicherschaltungen berücksichtigt werden (siehe auch Kapitel 6.4.3). Ob sie in Logikschaltungen berücksichtigt werden müssen, hängt von der logischen Tiefe der Pfade ab.

Mit logischer Tiefe wird die Anzahl der Gatter zwischen zwei Registern bezeichnet. Wenn die Kette genügend Gatter enthält, gleichen sich die lokalen Schwankungen weitgehend aus. Dagegen, wenn die logische Tiefe, wie bei schnellen Mikroprozessoren, gering ist, wirken sich die lokalen Schwankungen auf die Gatterlaufzeiten aus. Die logische Tiefe hat keinen Einfluss auf globale Schwankungen.

Traditionell wurde das Vier-Ecken-Modell für die Verifikation von Logikschaltungen eingesetzt, um zu prüfen, ob eine gegebene Schaltung trotz Herstellungstoleranzen den Spezifikationen entspricht. Ab der 90 nm-Technologiegeneration ist diese Methode, mit der implizit die Ausbeute sichergestellt wird, nicht mehr ausreichend. Der Grund hierfür ist, dass bei modernen Technologien auch die lokalen Schwankungen berücksichtigt werden müssen. Weiter gilt, dass moderne Prozessoren eine hohe Zahl an gleichen Grundschaltungen enthalten, von denen keine Einzige ausfallen darf. Zum Beispiel enthalten moderne Chips Millionen oder hunderte von Millionen Speicherzellen oder Register. Wenn eine einzelne Speicherzelle oder ein einziges Register ausfällt, ist ohne Redundanz der gesamte Chip wertlos. Erschwerend kommt hinzu, dass mit kleineren Strukturen die Variabilität zunimmt.

Zum Beispiel soll ein 1 Mbit-SRAM, das zusammen mit anderen Modulen auf einem Chip integriert ist, betrachtet werden. Wenn ohne Redundanz eine Ausbeute für den Speicher von 99% gefordert ist, bedeutet dies, wie es in Kapitel 6.4.3.5 gezeigt wird, dass die Ausfallrate einer Zelle maximal 9,8 Zellen pro einer Milliarde Zelle betragen darf [207]. Mit der Standard-Monte-Carlo-Methode braucht man im Durchschnitt mindestens hundert Millionen Simulationen, um einen Ausfall zu erzeugen. Ein einziger Ausfall reicht aber nicht aus, um eine vertrauenswürdige Ausfallstatistik zu erhalten. Man braucht eine höhere Zahl an Simulationen. Gewöhnlich ist dies aber schwer zu bewältigen. Dieses Beispiel zeigt deutlich das Problem, wenn robuste Speicher trotz Herstellungstoleranzen entworfen werden sollen. Man muss extrem seltene Ereignisse simulieren und anhand dieser Ereignisse die entsprechende Statistik abschätzen. In der Literatur werden die Lösungen für dieses Problem meistens anhand von SRAMs beschrieben. Daher werden auch in diesem Buch im Zusammenhang mit SRAMs in 6.4.3.5 die Lösungsmethoden erläutert.

LER und RD werden während des Herstellungsprozesses festgelegt. Sie werden deswegen als statische oder permanente Fehlerquellen aufgefasst. Wie es bereits erwähnt wurde, gibt es noch dynamische Quellen für die hohe Variabilität der Transistorparameter – nämlich Schwankungen der Versorgungsspannung und der Chiptemperatur. Die Leistungsdichte auf den Chips ist von der jeweiligen Aufgabe, die die Teilschaltungen erfüllen müssen, abhängig und ist somit von der Zeit und vom Ort abhängig (siehe Bild 2.111).

Zum Beispiel verbraucht ein „Cache“=Speicher viel weniger Leistung als eine Recheneinheit. Die Verlustleistungen der Recheneinheit und des Speichers werden von deren jeweiligen Aktivitäten bestimmt. Eine höhere örtliche Verlustleistungsdichte belastet das Versorgungsnetz, indem zusätzliche Spannungsabfälle auftreten, die durch den mit der Temperatur ansteigenden Widerstandsbelag der Versorgungsleitungen auf dem Chip hervorgerufen werden. So werden auf dem Chip dynamisch die Verzögerungszeiten von Gattern beeinflusst.

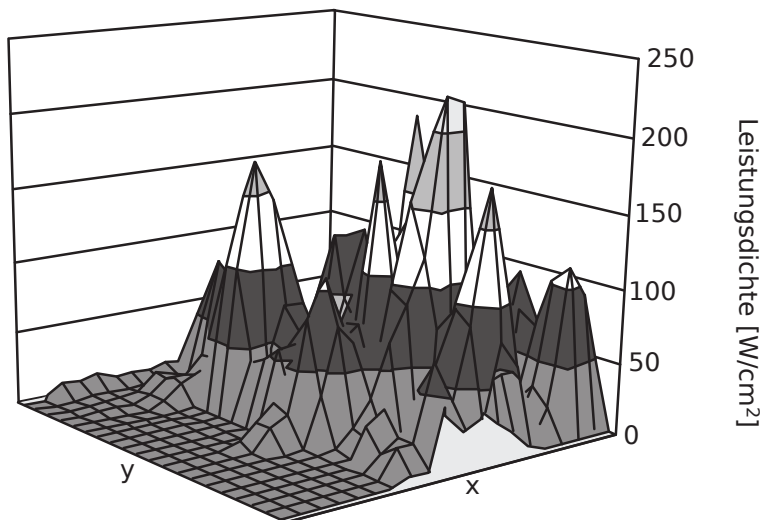


Bild 2.111 Schwankungen der Leistungsdichte in einem Mikroprozessor.

Dieser Effekt wird zusätzlich durch die Temperaturabhängigkeit der Drain-Ströme bei hohen effektiven Gate-Source-Spannungen verstärkt. Weiter bedingen die „heißen Flecken“ erhöhte Leckströme. Da die Leckströme einen hohen Anteil an der gesamten Verlustleistung des Chips haben, kann die gesamte Leistungsaufnahme des Chips erheblichen zeitlichen Schwankungen unterworfen sein.

Während in Mikroprozessoren lokale heiße Stellen (Gebiete mit hoher Schaltaktivität, hot spots) auftreten können, kann die Temperatur in den meisten Logikschaltungen für tragbare Geräte (SOC, System On Chip), die mit den Transistoren nach Tabelle 2.3 des Kapitels 2.1.10.7 realisiert werden, als weitgehend räumlich gleichverteilt betrachtet werden.

Kapitel 3

Leitungen

H. Henke

Die dramatische Strukturverkleinerung der integrierten Schaltungen bedingt eine immer genauere Modellierung der Verbindungsleitungen auf den Chips, da der relative Anteil der Verbindungsleitungen an der gesamten Gatterverzögerungszeit ständig steigt. Es wird erwartet, dass dieser Trend auch in Zukunft anhält. In der „International Technology Road Map for Semiconductors (ITRS)“ wird die effiziente Modellierung von Leitungen als eine der großen Herausforderungen für die Zukunft bezeichnet [105].

Zu Beginn der Integrationstechnik wurden Leitungen einfach als unendlich kurz betrachtet. Als die Leitungskapazitäten den Gate-Kapazitäten der Transistoren entsprachen, wurden die Leitungen als Kapazitäten aufgefasst. Mit zunehmender Integrationshöhe und Integrationsdichte wurde es notwendig, auch Widerstände zu berücksichtigen. Bei extrem hohen Taktfrequenzen und bei Leitungen mit geringen Ohm'schen Verlusten, wie sie in den obersten Verdrahtungsebenen zu finden sind, kann es notwendig werden, zusätzlich induktive Effekte in die Leitungsmodelle einzuarbeiten. Da induktive Effekte auch nützlich sein können, sollte sich der Designer intensiv mit dieser Materie beschäftigen.

In diesem Kapitel werden zunächst die diskreten Bauelemente, wie Widerstand, Kapazität und Induktivität, behandelt. Dann wird die Signalausbreitung auf RC- und RLC-Leitungen untersucht. Es werden Näherungslösungen mit konzentrierten Elementen angegeben. Ein wichtiges Thema in diesem Kapitel ist die gegenseitige Beeinflussung von Leitungen. Weiter werden Strategien zur Strukturverkleinerung von Leitungen besprochen. Schließlich wird das globale Netz zur Verteilung der Versorgungsspannungen behandelt.

3.1 Diskrete Bauelemente

3.1.1 Widerstände

Der Gleichstromwiderstand einer gleichförmigen Leitung der Weite W , der Dicke d und der Länge l berechnet sich zu

$$R = \rho \cdot \frac{l}{W \cdot d} \tag{3.1}$$

ρ spezifischer Widerstand .

Der Widerstand einer Leitung soll leicht aus dem Layout ermittelt werden können. Deswegen führte man den Schichtwiderstand R_{square} ein. Der Schichtwiderstand gibt bei Aufsicht den Widerstand einer Einheitsfläche an

$$R_{\text{square}} = \frac{\rho}{d} \tag{3.2}$$

Tabelle 3.1 enthält typische Werte für Schichtwiderstände einer 0,25µm Technologie. Weist die Leitung, entsprechend Bild 3.1, einen Knick auf, ergibt sich der halbe Schichtwiderstand für die Ecke, da dort die Abstände kürzer sind.

Tabelle 3.1 Typische Werte von Schichtwiderständen[179] einer 0,25µm Technologie.

Material	Schichtwiderstand (Ω/square)
n- oder p-well Diffusion	1000–1500
n ⁺ , p ⁺ Diffusion	50–150
n ⁺ , p ⁺ Diffusion mit Silizid	3–5
n ⁺ , p ⁺ Polysilizium	150–200
n ⁺ , p ⁺ Polysilizium mit Silizid	4–5
Aluminium	0,05–0,1

Bis jetzt wurde nur der Widerstand einer Leitung für Gleichströme behandelt. Wird ein Leiter von Wechselstrom durchflossen, so besteht im Querschnitt keine konstante Stromdichte mehr, sondern die Stromdichte nimmt von der Oberfläche nach innen hin ab, und zwar um so mehr, je höher die Frequenz ist. Bei sehr hohen Frequenzen ist das Innere der Leiter stromlos und der Strom fließt nur noch in einer dünnen Schicht an der Leiteroberfläche. Diese Erscheinung nennt man Skineffekt. Durch einen im Draht fließenden homogenen Primärstrom entstehen im und außerhalb des Drahtes magnetische Felder. Ist der Strom ein Wechselstrom, so entstehen magnetische Wechselfelder, die Induktionsvorgänge hervorrufen. Es bilden sich induzierte Spannungen im Draht, die sekundäre Ströme verursachen. Im Innern des Drahtes haben die sekundären Ströme die entgegengesetzte Richtung zum primären Strom, in der Nähe der Drahtoberfläche dagegen die gleiche Richtung. Die Sum-

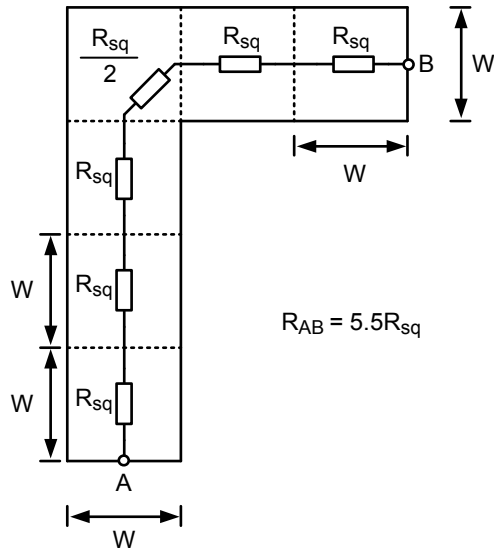


Bild 3.1 Widerstand eines Eckstückes.

me der Stromdichten der primären und sekundären Ströme ist also außen größer als innen.

Stromdichte und elektrische Feldstärken sinken beim Eindringen in den Leiter exponentiell ab. Die Tiefe

$$x_0 = \sqrt{\frac{\rho}{f \cdot \pi \cdot \mu}} \quad (3.3)$$

f Frequenz des Signals

μ Permeabilität,

in der die Größen um den Faktor $1/e$ abgesunken sind, nennt man die Eindringtiefe. Da bei der Herstellung von integrierten Schaltungen, keine magnetisch wirksamen Materialien verwendet werden, kann man die der Permeabilität des Vakuums verwenden ($\mu = 4 \cdot \pi \cdot 10^{-7} \text{ H/m}$). Bei 1 GHz hat Aluminium die Eindringtiefe $2,6 \mu\text{m}$; Kupfer hat bei der gleichen Frequenz den Wert $2,06 \mu\text{m}$. Es stellt sich die Frage, ob der Skinneffekt beim Entwurf von integrierten digitalen Schaltungen berücksichtigt werden muss.

Der Skinneffekt kann näherungsweise einfach berechnet werden, indem man annimmt, dass der Strom in einer äußeren Schicht des Drahtes mit der Dicke x_0 fließt. Für einen rechteckigen Leiter der Weite W und der Höhe H ist die Querschnittsfläche auf $2 \cdot (H + W) \cdot x_0$ begrenzt. Die Signalfrequenz soll größer sein als die Frequenz f_s , bei der der Skinneffekt einsetzt

$$R(f) = l \frac{\sqrt{f \cdot \rho \cdot \pi \cdot \mu}}{2 \cdot (H + W)} \quad (3.4)$$

Der erhöhte Widerstand bei hohen Frequenzen verursacht zusätzliche Dämpfungen und Störungen der übertragenen Signale.

Die Frequenz, ab der der Skineffekt berücksichtigt werden muss, ergibt sich aus der Überlegung, dass bei dieser Frequenz die Eindringtiefe halb so groß sein soll, wie die maximale Dimension W oder H , somit

$$f_s = \frac{4 \cdot \rho}{(\max(W, H))^2 \cdot \pi \cdot \mu} \quad . \quad (3.5)$$

Bei Leitungen aus Aluminium beträgt die Eindringtiefe $x_0 = 2,6 \mu\text{m}$ bei 1 GHz und $1,64 \mu\text{m}$ bei 2,5 GHz. Die Höhe der Leiterbahn sei geringer als die jeweilige Eindringtiefe; die Weite sei $10 \mu\text{m}$. Im Vergleich zu dem Fall mit geringen Frequenzen verdoppelt sich der Widerstandswert bei 1 GHz, während sich der Wert bei 3 GHz in etwa verdreifacht. Der Skineffekt wirkt sich nur bei Leiterbahnen mit großen Querschnitten aus. Auf einem Chip haben die Taktsignale die höchsten Frequenzen. Leitungen für die Taktsignale werden mit großen Weiten und Dicken ausgestattet, um den Leitungswiderstand zu begrenzen. Daher werden derartige Leitungen zuerst vom Skineffekt betroffen sein.

3.1.2 Kapazitäten

Die genaue Modellierung von Kapazitäten auf einem Chip ist eine schwierige Aufgabe. Dies gilt besonders für Verbindungsnetzwerke von heutigen integrierten Schaltungen, die eine ausgeprägte dreidimensionale Struktur, wie Bild 3.2 zeigt, aufweisen. Die Kapazität einer Leitung ist abhängig von der Gestalt der Leitung und von seiner Umgebung, wie zum Beispiel von den Abständen zum Substrat und zu den umgebenden anderen Leitungen. Ein Designer will nicht im Meer von komplizierten Modellen und Gleichungen ertrinken. Üblicherweise benutzt ein Designer fortschrittliche CAD-Werkzeuge, mit deren Hilfe er Werte für die Kapazitäten ermitteln kann. Trotzdem ist es nützlich, zusätzlich einfache Modelle zu entwickeln, da mit den einfachen Modellen ein Grundverständnis für die Natur der Leitungskapazitäten und ihrer Parameter gebildet werden kann. Auf der Basis dieser einfachen Modelle kann auch abgeschätzt werden, wie sich in Zukunft Kapazitäten auf die Schaltungseigenschaften auswirken werden.

Im Allgemeinen setzen sich Leitungskapazitäten aus drei Anteilen zusammen. Die eine Komponente entspricht dem elektrischen Feld eines Plattenkondensators. Eine weitere Komponente ist von den Streufeldern bedingt. Schließlich müssen noch die elektrischen Felder zu benachbarten Leitungen berücksichtigt werden.

Mittels der Poisson-Gleichung kann der Kapazitätsbelag einer einzelnen Leitung berechnet werden. Bild 3.3 zeigt das elektrische Feld und Bild 3.4 zeigt den Kapazitätsbelag in Abhängigkeit vom Verhältnis Leitungsweite W zur Isolatorstärke d_{in} [3]. Als Parameter dient das Verhältnis Höhe d des Leiters zur Dicke d_{in} der Isolierschicht. Ebenfalls eingezeichnet ist der Kapazitätsbelag für den Fall, dass nur die

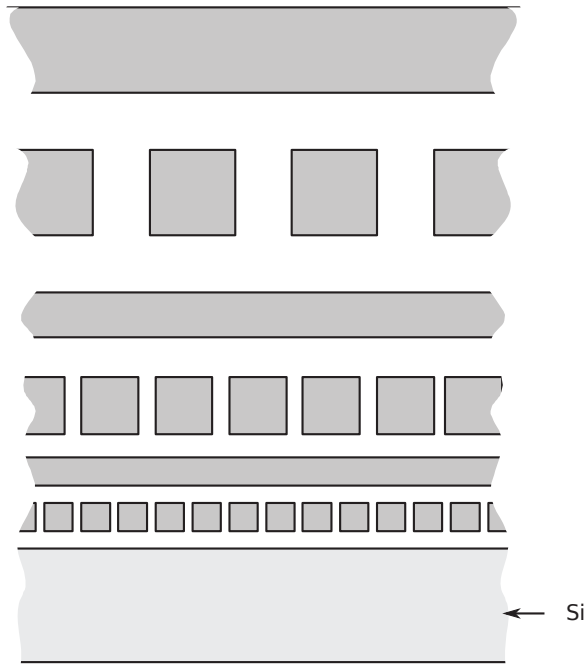


Bild 3.2 Schematischer Querschnitt durch 6 Verdrahtungsebenen.

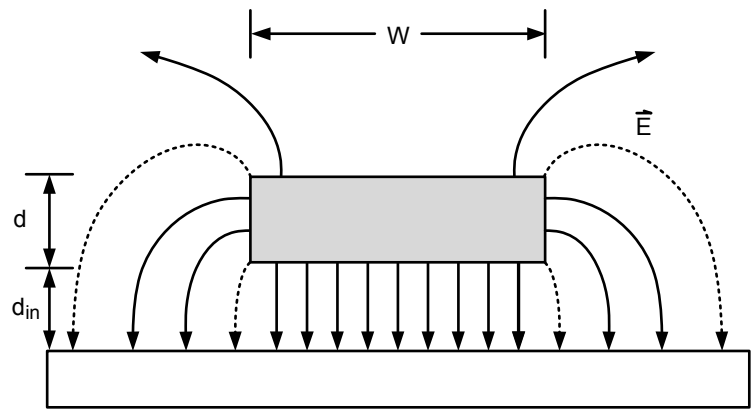


Bild 3.3 Elektrische Feldlinien zwischen einem Leiter und einer leitenden Platte.

elektrischen Felder zwischen den zwei Platten im Bereich W berücksichtigt werden. Nur für $W \gg d_{\text{in}}$ kann der gesamte Kapazitätsbelag durch die Kapazität des Plattenkondensators genähert werden. Für $W/d_{\text{in}} \rightarrow 1$ wirken sich die Streufelder sehr stark aus und die gesamte Kapazität ist wesentlich größer, als es die Kapazität eines entsprechenden Plattenkondensators wäre. Tatsächlich ergibt sich ein minimaler Wert von 1 pF/cm für den Kapazitätsbelag für $W < d_{\text{in}}$.

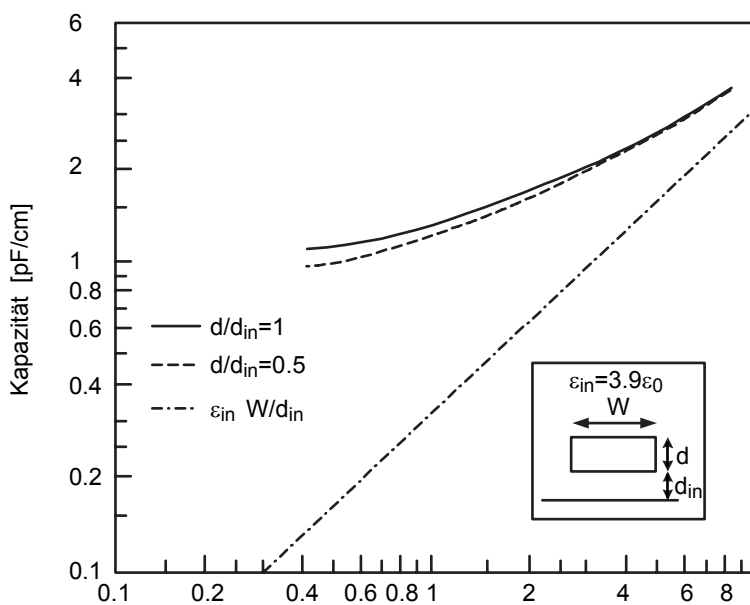


Bild 3.4 Kapazitätsbelag als Funktion von W/d_{in} und d/d_{in} . Die gerade Linie markiert die Kapazität eines Plattenkondensators [3].

Um die Integrationsdichte zu erhöhen, werden in modernen VLSI-Chips die Leitungen, zumindest in den unteren Leitungsebenen, möglichst mit minimal zulässigen Abständen und Weiten ausgelegt. Die Summe aus Leitungsweite und dem Abstand zur nächsten Leitung wird als „Pitch“ bezeichnet. Häufig entspricht die Leitungsweite dem halben Abstand zwischen zwei Leitungen. Bild 3.5a zeigt den gesamten Kapazitätsbelag für den Fall einer Reihe von benachbarten Leitungen, die die gleichen Weiten und Abstände aufweisen und die zwischen zwei leitenden Platten liegen [3]. Die Dicke der Leiterbahnen und die Dicke der Isolierschichten nach unten (Siliziumoxid) und nach oben (SiN) beträgt jeweils $1 \mu\text{m}$. Der Kapazitätsbelag ist in Bild 3.5a als Funktion der Leiterbahnbreite und damit des Leiterabstandes eingezeichnet. Ist die Weite und der Abstand der Leiterbahnen jeweils wesentlich größer als die Dicke der Isolierschichten, wird der Kapazitätsbelag im wesentlichen von den Feldern zu den leitenden Platten bestimmt. Wenn der „Pitch“ kleiner als die Dicke der Isolierschichten ist, dominieren die Kapazitäten zwischen den Leitungen.

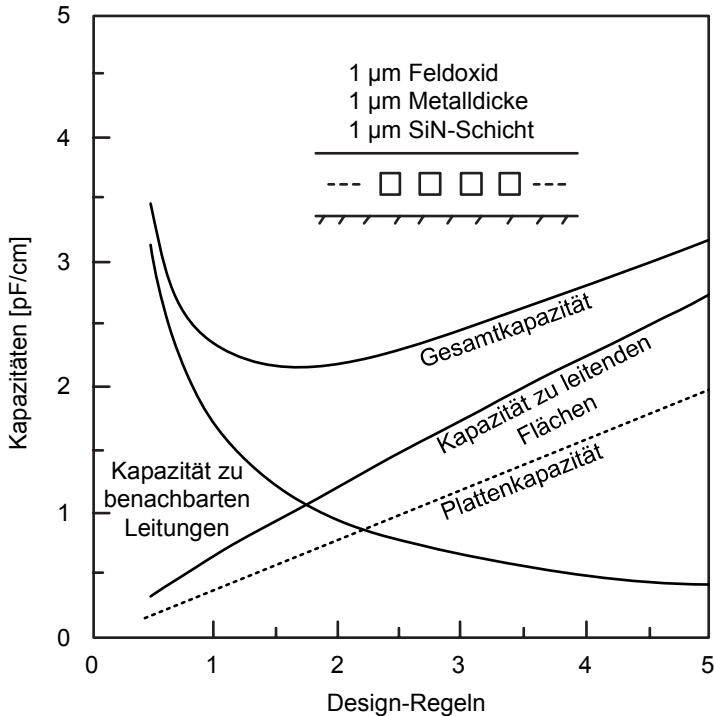


Bild 3.5a Kapazitätsbelag für parallele Leitungen in Abhängigkeit von den Designregeln (Raster = $2 \cdot W$) [3].

Der gesamte Kapazitätsbelag weist ein breites Minimum von etwa 2 pF/cm auf, wenn die Leiterbahnweite und der Leiterbahnabstand der Dicke der Isolierschichten entsprechen. Der Wert von 2 pF/cm bleibt auch dann erhalten, wenn alle geometrischen Strukturen um den gleichen Wert verkleinert werden. Den Wert von 2 pF/cm für den Kapazitätsbelag erhält man auch für den Fall von zwei konzentrischen Zylindern mit den Radien a und b

$$C' = \frac{2 \cdot \pi \cdot \epsilon_{\text{in}}}{\ln(a/b)} \quad (3.6a)$$

Mit $\epsilon_{\text{in}} = \epsilon_{\text{ox}}$ und $b/a = 2$ ergibt sich näherungsweise $C' = 2 \text{ pF/cm}$. Nur mit neuen Isoliermaterialien, die kleinere Dielektrizitätskonstanten aufweisen, lässt sich die Leitungskapazität verringern.

Wegen der kapazitiven Kopplung zwischen benachbarten Leitungen kann es zu Nebensprechen kommen. Dies soll nun näher erläutert werden. Bild 3.5b zeigt eine einfache aber repräsentative Darstellung zweier benachbarter Leitungen, die sich in der gleichen Metallisierungsebene befinden [230]. Mit C_m wird die Koppelkapazität zwischen den beiden Leitern bezeichnet, während C_{Masse} die gesamte Kapazität der Leitung M2 nach Masse umfasst. Wenn die Leitung 2 nicht angeschlossen ist, das

heißt „frei schwebt“ (Floating Line), dann bewirkt eine Spannungsänderung ΔU_1 auf der Leitung M1 eine Störung ΔU_2 auf der Leitung 2

$$\Delta U_2 = \frac{C_m}{C_m + C_{\text{Masse}}} \cdot \Delta U_1 \quad . \quad (3.6b)$$

Für eine $0,25\mu\text{m}$ -Technologie beträgt die Koppelkapazität $C'_m = 80\text{ fF/mm}$ und $C'_{\text{Masse}} = 40\text{ fF/mm}$. Das bedeutet, dass bei einer $0,25\mu\text{m}$ -Technologie bei einem maximalen Spannungshub von $\Delta U_1 = 2,5\text{ V} = U_{\text{DD}}$ die Störung auf M2, der Opferleitung, $\Delta U_2 = 1,67\text{ V}$ beträgt. Befindet sich die Opferleitung zwischen zwei gleichzeitig in gleicher Richtung schaltenden Aggressorleitungen beträgt die Störung sogar 2 V .

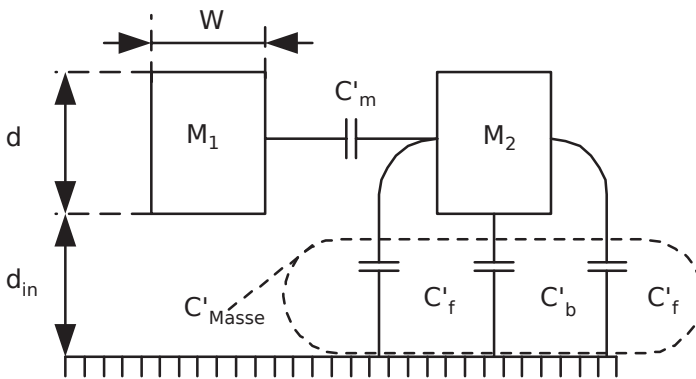


Bild 3.5b Einfaches Kapazitätsmodell für zwei Leitungen in einer Metallisierungslage (M2) [230]. C_f Kapazitäten aufgrund von Streufeldern; C_b Kapazität eines Plattenkondensators; C_m Koppelkapazität; $C_{\text{Masse}} = 2C_f + C_b$.

Dies ist aus zwei Gründen nicht zulässig. Zum einen können die Signale auf den Opferleitungen so stark verfälscht sein, dass diesen verfälschten Werten falsche logische Werte zugeordnet werden. Zum anderen kann es vorkommen, dass die Opferleitungen zumindest kurzfristig über den U_{DD} -Pegel (oder unter den Massepegel) gehievt werden und somit die angeschlossenen Transistoren zu hohen Spannungswerten ausgesetzt werden (oder in Sperrrichtung gepolte Dioden zumindest teilweise öffnen), was in beiden Fällen die Zuverlässigkeit der Transistoren beeinträchtigen kann. Frei schwebende RC-Leitungen sind sehr empfindlich in Bezug auf Nebensprechen und sollten daher möglichst vermieden werden. In Kapitel 3.2.6 wird das Thema Kopplungen zwischen Leitungen weiter vertieft.

3.1.3 Induktivitäten

In hochfrequenten integrierten Anlogschaltungen werden Induktivitäten häufig eingesetzt. Es zeichnet sich ab, dass möglicherweise in Zukunft auch in digitalen Schaltungen induktive Effekte berücksichtigt werden müssen.

Da in der Vergangenheit die magnetischen Felder auf einem Chip vernachlässigt werden konnten, sind es die Designer von digitalen CMOS-Schaltungen nicht gewohnt, mit dieser Materie umzugehen. Daher wird bei der Ableitung der Induktivität eines Leiters ausführlicher auf die Grundlagen eingegangen.

Die gegenseitige Beeinflussung zwischen Leitungen, in denen ein Strom fließt, beruht auf drei Effekten, die gleichzeitig stattfinden.

1. Aufgrund von Strömen, die in Leitungen fließen, entstehen magnetische Felder (1. Maxwell'sches Gesetz)

$$\text{rot } \vec{B} = \mu \vec{j} + \mu \epsilon \frac{d\vec{E}}{dt} \quad (3.7)$$

B magnetische Flussdichte

j Stromdichte

E elektrisches Feld

μ Permeabilität

ϵ Dielektrizitätskonstante.

2. Zeitlich veränderliche magnetische Felder induzieren elektrische Felder (Faraday'sches Gesetz)

$$\oint_S \vec{E}_{\text{ind}} \cdot d\vec{s} = - \frac{d\Psi}{dt} \quad (3.8)$$

mit

$$\Psi = \int_F \vec{B} \cdot d\vec{F} \quad (3.9)$$

Ψ magnetischer Fluss durch die Fläche F .

Mit S wird der Rand der Fläche F bezeichnet.

3. Induzierte elektrische Felder üben eine Kraft auf die Elektronen in den Leitern aus. Somit wird ein elektrischer Spannungsabfall verursacht

$$U_{\text{ind}} = \oint_S \vec{E}_{\text{ind}} \cdot d\vec{s} \quad (3.10)$$

Bild 3.6 gibt einen Überblick über alle drei Effekte. In der Schleife i wird ein Spannungsabfall, aufgrund eines zeitlich veränderlichen Stromes in der Schleife j , induziert. Somit erhält man schließlich, da der Fluss ψ proportional zum Strom in der

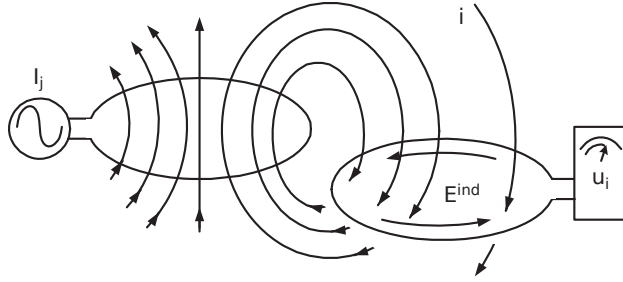


Bild 3.6 Ein magnetisches Feld, das von einem zeitlich veränderlichen Strom in Schleife j verursacht wird, induziert in Schleife i eine Spannung, da ein Teil des magnetischen Flusses durch die Schleife i geht [11].

Schleife j ($\psi = M \cdot I_j$) ist,

$$U_i^{\text{ind}} = -M_{ij} \cdot \frac{dI_j}{dt} \quad (3.11)$$

M_{ij} wird als Gegeninduktivität bezeichnet und beschreibt die Wirkung der Schleife j auf die Schleife i . I_j ist der Strom, der in der Schleife j fließt. M_{ij} gibt die Verkopplung der beiden Schleifen an.

Der Strom I_j wirkt auch auf die Schleife j , das heißt auf sich selbst ein. Das Magnetfeld B_j , welches er aufbaut, induziert eine Spannung in der Schleife j , welche dem Strom I_j entgegenwirkt

$$U_j^{\text{ind}} = -L \cdot \frac{dI_j}{dt} \quad (3.12)$$

Die Proportionalitätskonstante L heißt Selbstinduktivität.

Man benötigt also den magnetischen Fluss um die Induktivität zu berechnen. Mittels des Biot-Savart-Gesetzes könnte man zunächst das magnetische Feld H und daraus wiederum den magnetischen Fluss ermitteln. Allerdings ist diese Berechnung kompliziert. Es ist in vielen Fällen einfacher mit einem Vektorpotential $A(r)$ zu rechnen. Wegen

$$\text{div} \vec{B} = 0 \quad \text{und} \quad (3.13)$$

$$\text{div rot} \vec{A} = 0 \quad (3.14)$$

kann man mit dem Ansatz

$$\vec{B} = \text{rot} \vec{A} \quad (3.15)$$

die magnetische Flussdichte B aus dem Vektorpotential A berechnen. Weiter gilt das 1. Maxwell'sche Gesetz (3.7)

$$\operatorname{rot} \vec{B} = \mu \vec{j} + \mu \varepsilon \frac{d\vec{E}}{dt} \quad .$$

Der erste Term auf der rechten Seite beschreibt den Beitrag des Stromes zum magnetischen Feld auf der linken Seite. Der zweite Term auf der rechten Seite, der den Beitrag des Verschiebungsstromes zum magnetischen Feld angibt, kann für integrierte Schaltungen vernachlässigt werden, da der Beitrag der Ströme zum magnetischen Feld wenigstens um eine Größenordnung größer ist als die Beiträge der Verschiebungsströme. Dies gilt auch dann, wenn starke kapazitive Kopplungen zwischen den Leitern vorhanden sind. Somit erhält man

$$\operatorname{rot} \vec{B} = \mu \cdot \vec{j} \quad . \quad (3.16)$$

Gleichung 3.15 in Gleichung 3.16 eingesetzt liefert

$$\operatorname{rot} \operatorname{rot} \vec{A} = \operatorname{grad} \operatorname{div} \vec{A} - \Delta \vec{A} = \mu \cdot \vec{j} \quad , \quad (3.17)$$

Δ ist der Laplace'sche Operator.

Da B aus A bestimmt wird, besteht eine gewisse Freiheit in der Wahl von A und man setzt fest

$$\operatorname{div} \vec{A} = 0 \quad . \quad (3.18)$$

Aus den Gleichungen 3.17 und 3.18 erhält man somit eine vektorielle Poisson-Gleichung

$$\Delta \vec{A} = -\mu \cdot \vec{j} \quad . \quad (3.19)$$

Gleichung 3.19 kann in kartesische Koordinaten zerlegt werden

$$\Delta A_i = -\mu \cdot j_i \quad \text{mit} \quad i = x, y, z \quad . \quad (3.20)$$

Die Gleichung 3.20 ist nicht einfach zu lösen, aber sie hat dieselbe Form wie die Poisson-Gleichung in der Elektrostatik

$$\Delta \Phi = -\frac{\rho}{\varepsilon} \quad . \quad (3.21)$$

Die Lösung dieser Gleichung ist bekannt

$$\Phi(r) = \frac{1}{4 \cdot \pi \cdot \varepsilon} \cdot \int_{V'} \frac{\rho(r') \cdot dV'}{|r - r'|} \quad . \quad (3.22)$$

Vergleicht man Gleichung 3.20 mit 3.21, so sieht man, dass durch folgende Substitutionen

$$\Phi \rightarrow A_i \quad (3.23)$$

$$\rho \rightarrow j_i \quad (3.24)$$

$$\frac{1}{\varepsilon} \rightarrow \mu \quad (3.25)$$

die Gleichung 3.20 aus der Gleichung 3.21 hervorgeht.

Da die Gleichung 3.22 die Lösung der Gleichung 3.21 ist, ergibt sich die Lösung der Gleichung 3.20, in dem man die Substitutionen 3.23–3.25 in die Gleichung 3.22 einsetzt

$$A_i(r) = \frac{\mu}{4 \cdot \pi} \cdot \int_V \frac{j_i(r') \cdot dV'}{|r - r'|} \quad (3.26a)$$

In vektorieller Schreibweise wird daraus

$$\vec{A}(\vec{r}) = \frac{\mu}{4 \cdot \pi} \cdot \int_V \frac{\vec{j}(\vec{r}') \cdot dV'}{|\vec{r} - \vec{r}'|} \quad (3.26b)$$

Mit r wird der Ortsvektor des Punktes, an dem A bestimmt werden soll, bezeichnet. Während r' der Ortsvektor des betrachteten Stromelementes $j(r')$ ist (siehe Bild 3.7).

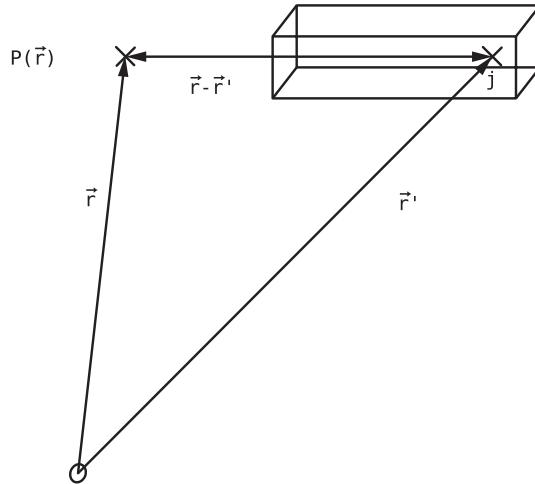


Bild 3.7 Berechnung des magnetischen Vektorpotentials im Punkt r .

Da nun das Vektorpotential A bekannt ist, lässt sich der magnetische Fluss Ψ durch eine Schleife der Fläche F leicht berechnen. Aus Gleichung 3.9 folgt

$$\Psi = \int_F \vec{B} \cdot d\vec{F} = \int_F \text{rot} \vec{A} \cdot d\vec{F} = \oint_S \vec{A} \cdot d\vec{s} \quad (3.27a)$$

Hierbei wurde der Stokes'sche Satz

$$\int_F \text{rot} \vec{A} \cdot d\vec{F} = \oint_S \vec{A} \cdot d\vec{s} \quad (3.27b)$$

verwendet.

Aus dem nun bekannten Fluss Ψ und dem Strom I_j können nun mittels den Gleichungen 3.11 und 3.12 die Induktivitäten berechnet werden.

Die Berechnung einer integrierten Induktivität bedingt eine geschlossene Stromschleife. Es ist notwendig, dass sowohl der Strompfad im Netz der Signalleitungen als auch der Rückpfad im Netz der Versorgungsleitungen bei wechselnden Schaltzuständen gleichzeitig bekannt sind. Das heißt, man muss die Stromverteilung zu jedem Zeitpunkt im gesamten Netz der Schaltung kennen. Natürlich hängt die Stromverteilung von den Impedanzen und damit auch von den Induktivitäten ab. Dies führt zu einem Widerspruch.

Weiter gilt, dass heutige integrierte Schaltungen komplexe dreidimensionale Strukturen für die Signalleitungen und für die Leitungen der Stromversorgung aufweisen. Die Stromverteilung hängt zusätzlich von Entkoppelkapazitäten, den Widerständen des Netzwerkes für die Versorgungsleitungen, den Orten für die Pads und von der Taktfrequenz ab. Die Entkoppelkapazitäten liegen zwischen den Leitungen für die positive Versorgungsspannung und den Masseleitungen und sollen während der Schaltvorgänge Einbrüche der Versorgungsspannung vermeiden helfen.

Aus allen diesen Gründen ist es sehr schwierig, die Strompfade und daraus folgend die Induktivitäten zu bestimmen. Im Allgemeinen ist man auf entsprechende Simulationsprogramme angewiesen.

Gelingt es, zum Beispiel mittels zusätzlicher Versorgungsleitungen, die Rückkoppelpfade eindeutig festzulegen, so ist trotzdem die Berechnung der integrierten Induktivitäten sehr kompliziert. Da die Ableitung der nachfolgenden Näherungslösungen das Verständnis erleichtert, wird sie nun gezeigt.

Zunächst werden dünne Stromfäden mit konstanten Stromdichten angenommen. Dann wird aus dem Vektorpotential nach Gleichung 3.26b für die Schleife j ($j \cdot dA = I$)

$$\vec{A}_j(\vec{r}) = \frac{\mu_0}{4\pi} \cdot I_j \cdot \oint_{S_j} \frac{d\vec{s}_j}{|\vec{r} - \vec{r}'|} \quad (3.28)$$

Näherungsweise wird nun die Schleife mittels K gerade Elemente der Länge s_{jk} dargestellt. Somit erhält man

$$\vec{A}_j(\vec{r}) = \frac{\mu_0}{4\pi} \cdot I_j \cdot \sum_{k=1}^K \int_{S_{jk}} \frac{d\vec{s}_j}{|\vec{r} - \vec{r}'_{jk}|} \quad (3.29)$$

Gleichung 3.29 stellt insofern eine Näherungslösung dar, als die Maxwell'schen Gleichungen zweimal stetig differenzierbare Größen voraussetzen, was in diesem

Fall von endlich langen Stromelementen nicht gegeben ist. Das Vektorpotential eines geraden Leitungsstücks der Länge s_{jk} hat an dessen Enden andere Streufelder als diejenigen an den Ecken des Polygons. Auf die Frage, welcher vom Fluss durchgesetzten Fläche diese Vorgehensweise entspricht, wird später eingegangen.

Die Gegeninduktivität nach Gleichung 3.11 erhält man mit Gleichung 3.27a zu

$$M = \frac{1}{I_j} \cdot \oint_{S_i} \vec{A}_j \cdot d\vec{s}_i \quad (3.30)$$

Nun nimmt man weiter an, dass die Schleife i aus L geraden Elementen besteht. Setzt man Gleichung 3.29 in Gleichung 3.30 ein, ergibt sich

$$M = \frac{\mu_0}{4\pi} \cdot \sum_{k=1}^K \sum_{l=1}^L \int_{S_{jk}} \int_{S_{il}} \frac{d\vec{s}_j \cdot d\vec{s}'_j}{|\vec{r}'_{il} - \vec{r}_{jk}|} \quad (3.31)$$

Die Gleichung 3.31 legt es nahe eine neue Größe zu definieren, nämlich die partielle Gegeninduktivität zwischen den Elementen k und l

$$M_{pkl} = \frac{\mu_0}{4\pi} \cdot \int_{S_{jk}} \int_{S_{il}} \frac{d\vec{s}_j \cdot d\vec{s}'_j}{|\vec{r}'_{il} - \vec{r}_{jk}|} \quad (3.32)$$

Physikalisch bedeutet dies, dass der Strom I_j in Element k eine Spannung

$$U_l = M_{pkl} \cdot \frac{dI_j}{dt} \quad (3.33)$$

im Element l induziert. Die gesamte Gegeninduktivität ergibt sich aus der Summe aller partiellen Gegeninduktivitäten

$$M = \sum_{k=1}^K \sum_{l=1}^L M_{pkl} \quad (3.34)$$

Als Nächstes wollen wir untersuchen, welcher Fläche M_{pkl} entspricht. Dazu betrachten wir die zwei Elemente S_{jk} und S_{il} (siehe Bild 3.8). Berechnet man die Größe

$$M_{pkl} = \frac{1}{I_j} \cdot \int_{F_{ikl}} \vec{B}_j \cdot d\vec{f}' = \frac{1}{I_j} \cdot \oint_{S_j} \vec{A}_j \cdot d\vec{s}'_i \quad (3.35)$$

wird daraus

$$M_{pkl} = \frac{1}{I_j} \cdot \oint_{S_{il}} \vec{A}_j(\vec{r}'_{il}) \cdot d\vec{s}'_i \quad (3.36)$$

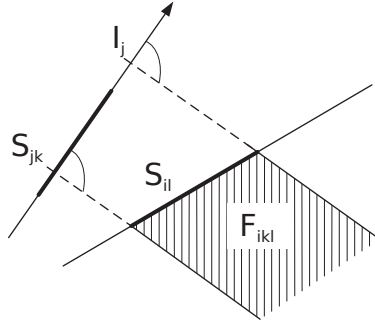


Bild 3.8 Die vom Fluss durchsetzte Fläche F_{ikl} , welche der Berechnung von M_{pkl} zu Grunde liegt.

da A_j parallel zu s_{jk} ist und das Integral über die beiden Geraden senkrecht zu s_{jk} verschwindet. Ferner verschwindet auch das Integral im Unendlichen, da dort A_j beliebig klein wird. Es verbleibt nur das Integral über s_{il} . Setzt man in Gleichung 3.36 das genäherte Vektorpotential

$$\vec{A}_j(\vec{r}) = \frac{\mu_0}{4\pi} \cdot I_j \cdot \int_{S_{jk}} \frac{d\vec{s}_j}{|\vec{r} - \vec{r}'_{jk}|}$$

ein, so ergibt sich die partielle Gegeninduktivität nach Gleichung 3.32. Diese ist damit eindeutig definiert. Das beschriebene Verfahren kann zur näherungsweisen Berechnung der Gegeninduktivität dünner Leiterschleifen verwendet werden. Sind die Leiter nicht dünn, muss zusätzlich über die Querschnitte integriert werden. Anhand einiger Beispiele soll die Methode für dünne Leiter näher erläutert werden.

Beispiel 1: Berechnung der partiellen Gegeninduktivität zweier gerader und paralleler Leiter der Länge S (siehe Bild 3.9)

Aus Gleichung 3.36 folgt

$$M_{p12} = \frac{\mu_0}{4\pi} \cdot \int_0^S \int_0^S \frac{dy_1 \cdot dy_2}{\sqrt{(y_2 - y_1)^2 + d^2}} \quad .$$

Für das Integral $\ln y_2$ über y_2 wählen wir die Substitution

$$\sinh u = \frac{y_2 - y_1}{d} \quad ; \quad d \cdot \cosh u \cdot du = dy_2$$

und erhalten

$$\ln y_2 = \int_{-\operatorname{arsinh} y_1/d}^{\operatorname{arsinh}(S-y_1)/d} du = \operatorname{arsinh} \frac{S-y_1}{d} + \operatorname{arsinh} \frac{y_1}{d} \quad .$$

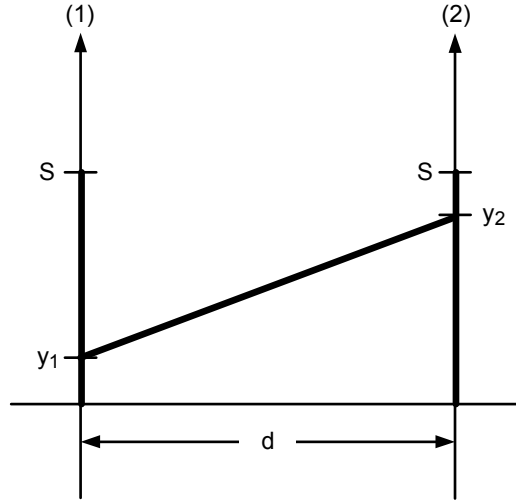


Bild 3.9 Partielle Gegeninduktivität zweier gerader und paralleler Leiter der Länge S .

Die Integration über y_1 ergibt

$$\begin{aligned}
 M_{p12} &= \frac{\mu_0}{2 \cdot \pi} \cdot \left(S \cdot \operatorname{arsinh} \frac{S}{d} + d - \sqrt{S^2 + d^2} \right) \\
 &= \frac{\mu_0}{2 \cdot \pi} \cdot S \cdot \left(\ln \left(\frac{S}{d} + \sqrt{1 + \left(\frac{S}{d} \right)^2} \right) + \frac{d}{S} - \sqrt{1 + \left(\frac{d}{S} \right)^2} \right) . \quad (3.37)
 \end{aligned}$$

Für $S \gg d$ wird daraus

$$M_{p12} \approx \frac{\mu_0}{2 \cdot \pi} \cdot S \cdot \left(\ln \frac{2 \cdot S}{d} - 1 \right) . \quad (3.38)$$

Beispiel 2: Berechnung der Selbstinduktion einer Schleife

Als Nächstes wollen wir uns der Selbstinduktivität L einer Schleife zuwenden. Hier müssen wir, um Singularitäten zu vermeiden, einen Leiter mit endlichen Querschnitt annehmen, zum Beispiel einen runden Leiter mit dem Radius a . Dann teilt man die Induktivität in eine innere L_{in} und eine externe L_{ex}

$$L = L_{\text{in}} + L_{\text{ex}} . \quad (3.39)$$

L_{in} ergibt sich aus der Induktivität pro Länge L'_{gerade} eines geraden Leiters desselben Querschnitts multipliziert mit dem Umfang der Schleife. L'_{gerade} wird mit Hilfe der magnetischen Energie berechnet

$$L'_{\text{gerade}} = \frac{\mu_0}{I^2} \cdot \int_F |H|^2 \cdot df \quad . \quad (3.40)$$

Bei dünnen Leitern ist L_{ex} meistens sehr viel größer als L_{in} . Deswegen kann L_{in} vernachlässigt werden. Die externe Induktivität folgt aus dem Fluss, der die innere Kontur S_{li} der Schleife von Bild 3.10 durchsetzt. Dieser Fluss wird von dem in der Kontur S_{1SP} konzentrierten Strom I erzeugt. S_{1SP} verläuft im Schwerpunkt des Querschnitts. Somit ist sofort klar, dass L_{ex} die Gegeninduktivität zwischen den

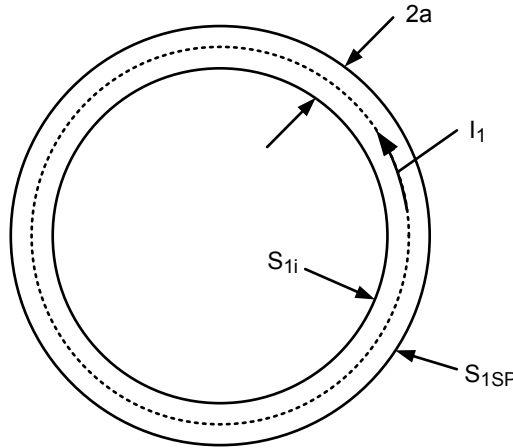


Bild 3.10 Leiterschleife mit innerer Kontur S_{li} und Schwerpunktskontur S_{1SP} .

Schleifen S_{li} und S_{1SP} darstellt. Daraus folgt, dass man mit der bereits dargestellten Vorgehensweise zur Berechnung M_{pkl} auch die partielle Selbstinduktivität L_{pkl} bestimmen kann (siehe Bild 3.11). Diese Selbstinduktivität ist gleich der im Beispiel 1 berechneten partiellen Gegeninduktivität mit $d = a$ (siehe Gleichung 3.37).

Beispiel 3: Berechnung der partiellen Selbstinduktivität eines geraden, runden Leiterstücks der Länge S (siehe Bild 3.11).

Der Strom I sei homogen über den Querschnitt verteilt. Da das Vektorpotential im Abstand $\rho = a$ benötigt wird, kann man den Strom in der z -Achse (S_{SP}) konzentriert annehmen und man erhält aus Gleichung 3.26b

$$A(\rho = a, z) = \frac{I \cdot \mu_0}{4 \cdot \pi} \cdot \int_{-S/2}^{S/2} \frac{dz'}{\sqrt{(z - z')^2 + a^2}} \quad . \quad (3.41)$$

Mit der Substitution

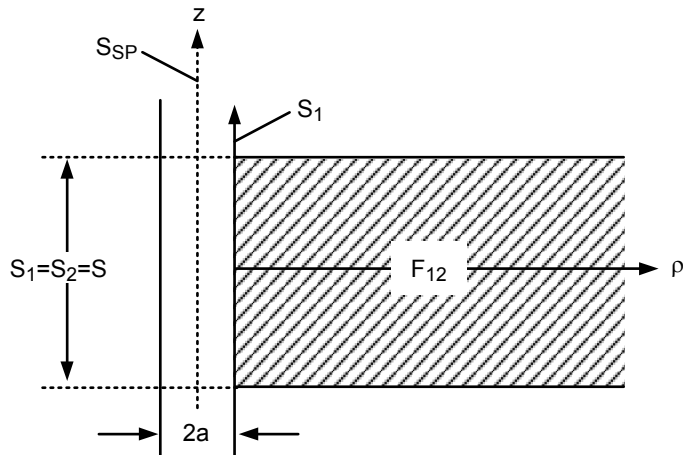


Bild 3.11 Zur Bestimmung der partiellen Selbstinduktivität eines Leiters der Länge S und des Radius a .

$$\xi = \frac{z - z'}{a} \quad ; \quad a \cdot d\xi = -dz' \quad (3.42)$$

und

$$f(\xi) = \xi + \sqrt{\xi^2 + 1} \quad ; \quad f'(\xi) = \frac{\xi + \sqrt{\xi^2 + 1}}{\sqrt{\xi^2 + 1}} \quad (3.43)$$

wird aus Gleichung 3.41

$$\begin{aligned} A_z(\rho = a, z) &= \frac{I \cdot \mu_0}{4 \cdot \pi} \cdot \int_{(2z-S)/2a}^{(2z+S)/2a} \frac{\xi + \sqrt{1 + \xi^2}}{\sqrt{1 + \xi^2}} \cdot \frac{d\xi}{\xi + \sqrt{1 + \xi^2}} \\ &= \frac{I \cdot \mu_0}{4 \cdot \pi} \cdot \ln(\xi) \Big|_{(2z-S)/2a}^{(2z+S)/2a} \\ &= \frac{I \cdot \mu_0}{4 \cdot \pi} \cdot \ln \frac{\xi_+ + \sqrt{1 + \xi_+^2}}{\xi_- + \sqrt{1 + \xi_-^2}} \end{aligned} \quad (3.44)$$

mit

$$\xi_{\pm} = \frac{2 \cdot z \pm S}{2 \cdot a} \quad . \quad (3.45)$$

Die partielle Selbstinduktivität ist dann

$$L_p = \frac{1}{I} \cdot \int_{-S/2}^{S/2} A_z(\rho = a, z') \cdot dz' \quad . \quad (3.46)$$

Mit

$$\xi_{\pm} = \frac{2 \cdot z' \pm S}{2 \cdot a} \quad ; \quad a \cdot d\xi_{\pm} = dz' \quad (3.47)$$

und nach Einsetzen von 3.44 wird aus 3.46

$$L_p = \frac{\mu_0}{4 \cdot \pi} a \cdot \left(\int_0^{S/a} \ln \left(\xi_+ + \sqrt{1 + \xi_+^2} \right) \cdot d\xi_+ - \int_{S/a}^0 \ln \left(\xi_- + \sqrt{1 + \xi_-^2} \right) \cdot d\xi_- \right) \quad . \quad (3.48)$$

Es gilt (siehe mathematische Formelsammlung)

$$\operatorname{arsinh} x = \ln \left(x + \sqrt{1 + x^2} \right) \quad (3.49)$$

und

$$\int \operatorname{arsinh} x \cdot dx = x \cdot \operatorname{arsinh} x - \sqrt{1 + x^2} \quad . \quad (3.50)$$

Somit folgt aus Gleichung 3.48

$$\begin{aligned} L_p &= \frac{\mu_0}{4\pi} \cdot a \cdot \left(\frac{S}{a} \cdot \operatorname{arsinh} \frac{S}{a} - \sqrt{1 + \left(\frac{S}{a} \right)^2} + 1 + 1 + \frac{S}{a} \cdot \operatorname{arsinh} \frac{S}{a} - \sqrt{1 + \left(\frac{S}{a} \right)^2} \right) \\ &= \frac{\mu_0}{2 \cdot \pi} \cdot S \cdot \left(\ln \left(\frac{S}{a} + \sqrt{1 + \left(\frac{S}{a} \right)^2} \right) - \sqrt{1 + \left(\frac{a}{S} \right)^2} + \frac{a}{S} \right) \quad . \end{aligned} \quad (3.51)$$

Wenn $S \gg a$ gilt

$$\sqrt{1 + \left(\frac{a}{S} \right)^2} = 1 + \left(\frac{a}{S} \right)^2 + \dots \quad (3.52)$$

$$\ln \left(\frac{S}{a} + \sqrt{1 + \left(\frac{a}{S} \right)^2} \right) = \operatorname{arsinh} \frac{S}{a} = \ln \left(\frac{2S}{a} \right) + \left(\frac{a}{2 \cdot S} \right)^2 + \dots \quad (3.53)$$

und man erhält für Gleichung 3.51

$$L_p = \frac{S \cdot \mu_0}{2 \cdot \pi} \cdot \left(\ln \left(\frac{2 \cdot S}{a} \right) + \left(\frac{a}{2 \cdot S} \right)^2 - 1 - \frac{1}{2} \cdot \left(\frac{a}{S} \right)^2 + \frac{a}{S} \dots \right)$$

$$L_p \approx \frac{S \cdot \mu_0}{2 \cdot \pi} \cdot \left(\ln \left(\frac{2 \cdot S}{a} \right) - 1 + \frac{a}{S} \right) \quad . \quad (3.54)$$

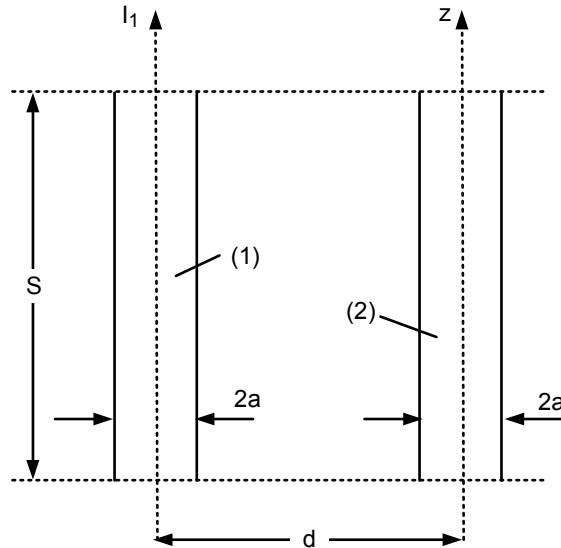


Bild 3.12 Zur Bestimmung der partiellen Gegeninduktivität zwischen zwei Leitern.

Beispiel 4: Partielle Gegeninduktivität zwischen zwei dünnen, parallelen Leitern der Länge S nach Bild 3.12.

Man berechnet zunächst das Vektorpotential von Leiter 1, wobei der Strom I_1 im Mittelpunkt konzentriert angenommen wird. Das Ergebnis entspricht Gleichung 3.41 mit $a = \rho$. Weiter muss man an der Stelle $\rho = d$ über z integrieren und erhält die partielle Gegeninduktivität aus Gleichung 3.45 mit $a = d$.

Dicke Leiter

Bisher wurden dünne Leiter vorausgesetzt, so dass zum Beispiel $L_{in} \ll L_{ex}$ angenommen werden konnte. Schwieriger wird die Berechnung von Induktivitäten bei dicken Leitern. Wir werden nicht im Detail die Ableitung beschreiben, sondern nur den Weg aufzeigen. Der interessierte Leser wird auf die Literaturstelle [171] verwiesen. Der Weg wird anhand des nächsten Beispiels aufgezeigt.

Beispiel 5: Selbstinduktivität eines langen, rechteckigen Leiter nach Bild 3.13

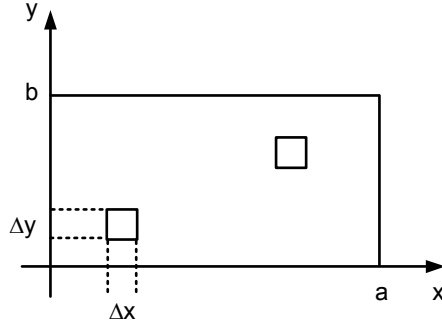


Bild 3.13 Zur Berechnung der Selbstinduktivität eines rechteckigen Leiters.

Wir gehen von der gespeicherten magnetischen Energie aus

$$W_m = \frac{1}{2} \cdot \int_V \vec{H} \cdot \vec{B} \cdot dV' \quad (3.55)$$

und verwenden

$$\vec{H} \cdot \vec{B} = \vec{H} \cdot \text{rot} \vec{A} = \text{div}(\vec{A} \times \vec{H}) + \vec{A} \cdot \text{rot} \vec{H} = \text{div}(\vec{A} \times \vec{H}) + \vec{A} \cdot \vec{j} \quad (3.56)$$

Setzt man Gleichung 3.56 in Gleichung 3.55 ein und verwendet den Stokes'schen Satz, erhält man

$$W_m = \frac{1}{2} \oint_F (\vec{A} \times \vec{H}) \cdot d\vec{F}' + \frac{1}{2} \int_V \vec{A} \cdot \vec{j} \cdot dV' \quad (3.57)$$

Die Integrale erstrecken sich in den unendlichen Raum. Da der Vektor A mit mindestens $1/r$ und der Vektor B mit mindestens $1/r^2$ abklingt, die Oberfläche aber nur mit r^2 zunimmt, verschwindet das Oberflächenintegral und die magnetische Energie berechnet sich zu

$$W_m = \frac{1}{2} \int_{V_{\text{Leiter}}} \vec{A} \cdot \vec{j} \cdot dV' \quad (3.58)$$

Dieses Integral erstreckt sich nur auf das Leitervolumen, da der Strom außerhalb des Leiters verschwindet. Die magnetische Energie ist aber auch gleich

$$W_m = \frac{1}{2} \cdot L \cdot I^2 \quad (3.59)$$

Somit ergibt sich die Selbstinduktivität L aus den Gleichung 3.58 und 3.26b zu

$$L = \frac{\mu_0}{4 \cdot \pi \cdot I^2} \cdot \int_V \int_V \frac{\vec{j}(\vec{r}') \cdot \vec{j}(\vec{r}'')}{|\vec{r}' - \vec{r}''|} \cdot dV' \cdot dV'' \quad (3.60)$$

Der Ausdruck im Nenner von Gleichung 3.60 ist der Abstand zwischen den zwei Stromelementen $j(r') \cdot dV'$ und $j(r'') \cdot dV''$. Die letzte Gleichung ist noch ein exakter Ausdruck. Zur Vereinfachung nehmen wir jetzt einen langen Leiter mit homogener Stromverteilung in z -Richtung an. Dann wird mit $j = I/F$ und $F = a \cdot b$ aus Gleichung 3.60

$$L = \frac{1}{F^2} \int_F \int_F \left(\frac{\mu_0}{4 \cdot \pi} \cdot \int_S \int_S \frac{dz' \cdot dz''}{|\vec{r}' - \vec{r}''|} \right) \cdot dF' \cdot dF'' \quad . \quad (3.61)$$

Der Ausdruck in der geschweiften Klammer entspricht der partiellen Gegeninduktivität zweier dünner Leiter nach Gleichung 3.38 mit dem Abstand

$$d = \sqrt{(x' - x'')^2 + (y' - y'')^2} \quad (3.62)$$

und einer Länge $S \gg d$. Somit wird aus Gleichung 3.61

$$\begin{aligned} L &= \frac{S \cdot \mu_0}{2 \cdot \pi \cdot F^2} \cdot \int_F \int_F \left(\ln \left(\frac{2 \cdot S}{d} \right) - 1 \right) \cdot dF' \cdot dF'' = \\ &= \frac{S \cdot \mu_0}{2 \cdot \pi} \cdot \left(\frac{1}{a^2 \cdot b^2} \cdot \int_0^a \int_0^a \int_0^b \int_0^b \ln \left(\frac{2 \cdot S}{d} \right) \cdot dx' \cdot dx'' \cdot dy' \cdot dy'' - 1 \right) \quad (3.63) \\ &= \frac{S \cdot \mu_0}{2 \cdot \pi} \left(\ln 2S - 1 - \frac{1}{a^2 \cdot b^2} \cdot \int_0^a \int_0^a \int_0^b \int_0^b \ln d \cdot dx' \cdot dx'' \cdot dy' \cdot dy'' \right) \quad . \end{aligned}$$

Als Nächstes verwenden wir das Konzept des „mittleren geometrischen Abstandes“, das bereits von Maxwell eingeführt wurde. Der mittlere geometrische Abstand zwischen mehreren Punkten $P_1, P_2 \dots P_N$ und einem festen Punkt P ist definiert als

$$D = (d_1 \cdot d_2 \cdot d_3 \cdot \dots \cdot d_n)^{1/N} \quad , \quad (3.64)$$

wobei d_n den Abstand zwischen P und P_n bezeichnet. Es gilt

$$\ln D = \frac{1}{N} \cdot \sum_{n=1}^N \ln d_n \quad . \quad (3.65)$$

Stellt die Punktmenge P_i eine kontinuierliche Verteilung $P(x, y)$ in der Fläche F_1 dar, so wird aus Gleichung 3.65

$$\ln D = \frac{1}{F_1} \cdot \int \int \ln d(x', y') \cdot dx' \cdot dy' \quad . \quad (3.66)$$

Wenn der Referenzpunkt P ebenfalls eine kontinuierliche Verteilung in einer Fläche F_2 aufweist, dann ist der Logarithmus des mittleren geometrischen Abstandes

zwischen zwei Flächen

$$\ln D = \frac{1}{F_1 \cdot F_2} \cdot \int \int \int \int \ln d(x', y', x'', y'') \cdot dx' \cdot dx'' \cdot dy' \cdot dy'' \quad . \quad (3.67)$$

Dies entspricht dem dritten Term in Gleichung 3.63, wenn die beiden Flächen F_1 und F_2 übereinander liegen. Die Selbstinduktivität lässt sich somit schreiben als

$$L = \frac{S \cdot \mu_0}{2 \cdot \pi} \cdot \left(\ln \frac{2 \cdot S}{D} - 1 \right) \quad \text{für } S \gg D \quad . \quad (3.68)$$

Der mittlere geometrische Abstand D ist nicht immer einfach zu bestimmen. Oftmals wird er numerisch berechnet. Es ergibt sich für einen runden Leiter mit dem Radius a

$$D \approx 0,779 \cdot a \quad ,$$

für eine dünne Platte der Weite w

$$D \approx 0,223 \cdot w$$

und für einen rechteckigen Leiter

$$D \approx 0,224 \cdot (a + b) \quad .$$

Die partielle Gegeninduktivität M_p zwischen zwei dicken Leitern ist ebenfalls durch Gleichung 3.68 gegeben. Nur die Flächen F_1 und F_2 liegen jetzt nicht übereinander. In diesen Fällen beträgt der mittlere geometrische Abstand

$$D = d$$

für zwei runde Leiter im Abstand d und

$$\ln D = \ln w - \left(\frac{1}{12 \cdot n^2} + \frac{1}{60 \cdot n^4} + \dots \right)$$

für zwei dünne Platten der Weite w mit dem Abstand $d = n \cdot w$.

Auf einem Chip haben die Leiterbahnen einen rechteckförmigen Querschnitt mit der Weite w und dem Abstand s . Die Dicke der Metallschicht betrage t . Für diese Geometrie werden in der Literatur analytische Näherungslösungen angegeben, die sich bei der Berechnung der Induktivitäten von integrierten Spulen bewährt haben [77] und [192]. Integrierte Spulen werden aus dicken Leitungsstücken aufgebaut. Anhand einer typischen integrierten Spule wird nun eine dieser Näherungslösungen erläutert.

Die Spule habe einen leeren quadratischen Innenraum mit der Seitenlänge d_{in} . Nach jedem zweiten Segment erhöht sich die Segmentlänge um $w + s$, wie es Bild 3.14 zeigt. Für ein derartiges symmetrisches Layout ergibt sich ein linearer Zusam-

menhang zwischen der gesamten Länge l der Spule und der Anzahl n an Windungen sowie der inneren Abmessung d_{in} [11]:

N_i ist die gerade Zahl von n . Für $n = 0$ besteht die Spule aus einem Segment, der Länge d_{in} .

$$l = (4 \cdot n + 1) \cdot d_{\text{in}} + (4 \cdot N_i + 1) \cdot N_i \cdot (w + s) \quad . \quad (3.69)$$

Die gesamte Induktivität errechnet sich aus der Summe der Selbstinduktivität L_{self}

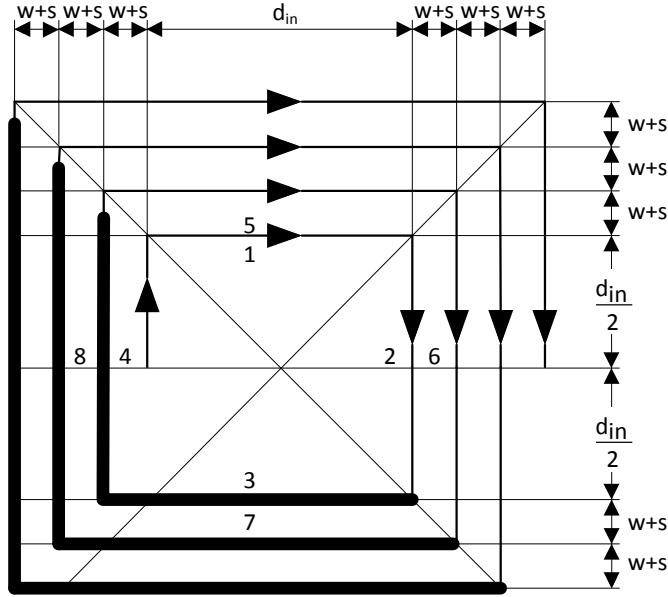


Bild 3.14 Planare und rechteckförmigen Spule, bestehend aus 3,5 Wicklungen [11].

des Leiters und den positiven und negativen Gegeninduktivitäten M^+ und M^- zwischen den einzelnen Segmenten des Leiters. Nach [11] errechnet sich die Selbstinduktivität eines geraden Segments zu

$$L_{\text{self,seg}} = \frac{\mu_0}{2 \cdot \pi} \cdot l_{\text{seg}} \cdot \left(\ln \frac{2 \cdot l_{\text{seg}}}{w+t} + 0,5 \right) \quad . \quad (3.70)$$

Die Selbstinduktivität einer quadratischen Spule lässt sich ausdrücken als die Summe von $4n$ Selbstinduktivitäten von Segmenten mit der durchschnittlichen Länge $l_{\text{av,seg,square}} = l/4n$. Somit ergibt sich für die gesamte Selbstinduktivität L_{self}

$$L_{\text{self}} = \frac{\mu_0}{2 \cdot \pi} \cdot l \cdot \left(\ln \frac{l}{n \cdot (w+t)} - 0,2 \right) \quad . \quad (3.71)$$

Zur Gegeninduktivität tragen nur parallele Segmente bei. Zum Beispiel hat die Gegeninduktivität zwischen den Segmenten 1 und 5 von Bild 3.14 zwei Komponenten. Nämlich einmal die Komponente $M_{1,5}$, die vom Strom im Segment 1 verursacht wird, sowie die Komponente $M_{5,1}$ die vom Strom im Segment 5 herrührt. Da die Frequenzen und die Phasen der Ströme in beiden Segmenten identisch sind, ergibt sich die gesamte Gegeninduktivität zu $M_{1,5} + M_{5,1}$. Eine entsprechende Beziehung existiert zwischen den Segmentpaaren 2 – 6, 3 – 7 und 4 – 8. In allen diesen Paaren fließt der Strom in die selbe Richtung und alle Gegeninduktivitäten sind positiv.

Die Gegeninduktivität zwischen den Segmenten 1 und 7 besteht aus der Komponente $M_{1,7}$, die verursacht wird vom Strom im Segment 1, und der Komponente $M_{7,1}$, deren Ursache der Strom im Segment 7 ist. Die gesamte Gegeninduktivität ergibt sich wieder aus der Summe $M_{1,7} + M_{7,1}$. Aber dieser Wert ist negativ, da die Ströme in den Segmenten in entgegengesetzten Richtungen fließen. Analoge Verhältnisse ergeben sich für die Paare 1 – 3, 5 – 7, 5 – 3, 2 – 8, 2 – 4, 6 – 8 und 6 – 4. Für eine Spule, die aus acht Segmenten besteht, erhält man für die gesamte Induktivität L [72]

$$L = \sum_{i=1}^{i=8} L_{\text{self, seg } i} + 2 \cdot (M_{1,5} + M_{2,6} + M_{3,7} + M_{4,8}) - 2 \cdot (M_{1,7} + M_{1,3} + M_{5,7} + M_{5,3} + M_{2,8} + M_{2,4} + M_{6,8} + M_{6,4}) \quad (3.72)$$

Die Summe aller negativen Gegeninduktivitäten errechnet sich näherungsweise aus $2 \cdot n^2$ durchschnittlichen Interaktionen zwischen Segmenten mit durchschnittlicher Länge und mit einem durchschnittlichen Abstand. Der durchschnittliche Abstand zwischen Segmenten an entgegengesetzten Seiten der quadratischen Spule entspricht der durchschnittlichen Segmentlänge. So ergibt sich für den angenommenen Fall ein einfacher Ausdruck für die gesamte negative Gegeninduktivität M^- als Funktion der gesamten Länge l und der Anzahl n der Wicklungen [11]

$$M^- = 2 \times 2 \cdot n^2 \cdot \left(\frac{\mu_0}{2 \cdot \pi} \cdot \frac{l}{4 \cdot n} \cdot 0,47 \right) = 0,47 \cdot \frac{\mu_0}{2 \cdot \pi} \cdot l \cdot n \quad (3.73)$$

Die positive Gegeninduktivität ergibt sich aus der Interaktion zwischen parallelen Segmenten, die auf der gleichen Seite des Quadrats liegen. Der durchschnittliche Abstand d^+ zwischen diesen Segmenten beträgt

$$d^+ = (w + s) \cdot \frac{(3 \cdot n - 2 \cdot N_i - 1) \cdot (N_i + 1)}{3 \cdot (2 \cdot n - N_i - 1)} \quad (3.74)$$

Man erhält für die positive Gegeninduktivität

$$M^+ = \frac{\mu_0}{2 \cdot \pi} \cdot l \cdot (n-1) \cdot \left[\ln \left(\sqrt{1 + \left(\frac{l}{4 \cdot n \cdot d^+} \right)^2} + \frac{l}{4 \cdot n \cdot d^+} \right) - \right. \\ \left. - \sqrt{1 + \left(\frac{4 \cdot n \cdot d^+}{l} \right)^2} + \frac{4 \cdot n \cdot d^+}{l} \right] . \quad (3.75)$$

Die gesamte Induktivität L einer quadratischen Spule errechnet sich zu [11]

$$L = \frac{\mu_0}{2 \cdot \pi} \cdot l \cdot \left\{ \left[\ln \frac{l}{n \cdot (w+t)} - 0,2 - 0,47 \cdot n + (n-1) \cdot \right. \right. \\ \left. \left[\ln \left(\sqrt{1 + \left(\frac{l}{4 \cdot n \cdot d^+} \right)^2} + \frac{l}{4 \cdot n \cdot d^+} \right) - \right. \right. \\ \left. \left. - \sqrt{1 + \left(\frac{4 \cdot n \cdot d^+}{l} \right)^2} + \frac{4 \cdot n \cdot d^+}{l} \right] \right\} . \quad (3.76)$$

Besteht die Spule nur aus einer Wicklung, wobei zwei Seiten des Rechtecks sehr lang (Länge l) und die beiden anderen Seiten sehr kurz sind (Abstand d), lässt sich Gleichung 3.76 wesentlich vereinfachen [147]

$$L = 0,004 \cdot l \cdot \left(\ln \left(\frac{d}{w+t} \right) + \frac{3}{2} \right) \quad \text{für } l \gg d \quad (3.77)$$

L in Mikrohenry
 l in Zentimeter.

Zum Abschluss sei nochmals darauf hingewiesen, dass immer eine homogene Stromverteilung angenommen wurde. Der Skineffekt und die Stromverdrängung in eng benachbarten Leitungen aufgrund von Wirbelströmen wurden vernachlässigt.

Der Leser beachte, dass die Gleichung 3.76 keine unphysikalischen Anpassparameter enthält. Die Selbstinduktivität sowie die positive beziehungsweise negative Gegeninduktivität hängen nur von geometrischen Größen ab. Die Gleichung wurde von Simulationsprogrammen bestätigt. Die Gleichung ist skalierbar und kann für Spulen mit unvollständigen inneren oder äußeren Windungen verwendet werden. Obwohl die Gleichung 3.76 für quadratische Spulen abgeleitet wurde, kann sie leicht für andere Geometrien abgeändert werden [11], [72] und [147].

3.2 Leitungsmodelle

Die Laufzeit der Signale auf Leitungen kann mittels verteilter Widerstands-, Kapazitäts- und Induktivitätsbeläge berechnet werden. Zunächst wird eine kurze Zusammenfassung der Leitungstheorie gegeben. Sodann werden die auf den Chips vorrangig auftretenden RC-Leitungen untersucht und die Laufzeit der Signale berechnet. Es werden für die Laufzeit auch Näherungslösungen mit konzentrierten Elementen

angegeben. Inwieweit die Laufzeit von RC-Leitungen verbessert werden kann, indem man die Leitung unterteilt und in die Lücken Inverter einsetzt, wird diskutiert werden. Schließlich wird auch die RLC-Leitung besprochen, da diesem Leitungstyp auf den Chips in Zukunft eine größere Bedeutung zukommen wird. Die Kopplungen zwischen den Leitungen ist ein wichtiges Thema, das ebenfalls behandelt wird.

3.2.1 Leitungstheorie

Dieser Abschnitt stützt sich auf ein Vorlesungsmanuskript von Herrn Prof. Mäcker, TU München, 1968 und auf die Literaturstelle [227].

Die Leitungstheorie behandelt elektrische Ausbreitungsvorgänge auf Leitungen, wie sie bei der Nachrichten- oder der Energieübertragung auftreten. Im Folgenden werden Leitungen zugrunde gelegt, die aus zwei parallelen Leitern bestehen und deren Eigenschaften sich in der Längsrichtung nicht ändern, sogenannte TEM-Leitungen. Als Kenngrößen solcher homogener Leitungen werden definiert:

Ohm'scher Widerstand pro Längeneinheit:	$R' \text{ (}\Omega/\text{m)}$
Selbstinduktion:	$L' \text{ (H/m)}$
Kapazität:	$C' \text{ (F/m)}$
Ableitungswert:	$G' \text{ (S/m)}$

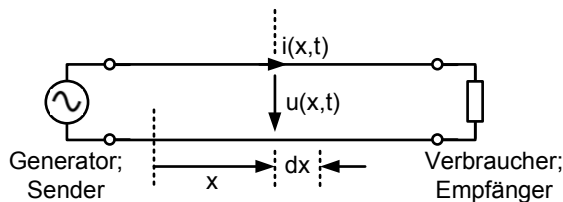


Bild 3.15 Leitung.

Die Spannung $u(x,t)$ zwischen den Leitern und der in den Leitern fließende Strom $i(x,t)$ sind Funktionen der Leitungsortsordinate x und der Zeit t . Um die Gesetze herzuleiten, die für $u(x,t)$ und $i(x,t)$ gelten, greift man ein differentielles Teilstück der Länge dx an beliebiger Stelle x heraus und stellt dieses durch ein Ersatzschaltbild gemäß Bild 3.16 dar. Dann werden die Kirchhoff'schen Gleichungen für das Teilstück angesetzt. Die Knotenpunktgleichung, die die Strombilanz ausdrückt, lautet

$$i(x+dx,t) + C' \cdot dx \cdot \frac{\partial u}{\partial t} + G' \cdot dx \cdot u - i(x,t) = 0 \quad . \quad (3.78a)$$

Vernachlässigt man Glieder höherer Ordnung, so erhält man, wegen

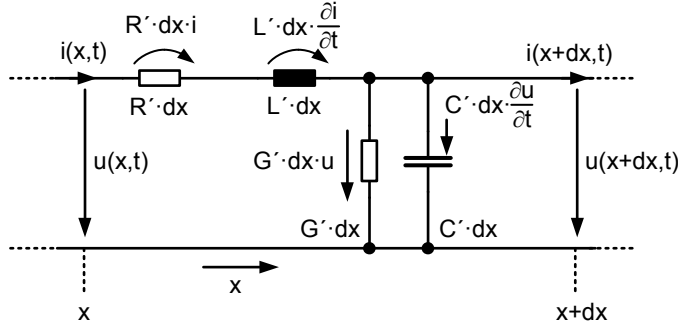


Bild 3.16 Ersatzschaltbild für eine Leitung.

$$i(x+dx, t) = i(x, t) + \frac{\partial i}{\partial x} \cdot dx \quad (3.78b)$$

$$-\frac{\partial i}{\partial x} = G' \cdot u + C' \cdot \frac{\partial u}{\partial t} \quad (3.78c)$$

Die Maschengleichung („Spannungsbilanz“) bietet zunächst

$$u(x+dx, t) + L' \cdot dx \cdot \frac{\partial i}{\partial t} + R' \cdot dx \cdot i - u(x, t) = 0 \quad (3.79a)$$

woraus wegen

$$u(x+dx, t) = u(x, t) + \frac{\partial u}{\partial x} \cdot dx \quad (3.79b)$$

folgt

$$-\frac{\partial u}{\partial x} = R' \cdot i + L' \cdot \frac{\partial i}{\partial t} \quad (3.79c)$$

Aus den beiden Differentialgleichungen 3.78c und 3.79c kann durch Elimination von $u(x, t)$ oder $i(x, t)$ eine partielle Differentialgleichung 2. Ordnung, die sogenannte „Telegraphengleichung“

$$\frac{\partial^2 f}{\partial x^2} = L' \cdot C' \cdot \frac{\partial^2 f}{\partial t^2} + (R' \cdot C' + L' \cdot G') \cdot \frac{\partial f}{\partial t} + R' \cdot G' \cdot f \quad (3.80)$$

gewonnen werden, wobei $f(x, t) = u(x, t)$ oder $f(x, t) = i(x, t)$ ist.

Es soll nicht die gesamte Lösungsmannigfaltigkeit dieser Gleichung untersucht werden, vielmehr soll im Folgenden nur eine sinusförmige Zeitabhängigkeit berücksichtigt werden.

Man ersetzt $u(x, t)$ und $i(x, t)$ durch die komplexen Momentanwerte

$$u(x, t) = \tilde{U}(x) \cdot e^{j\omega t} \quad (3.81a)$$

$$i(x, t) = \tilde{I}(x) \cdot e^{j\omega t} \quad (3.81b)$$

Mit diesem Separationsansatz erhält man aus den partiellen Differentialgleichungen 3.78c und 3.79c die beiden gewöhnlichen Differentialgleichungen

$$-\frac{d\tilde{I}}{dx} = (G' + j\omega C') \cdot \tilde{U} \quad (3.81c)$$

$$-\frac{d\tilde{U}}{dx} = (R' + j\omega L') \cdot \tilde{I} \quad (3.81d)$$

Differenziert man Gleichung 3.81d nach x und setzt Gleichung 3.81c ein, so erhält man für die komplexe Amplitude der Spannung längs der Leitung

$$\frac{d^2\tilde{U}}{dx^2} = (R' + j\omega L') \cdot (G' + j\omega C') \cdot \tilde{U} \quad (3.82)$$

Die Lösung lautet

$$\tilde{U}(x) = \tilde{A}e^{-\gamma x} + \tilde{B}e^{\gamma x} \quad (3.83)$$

Dabei sind A und B komplexe Konstanten und γ ist das von den Eigenschaften der Leitung und von der Frequenz abhängige komplexe Übertragungsmaß.

Es gilt

$$\gamma^2 = (\alpha + j\beta)^2 = (R' + j\omega L') \cdot (G' + j\omega C') \quad \text{mit} \quad (3.84a)$$

$$2\alpha^2 = (R' \cdot G' - \omega^2 \cdot L' \cdot C') + \sqrt{(R'^2 + \omega^2 \cdot L'^2) \cdot (G'^2 + \omega^2 \cdot C'^2)} \quad (3.84b)$$

$$2\beta^2 = -(R' \cdot G' - \omega^2 \cdot L' \cdot C') + \sqrt{(R'^2 + \omega^2 \cdot L'^2) \cdot (G'^2 + \omega^2 \cdot C'^2)} \quad (3.84c)$$

Schließlich ergibt sich aus den Gleichungen 3.81a, 3.83 und 3.84a für den komplexen Momentanwert der Spannung

$$u(x, t) = \tilde{A}e^{-\alpha x} \cdot e^{j(\omega t - \beta x)} + \tilde{B}e^{+\alpha x} \cdot e^{j(\omega t + \beta x)} \quad (3.85)$$

Zur Diskussion wird aus Gleichung 3.85 der Bestandteil

$$u^+(x, t) = \tilde{A}e^{-\alpha x} \cdot e^{j(\omega t - \beta x)}$$

herausgegriffen.

A ist ein komplexer Amplitudenfaktor mit der Dimension Volt. Der Faktor $e^{-\alpha x}$ bewirkt ein exponentielles Absinken des Amplitudenbetrages in positiver x -Richtung, weshalb α als Dämpfungsmaß bezeichnet wird.

Der komplexe Faktor $e^{j(\omega t - \beta x)}$ beschreibt den orts- und zeitabhängigen Phasenzustand. Ein bestimmter Zustand, d. h. eine bestimmte Phase

$$\omega t - \beta x = v = \text{const.}$$

wandert mit wachsender Zeit t zu größeren Werten von x . Die Geschwindigkeit für das Wandern eines bestimmten Phasenzustandes ergibt sich folglich zu

$$\left(\frac{dx}{dt}\right)_{v=\text{const.}} = v = \frac{\omega}{\beta} \quad (\text{Phasengeschwindigkeit}) \quad . \quad (3.86)$$

Der Ausdruck

$$u^+(x, t) = \tilde{A} e^{-\alpha x} \cdot e^{j(\omega t - \beta x)}$$

beschreibt eine in positive x -Richtung laufende Welle deren Amplitude gemäß $e^{-\alpha x}$ in Fortpflanzungsrichtung abnimmt.

Der 2. Ausdruck in Gleichung 3.85

$$u^-(x, t) = \tilde{B} e^{-\alpha(-x)} \cdot e^{j(\omega t - \beta(-x))}$$

beschreibt eine in negativer x -Richtung fortschreitende und gedämpfte Welle.

A und B sind also die komplexen Amplituden der hin- und rücklaufenden Spannungswellen an der Stelle $x = 0$, ihre Werte werden durch die Betriebsbedingungen der Leitung bestimmt.

Über die Zeit- und Ortsabhängigkeit jeder Welle lässt sich Folgendes sagen:

Am festgehaltenen Ort $x = \text{const.}$ beobachtet man eine rein zeitliche Schwingung der Periodendauer

$$T = \frac{2 \cdot \pi}{\omega} = \frac{1}{f} \quad . \quad (3.87)$$

Greift man dagegen einen bestimmten Zeitpunkt $t = \text{const.}$ heraus, das heißt man macht eine „Momentanphotographie“, so erhält man „das Bild“ der räumlichen Verteilung. Der Abstand zweier Orte mit gleicher Phase ergibt sich wegen

$$e^{jv} = e^{j(v + 2 \cdot \pi)} \quad \text{zu}$$

$$\lambda = \frac{2 \cdot \pi}{\beta} \quad (3.88)$$

λ bezeichnet man als Wellenlänge,
 β als Kreiswellenzahl oder Phasenmaß.

Aus den Gleichungen 3.86, 3.87 und 3.88 erhält man den allgemein gültigen Zusammenhang für die Phasengeschwindigkeit

$$v = f \cdot \lambda \quad . \quad (3.89)$$

Im Allgemeinen ist β nicht einfach proportional zur Frequenz ω . Die Phasengeschwindigkeit ist dann frequenzabhängig, das heißt die Phasen kontinuierlicher Wellenzüge unterschiedlicher Frequenz wandern mit verschiedenen Geschwindigkeiten. Deswegen hat man die Gruppengeschwindigkeit definiert

$$v_g = \frac{d\omega}{d\beta} \quad . \quad (3.90)$$

Die Gruppengeschwindigkeit v_g ist die Geschwindigkeit, mit der sich die Einhüllende eines schmalbandigen Signals mit Frequenzen nahe ω ausbreitet. Insbesondere beschreibt v_g die Geschwindigkeit, mit der die Energie dieser Gruppe wandert. Deswegen nennt man v_g Gruppengeschwindigkeit.

Ähnlich wie für die Amplitude der Spannung erhält man aus den Gleichungen 3.81d und 3.83 für die komplexe Amplitude des Stromes

$$\tilde{I}(x) = \frac{\gamma}{R' + j\omega L'} \cdot \left(\tilde{A}e^{-\gamma x} - \tilde{B}e^{+\gamma x} \right) \quad . \quad (3.91)$$

Es gilt also für den orts- und zeitabhängigen Stromverlauf das Gleiche, was vorher über den Spannungsverlauf gesagt wurde.

Wegen Gleichung 3.84a erhält man für $(R' + j\omega L')/\gamma$

$$\frac{R' + j\omega L'}{\gamma} = \sqrt{\frac{R' + j\omega L'}{G' + j\omega C'}} = \tilde{W} \quad . \quad (3.92)$$

Die komplexe Größe $\tilde{W}$ hat die Dimension eines Widerstandes und wird als Wellenwiderstand der Leitung bezeichnet.

Für Spannung und Strom gelten also die Gleichungen

$$\tilde{U}(x) = \tilde{A}e^{-\gamma x} + \tilde{B}e^{+\gamma x} \quad (3.93a)$$

$$\tilde{W} \cdot \tilde{I}(x) = \tilde{A}e^{-\gamma x} - \tilde{B}e^{+\gamma x} \quad . \quad (3.93b)$$

Der Wellenwiderstand $\tilde{W}$ ist eine von der Frequenz abhängige charakteristische Größe der Leitung. $\tilde{W}$ gibt nicht das Verhältnis von Gesamtspannung zu Gesamtstrom auf der Leitung an. Trennt man jedoch Spannung und Strom in die Anteile der rechts- und linkslaufenden Wellen und schreibt

$$\tilde{U}(x) = U^+(x) + U^-(x) \quad (3.94a)$$

$$\tilde{I}(x) = I^+(x) + I^-(x) \quad , \quad (3.94b)$$

wobei

$$U^+(x) = \tilde{A} \cdot e^{-\gamma x} = \tilde{W} \cdot I^+$$

$$U^-(x) = \tilde{B} \cdot e^{+\gamma x} = -\tilde{W} \cdot I^- \quad ,$$

so folgt

$$\frac{U^+}{I^+} = -\frac{U^-}{I^-} = \tilde{W} \quad . \quad (3.94c)$$

Das negative Vorzeichen bei $I^-(x)$ erklärt sich aus dem Umstand, dass auch für die rücklaufende Welle der Stromzählpfeil in positiver x -Richtung festgelegt worden ist.

Der Wellenwiderstand ist also das Verhältnis von komplexer Spannungs- zu Stromamplitude der rechtslaufenden beziehungsweise der linkslaufenden Welle allein, nicht aber das Verhältnis von Gesamtspannung zu Gesamtstrom.

Es sollen nun Spannung und Strom an irgendeiner Stelle der Leitung vorgegeben sein. Diese Stelle wird mit $x = 0$ bezeichnet. Gegeben seien also

$$\tilde{U}(x=0) = \tilde{U}_0 \quad (3.95a)$$

$$\tilde{I}(x=0) = \tilde{I}_0 \quad (3.95b)$$

Damit ist auch der Quotient (komplexer Widerstand)

$$\frac{\tilde{U}_0}{\tilde{I}_0} = \tilde{Z}_0 \quad (3.95c)$$

bekannt. Aus den Gleichungen 3.93a und 3.93b erhält man mit den Gleichungen 3.95a und 3.95b

$$\tilde{U}_0 = \tilde{A} + \tilde{B} \quad (3.96a)$$

$$\tilde{W} \cdot \tilde{I}_0 = \tilde{A} - \tilde{B} \quad (3.96b)$$

oder

$$\tilde{A} = \frac{1}{2} \cdot (\tilde{U}_0 + \tilde{W} \cdot \tilde{I}_0) \quad (3.96c)$$

$$\tilde{B} = \frac{1}{2} \cdot (\tilde{U}_0 - \tilde{W} \cdot \tilde{I}_0) \quad (3.96d)$$

Setzt man die Gleichungen 3.96c und 3.96d in die Gleichungen 3.93a und 3.93b ein, so erhält man

$$\tilde{U}(x) = \tilde{U}_0 \cdot \cosh(\gamma x) - \tilde{W} \cdot \tilde{I}_0 \cdot \sinh(\gamma x) \quad (3.97a)$$

$$\tilde{W} \cdot \tilde{I}(x) = \tilde{W} \cdot \tilde{I}_0 \cdot \cosh(\gamma x) - \tilde{U}_0 \cdot \sinh(\gamma x) \quad (3.97b)$$

In den beiden letzten Gleichungen werden nun der Gesamtstrom und die Gesamtspannung durch die Werte bei $x = 0$ ausgedrückt. Bildet man den Quotienten, so erhält man

$$\frac{1}{\tilde{W}} \cdot \frac{\tilde{U}(x)}{\tilde{I}(x)} = \frac{\tilde{Z}}{\tilde{W}} = \frac{\frac{\tilde{Z}_0}{\tilde{W}} - \tanh(\gamma x)}{1 - \frac{\tilde{Z}_0}{\tilde{W}} \cdot \tanh(\gamma x)} \quad (3.98a)$$

Schließt man die Leitung an ihrem Ende mit einem Widerstand Z_A ab und legt man außerdem die Stelle $x = 0$ an das Leitungsende (womit dann alle Orte auf der Leitung negative x -Werte haben), dann wird

$$\frac{\tilde{U}_0}{\tilde{I}_0} = \tilde{Z}_0 = \tilde{Z}_A \quad . \quad (3.98b)$$

Bildet man nun mit Hilfe der Gleichungen 3.96c und 3.96d den Quotienten aus B/A , erhält man

$$\tilde{r} = r \cdot e^{j\varphi r} = \frac{\left(\tilde{Z}_A/\tilde{W}\right) - 1}{\left(\tilde{Z}_A/\tilde{W}\right) + 1} \quad . \quad (3.98c)$$

Die komplexe Größe r nennt man den „Reflexionsfaktor“. Wichtig ist, dass durch den Quotienten von Abschlusswiderstand Z_A und Wellenwiderstand W das Verhältnis der komplexen Amplituden B und A der rück- und hinlaufenden Welle am Ort des Leitungsendes festgelegt ist. Man sieht, dass keine rücklaufende Welle infolge von Reflexion am Leitungsende entsteht ($B = 0$), wenn die Leitung mit dem Widerstand $Z_A = W$ abgeschlossen ist.

3.2.2 RC-Leitung

Die Mehrzahl der Verbindungsleitungen auf einem Chip dienen der lokalen Verbindung von Gattern. Die maximalen Längen betragen etwa 1 mm bis 3 mm. Um Chipfläche zu sparen, werden diese Leitungen in den unteren Verbindungsebenen möglichst dicht gepackt, das heißt diese Leitungen weisen die nach den Designregeln minimal zulässigen Weiten und Abstände auf. Die geringen Querschnittsflächen dieser Leitungen bedingen sehr hohe Widerstandsbeläge. Erfahrungsgemäß können derartige Leitungen als reine RC-Leitungen (also $G' = 0$ und $L' = 0$) modelliert werden.

Aus der „Telegraphengleichung“ (Gleichung 3.80), die die Ausbreitung von Signalen auf einer homogenen Zwei-Draht-Leitung beschreibt, folgt für $G' = 0$ und $L' = 0$ die „Diffusionsgleichung“

$$\frac{\partial^2 u}{\partial x^2} = R' \cdot C' \cdot \frac{\partial u}{\partial t} \quad . \quad (3.99)$$

Man erhält für das Dämpfungsmaß

$$\gamma = \sqrt{j \cdot \omega \cdot R' \cdot C'} = \sqrt{\frac{\omega \cdot R' \cdot C'}{2}} \cdot (1 + j) = \alpha + j\beta \quad . \quad (3.100)$$

Der Potentialausgleich auf der Leitung erfolgt in Form eines Diffusionsprozesses.

Für die Diffusionsgleichung findet man keine allgemeingültige geschlossene Lösung, wie es zum Beispiel die Gleichung 3.85 für die Telegraphengleichung darstellt. In digitalen Schaltungen werden die RC-Leitungen entsprechend Bild 3.17a von einem Treiber angesteuert. Der Treiber wird mittels eines Innenwiderstands R_i modelliert. Wie in Kapitel 4, in dem die Verzögerungszeit eines Inverters abgeleitet wurde, wird auch hier angenommen dass die Schaltung mittels einer Sprungfunktion mit der Amplitude U_0 erregt wird. Am Ende der Leitung befindet sich ein weiterer Inverter oder ein Gatter. In beiden Fällen bedeutet dies, dass die Leitung mit einer Lastkapazität C_L abgeschlossen ist. Somit erhält man die Ersatzschaltung von Bild 3.17b. Im Abschnitt 3.4 wird für derartige Leitungen die Sprungantwort am Leitungsende berechnet. Es ergeben sich zwei Näherungslösungen (im Abschnitt 3.4 siehe Gleichungen 3.140a, 3.140b und 3.149).

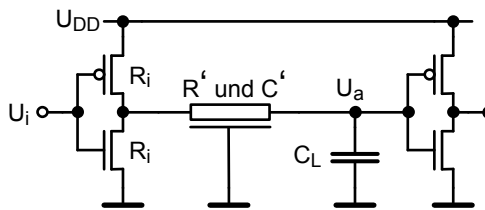


Bild 3.17a Ein CMOS-Gatter treibt ein anderes über eine RC-Leitung.

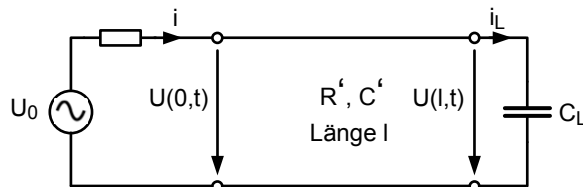


Bild 3.17b Ersatzschaltbild für die Leitung nach Bild 3.17a.

Die erste Näherungslösung ist im Bereich $\tau/4 < t < 4\tau$ gültig und hat als Voraussetzung

$$\sqrt{\tau_1} \gg \sqrt{\tau_2} \quad .$$

Die Gleichung lautet

$$\frac{u(l,t)}{U_0} = 2 \cdot \operatorname{erfc} \sqrt{\frac{\tau}{4 \cdot t}} - 2 \cdot e^{(\tau/\tau_1)} \cdot e^{(t/\tau_1)} \cdot \operatorname{erfc} \left(\sqrt{\frac{t}{\tau_1}} + \sqrt{\frac{\tau}{4 \cdot t}} \right) \quad (3.101a)$$

mit

$$\tau = R' C' l^2 \quad (3.101b)$$

$$\tau_1 = R_i^2 \frac{C'}{R'} \quad (3.101c)$$

und

$$\tau_2 = C_L^2 \frac{R'}{C'} \quad . \quad (3.101d)$$

Die zweite Näherungslösung hat eine sehr einfache Form und gilt im Bereich $t \gg \tau$

$$u(l,t) = U_0 (1 - e^{-t/\tau_{\text{tot}}}) \quad (3.102a)$$

mit

$$\tau_{\text{tot}} = R_i \cdot (C' \cdot l + C_L) + R' \cdot l \cdot \left(\frac{1}{2} \cdot C' \cdot l + C_L \right) \quad . \quad (3.102b)$$

Gleichung 3.102b enthält Zeitkonstanten, die durch die äußere Beschaltung bedingt sind und eine Zeitkonstante $R \cdot C/2$, die von der Leitung bestimmt wird.

Interessant ist der Vergleich der Kurvenverläufe der beiden Näherungslösungen mit einer exakten Simulation. Während die Gleichung 3.101a für kleine Zeiten t den tatsächlichen Kurvenverlauf besser wiedergibt, ist die Gleichung 3.102a für größere Zeiten besser geeignet. Insgesamt beschreiben beide Näherungslösungen den Anstieg zu optimistisch (siehe Bilder 3.17c und 3.17d). Leider ist, wie Bild 3.17e zeigt, die exakte analytische Lösung für eine am Ende offene RC-Leitung keine gute Näherungslösung für die beschaltete RC-Leitung nach Bild 3.17a. Für Handrechnungen ist Gleichung 3.102a völlig ausreichend.

Alle Kurvenverläufe der Bilder 3.17c–3.17e wurden mit den Werten $R_i = 100 \Omega$, $C_L = 20 \text{ fF}$, $R' = 700 \Omega/\text{cm}$, $C' = 2,42 \text{ pF/cm}$, Länge der Leitung $l = 1 \text{ mm}$ und Weite der Leitung $W = 1 \mu\text{m}$ berechnet. Erst bei großen Lastkapazitäten ($C_L > 500 \text{ fF}$) ändert sich das Bild.

Gleichung 3.102a hat die gleiche Struktur, wie die Gleichung, die den Ladevorgang eines Kondensators C über einen Widerstand R beschreibt. Beide Gleichungen unterscheiden sich nur in der Zeitkonstanten τ

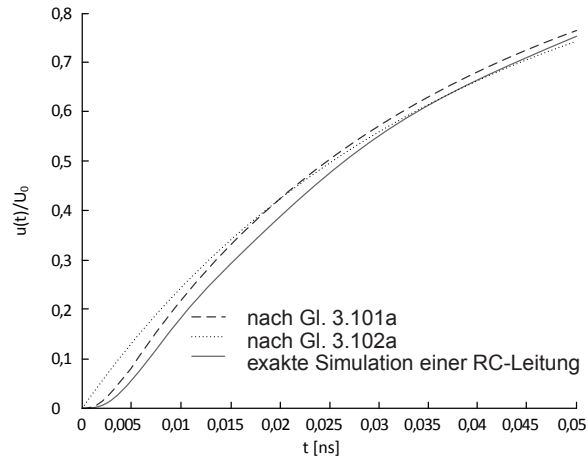


Bild 3.17c Vergleich der beiden Näherungslösungen für die beschaltete RC-Leitung mit einer exakten Simulation ($x = l$) für kleine Zeiten.

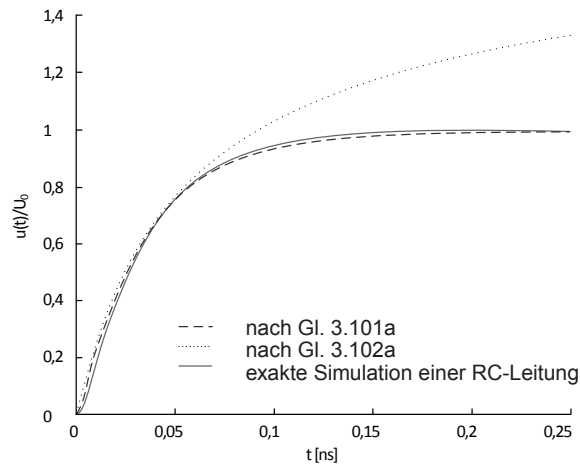


Bild 3.17d Vergleich der beiden Näherungslösungen für die beschaltete RC-Leitung mit einer exakten Simulation ($x = l$) für größere Zeiten.

$$u_c(t) = U_0(1 - e^{-t/\tau})$$

mit

$$\tau = R \cdot C \quad .$$

Der Unterschied erklärt sich wie folgt: Beim Laden eines Kondensators fließt der Ladestrom über den Widerstand R , daher $\tau = R \cdot C$. Bei der beschalteten RC-Leitung fließen die Ladeströme für die Lastkapazität C_L und für die gesamte Kapazität

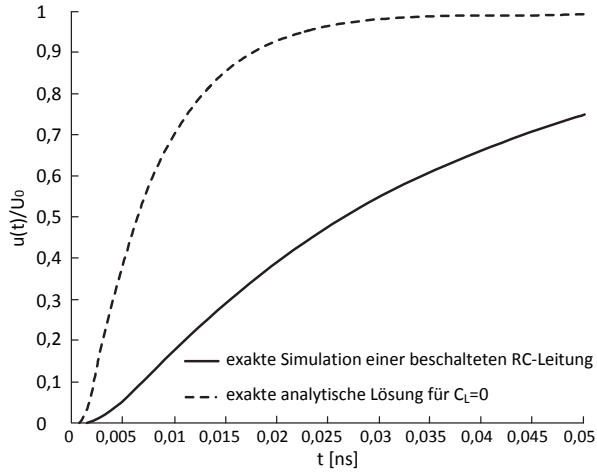


Bild 3.17e Vergleich der exakten Simulation für die beschaltete RC-Leitung mit einer exakten analytischen Lösung für die am Ende offenen RC-Leitung ($C_L = 0$).

der Leitung $C = C' \cdot l$ über den Innenwiderstand R_i des treibenden Gatters, daher $\tau_{\text{tot}} \sim R_i \cdot (C_L + C)$. Zusätzlich müssen noch die Widerstands- und Kapazitätsbeläge der Leitung berücksichtigt werden. Kapazitäten zu Beginn der Leitung werden nur über einen kleinen Leitungswiderstand geladen; während Kapazitäten in der Mitte der Leitung über den halben Gesamtwiderstand der Leitung geladen werden. Am Ende der Leitung werden die Kapazitäten über den gesamten Leitungswiderstand geladen. Im Mittel wird die Gesamtkapazität der Leitung nur über den halben Gesamtwiderstand $R = R' \cdot l$ geladen. Schließlich muss nach Gleichung 3.102b noch berücksichtigt werden, dass die Lastkapazität C_L über den Gesamtwiderstand R der Leitung geladen wird; daher $\tau_{\text{tot}} \sim R \cdot (C/2 + C_L)$.

In Kapitel 4, Gleichung 4.45, wird die Verzögerungszeit t_p für ein Gatter, das mit einer Lastkapazität abgeschlossen ist und einen Innenwiderstand R_i aufweist, mittels einer RC-Zeitkonstanten angegeben. Wendet man Gleichung 4.45 sinngemäß auf die beschaltete RC-Leitung (Gleichung 3.102a und 3.102b) an, erhält man

$$t_p = \tau_{\text{tot}} \cdot \ln 2 = 0,693 \cdot \tau_{\text{tot}} \quad (3.103a)$$

$$t_p = 0,693 \cdot [R_i \cdot (C + C_L) + R \cdot C_L] + 0,35 \cdot R \cdot C \quad (3.103b)$$

Der Innenwiderstand R_i wird in Kapitel 4 berechnet (siehe Gleichung 4.46). Die Verzögerungszeit t_p ist, wie die Zeitkonstante t_{tot} wegen $R' \cdot l \cdot C' \cdot l$ proportional zu l^2 .

$$t_p \propto l^2 \quad (3.103c)$$

Für die gesamte Anstiegszeit t_r von 10% auf 90% und damit entsprechend für die Abfallzeit t_f ergibt sich

$$t_{r,f} = 2,3 \cdot \tau_{\text{tot}} = 2,3 \cdot [R_i \cdot (C + C_L) + R \cdot C_L] + 1,15 \cdot R \cdot C \quad . \quad (3.103d)$$

3.2.3 Einsetzen von Repeatern

Da die Gatterlaufzeit beziehungsweise die Verzögerungszeit von RC-Leitungen quadratisch von der Länge der RC-Leitung abhängt, empfiehlt es sich, die Leitung zu unterteilen und in die Lücken Inverter einzusetzen. Wie in Bild 3.18 gezeigt wird, kann die Leitung in k Sektionen unterteilt werden und es können k Inverter eingesetzt werden. Jeder Inverter (Buffer) wird um den Faktor h breiter dimensioniert, als es nach den Designregeln minimal zulässig ist. Damit ist der Ausgangswiderstand der Buffer R_i/h und die Eingangskapazität der Inverter $C_L \cdot h$, wobei R_i und C_L der Ausgangswiderstand bzw. die Eingangskapazität eines minimal dimensionierten Inverters sind.

Üblicherweise werden die Sektionen gleich ausgelegt, so dass sich die Gesamtverzögerungszeit aus der Summe der identischen Einzelverzögerungen ergibt. Aus Gleichung 3.103a folgt für die Verzögerungszeit beziehungsweise für die Gatterlaufzeit

$$t_p = k \cdot \left(0,693 \cdot \frac{R_i}{h} \cdot \left(\frac{C}{k} + h \cdot C_L \right) + 0,693 \cdot \frac{R}{k} \cdot h \cdot C_L + 0,35 \cdot \frac{R}{k} \cdot \frac{C}{k} \right) \quad . \quad (3.104a)$$

Um die minimale Gatterlaufzeit zu berechnen, setzt man die partiellen Ableitungen bezüglich h und k zu 0. Man erhält [101]

$$h = \sqrt{\frac{R_i \cdot C}{R \cdot C_L}} \quad (3.104b)$$

$$k = \sqrt{\frac{R \cdot C}{2 \cdot R_i \cdot C_L}} \quad . \quad (3.104c)$$

Für beide Gleichungen gibt es plausible Erklärungen. Die optimale Anzahl k der

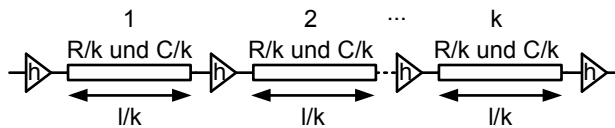


Bild 3.18 Einsetzen von Inverters (Repeatern) um die Gatterlaufzeit von RC-Leitungen zu reduzieren.

Unterteilungen hängt vom Verhältnis der Laufzeit der RC-Leitung zu der Laufzeit der identischen Inverter $R_T C_L$ ab. Um so größer die Laufzeit der Leitung im Vergleich zur Laufzeit des Inverters ist, um so mehr Unterteilungen sollten vorgenommen

men werden. Wenn der Ausgangswiderstand des Inverters wesentlich größer ist als der Widerstand einer Sektion, ist die Laufzeit des Gatters dominierend. Daher sollte die Inverterlaufzeit reduziert werden, indem h vergrößert wird. Wenn dagegen der Ausgangswiderstand des Inverters wesentlich kleiner ist als der Widerstand einer Leitungssektion, sollte die Zahl der Unterteilungen vergrößert werden. Wie Simulationen zeigen, wird das Optimum dann erreicht, wenn der Ausgangswiderstand jedes Inverters vergleichbar zum Widerstand einer Leitungssektion ist. Für das Optimum gilt [101]

$$\frac{R_i/h}{R/k} = 0,707 \quad (3.104d)$$

Die beschaltete RC-Leitung kann mit den konzentrierten Elementen R und C be-

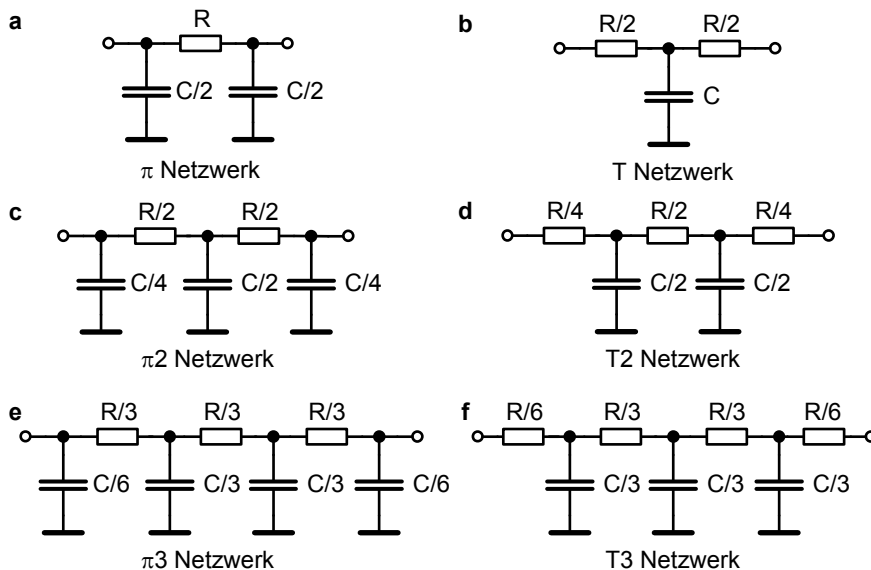


Bild 3.19 Ersatzschaltungen mit diskreten Elementen.

schrieben werden. Es ist daher naheliegend, für genauere Berechnungen die Leitung in einzelne Stücke zu unterteilen und dann für jedes Teilstück konzentrierte Elemente zu definieren. Hierfür können, wie Bild 3.19 zeigt, π - oder T-Modelle verwendet werden. Zerlegt man eine Leitung in drei Teilstücke und verwendet das entsprechende π - oder T-Modell, so ist der Fehler, verglichen mit einer genauen Simulation, kleiner als 4,5%. Die erzielte Genauigkeit ist um so größer, je größer die Zahl der Teilstücke ist. Allerdings gelangt man mit dieser Methode schnell zu komplizierten Strukturen, besonders wenn man auch Leitungsverzweigungen berücksichtigen will. Im nächsten Kapitel wird ein einfaches Näherungsverfahren für dieses Problem abgeleitet.

3.2.4 Elmore-Verzögerung

Integrierte Schaltungen weisen oft eine Baumstruktur auf. Besonders ausgeprägt ist dies bei Schaltungen, die das Taktsignal über den ganzen Chip verteilen sollen.

W. C. Elmore hat 1948 eine Näherungsmethode [59] für die Berechnung der Verzögerungszeit von Verstärkern eingeführt, die von J. Rubinstein und P. Penfield als nützlich für die Berechnung von Verzögerungszeiten von RC-Baumstrukturen in digitalen Schaltungen erkannt wurde [191].

In Bild 3.20 ist eine einfache RC-Baumstruktur zu sehen. Die normierte Impulsantwort $h(t)$ und die normierte Sprungantwort $s(t)$ für die Knotenspannung am Kondensator C_5 zeigt Bild 3.21. Da die Sprungantwort das Integral über die Impulsantwort ist, ergibt sich für die Verzögerungszeit t_p , die sich aus dem 50% Wert der Anstiegs- oder der Abfallzeit der Sprungantwort berechnet, zu

$$\int_0^{t_p} h(t) \cdot dt = \frac{1}{2} \quad . \quad (3.105)$$

W. C. Elmore ging von der Vorstellung aus, dass die Sprungantwort im Zeitbereich

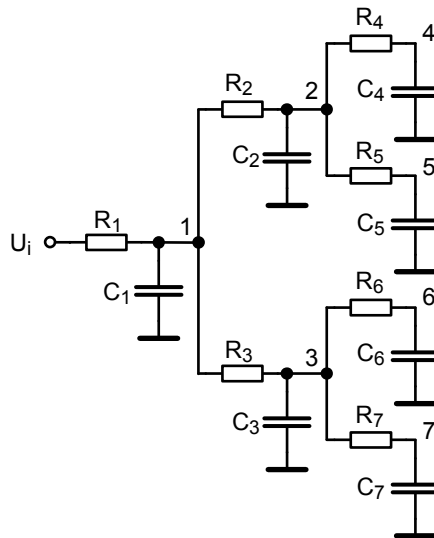


Bild 3.20 Allgemeine RC-Baumstruktur.

dem Integral über eine Wahrscheinlichkeitsdichtefunktion entspricht. Die Entsprechung ergibt sich, da die normierte Sprungantwort monoton wächst und den Endwert eins aufweist. Weiter ist die Fläche unter der normierten Impulsantwort eins und die Impulsantwort hat immer einen positiven Wert.

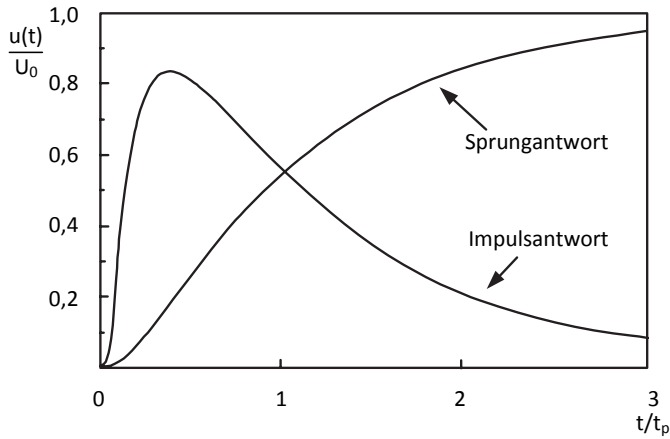


Bild 3.21 Normierte Impuls- und Sprungantwort für die Spannung an C_5 von Bild 3.20 [31].

Wie in Bild 3.22 zu sehen ist, schlug W. C. Elmore vor, die Verzögerungszeit t_p einer monoton steigenden Sprungantwort mittels des Durchschnittswertes der Impulsantwort zu nähern [31]. Fasst man die Impulsantwort als Wahrscheinlichkeitsdichtefunktion auf, so erhält man für das erste Moment (Erwartungswert)

$$t_p = \int_0^{\infty} t \cdot h(t) \cdot dt \quad , \quad (3.106)$$

wenn die Fläche unter $h(t)$ auf Eins normiert ist

$$\int_0^{\infty} h(t) \cdot dt = 1 \quad .$$

Anhand von Bild 3.20 soll die Berechnung der Verzögerungszeit t_p abgeleitet wer-

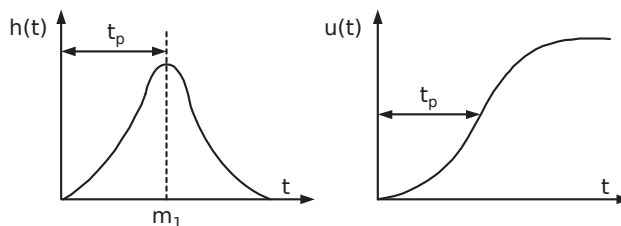


Bild 3.22 Elmore's Näherungen [31].

den. Es sei $u_k(t)$ die Spannung am Knoten k , die am Kondensator C_k abfällt. Der

Strom, der über den Kondensator C_k fließt und der über alle Widerstände fließt, die zwischen dem Eingang und dem Knoten k liegen, berechnet sich zu

$$i_k = C_k \cdot \frac{du_k}{dt} \quad . \quad (3.107)$$

Somit verursacht ein Strom über einen Kondensator C_k am Knoten i einen Spannungsabfall, der durch den Strom multipliziert mit der Summe R_{ik} aller Widerstände, die den Pfaden zum Knoten i und zum Knoten k gemeinsam sind, hervorgerufen wird.

Zum Beispiel erhält man anhand des Bildes 3.20 für die folgenden Widerstände

$$\begin{aligned} R_{77} &= R_1 + R_3 + R_7 \\ R_{73} &= R_{76} = R_1 + R_3 \\ R_{71} &= R_{72} = R_{74} = R_{75} = R_1 \quad . \end{aligned}$$

Für den Spannungsabfall $\Delta u(t)$ am Knoten i ergibt sich

$$\Delta u_i(t) = R_{ik} \cdot C_k \cdot \frac{du_k}{dt} \quad . \quad (3.108a)$$

Der gesamte Spannungsabfall am Knoten i berechnet sich aus der Überlagerung aller Spannungsabfälle, die von den Strömen aller Kapazitäten hervorgerufen werden

$$\Delta u_i(t) = \sum_k C_k \cdot R_{ik} \cdot \frac{du_k}{dt} \quad . \quad (3.108b)$$

Deswegen erhält man am Knoten i für die Spannung $u_i(t)$, die über den Kondensator i abfällt, wenn die Eingangsspannung auf eins normiert ist

$$1 = \Delta u_i + u_i \quad (3.109a)$$

$$1 - u_i(t) = \sum_k C_k \cdot R_{ik} \cdot \frac{du_k}{dt} \quad . \quad (3.109b)$$

Wenn die Impulsantwort an einem Knoten einer Baumstruktur $h(t)$ ist, dann gilt für die Elmore-Verzögerung nach Gleichung 3.106

$$t_p = \int_0^{\infty} t \cdot h(t) \cdot dt \quad .$$

Weiter gilt, da $h(t)$ die normierte Impulsantwort am Knoten i ist, für die Sprungantwort $u_i(t)$ am Knoten i

$$u_i(t) = \int_0^t h_i(t) \cdot dt \quad . \quad (3.110a)$$

Natürlich folgt daraus

$$h_i(t) = \frac{du_i}{dt} \quad . \quad (3.110b)$$

Wegen der normierten Sprungfunktion hat $u_i(t)$ für $t \rightarrow \infty$ den Wert eins.

Im nächsten Schritt wird nun Gleichung 3.109b von 0 bis t integriert und man erhält

$$\int_0^t (1 - u_i(t')) \cdot dt' = \sum_k C_k \cdot R_{ik} \cdot u_k(t) \quad . \quad (3.111a)$$

Wegen der Integrationsregel

$$\int u \cdot dv = u \cdot v - \int v \cdot du$$

ergibt sich für den linken Teil der Gleichung und für $t \rightarrow \infty$

$$\int_0^\infty (1 - u_i(t)) \cdot dt = t [1 - u_i(t)]_0^\infty + \int_0^\infty t \cdot \frac{du_i}{dt} \cdot dt \quad . \quad (3.111b)$$

Im eingeschwungenen Zustand gilt

$$u_i(\infty) = 1$$

und man erhält für die linke Seite der Gleichung 3.111a

$$\int_0^\infty (1 - u_i(t)) \cdot dt = \int_0^\infty t \cdot \frac{du_i}{dt} \cdot dt = \int_0^\infty t \cdot h_i(t) \cdot dt = t_{pi} \quad . \quad (3.111c)$$

Setzt man $u_k(\infty) = 1$ in der rechten Seite der Gleichung 3.111a, so folgt

$$t_{pi} = \sum_k C_k \cdot R_{ik} \quad . \quad (3.112)$$

Zum Beispiel berechnet sich die Elmore-Verzögerung für den Knoten 7 in Bild 3.18 zu

$$t_{p7} = (C_1 + C_2 + C_4 + C_5) \cdot R_1 + (C_3 + C_6) \cdot (R_1 + R_3) + (R_1 + R_3 + R_7) \cdot C_7 \quad . \quad (3.113)$$

Die Methode von W. C. Elmore kann verallgemeinert werden. Sie kann dann auch für die Berechnung der Laufzeit von linearen Schaltungen genutzt werden.

$H(s)$ sei die Transferfunktion einer komplexen, linearen Struktur (siehe zum Beispiel Bild 3.19). Da die Gleichspannungsverstärkung in einer passiven Schaltung

eins ist, kann $H(s)$ in der normierten Form geschrieben werden:

$$H(s) = \frac{1 + b_1s + \dots + b_ms^m}{1 + a_1s + \dots + a_ns^n} \quad \text{mit } n > m \quad . \quad (3.114a)$$

Aus dem Differentiationssatz der Systemtheorie [141] folgt

$$\int_0^{\infty} t \cdot h(t) \cdot dt = -\frac{dH(s)}{ds} \quad \text{für } s = 0 \quad . \quad (3.114b)$$

Somit gilt

$$t_p = a_1 - b_1 \quad . \quad (3.114c)$$

1987 nutzte J. L. Wyatt folgende Zusammenhänge

$$a_1 = -\sum_{j=1}^n \frac{1}{p_j} \quad (3.115a)$$

und

$$b_1 = -\sum_{j=1}^m \frac{1}{z_j} \quad (3.115b)$$

mit z_j den Nullstellen und p_j den Polen der Transferfunktion [243]. Er gelangte mittels des dominanten Pols p_d , des Pols mit dem kleinsten Betrag, und der Annahme, dass keine Nullstellen bei niedrigen Frequenzen vorhanden sein sollen und somit b_1 klein ist zu dem Ergebnis

$$t_p \cong +a_1 \quad . \quad (3.115c)$$

Der dominante Pol ist wie folgt definiert

$$\left| \frac{1}{p_d} \right| \gg \left| \frac{1}{p_j} \right| \quad j = 1, 2, \dots, n; j \neq d \quad . \quad (3.115d)$$

Daraus folgt

$$t_p \cong -\frac{1}{p_d} \quad . \quad (3.115e)$$

Für die Sprungantwort erhält man, wenn nur der dominante Pol berücksichtigt wird,

$$u(t) = U_0(1 - e^{p_d t}) \quad . \quad (3.116a)$$

Löst man diese Gleichung um die Verzögerung für einen 50%-Anstieg zu berechnen, so ergibt sich

$$t_D = t_p \cdot \ln 2 = 0,639 \cdot t_p \quad . \quad (3.116b)$$

Dies skaliert den Ausdruck von W. C. Elmore mit einem konstanten Faktor.

Es muss darauf hingewiesen werden, dass die Abschätzung der Verzögerungszeit mit der Methode von W. C. Elmore zu Ergebnissen führt, die entweder zu optimistisch oder zu pessimistisch sind. Da die Impulsantwort, die als Wahrscheinlichkeitsdichtefunktion aufgefasst wurde, nicht symmetrisch, sondern asymmetrisch ist, führt dies zu Fehlern. Es können jedoch obere und untere Grenzen für die Verzögerungszeit mittels Momenten höherer Ordnung abgeschätzt werden [31]. Die Verzögerungszeit von RLC-Leitungen kann ebenfalls mit Momenten höherer Ordnung bestimmt werden [101].

Die Behandlung der RC-Leitungen diente der Modellierung der lokalen Verbindungsleitungen auf einem Chip. Sowohl die Laufzeiten auf den Leitungen als auch die Kopplungen zwischen den lokalen Leitungen sind durch kapazitive Effekte bedingt. Der Widerstandsbelag derartiger Leitungen ist größer als $500 \Omega/\text{cm}$ [53]. Die Gatterlaufzeit ist proportional zum Quadrat der Länge der lokalen Leitung.

3.2.5 Strukturverkleinerung von Leitungen

In Kapitel 2.1.10 wurde abgeleitet, dass alle Dimensionen von Transistoren beim Fortschreiten von einer Technologiegeneration zur nächsten um den Faktor $S > 1$ skaliert werden. Es ist daher naheliegend, bezüglich der Verdrahtung zwischen den aktiven Bauelementen ähnlich zu verfahren. Wie sich diese Strategie auf die Widerstands- und Kapazitätsbeläge von RC-Leitungen auswirken, wird in Tabelle 3.2 dargestellt. Es wird angenommen, dass alle Materialkonstanten, wie spezifischer Widerstand oder relative Dielektrizitätskonstante, unverändert bleiben. Somit bleibt der Kapazitätsbelag einer Leitung konstant ($2\text{pF}/\text{cm}$, siehe Bild 3.5a). Dagegen wird der Widerstandsbelag um den Faktor S^2 größer. Es ist wichtig, darauf hinzuweisen, dass mit dieser Strategie für die Strukturverkleinerung von Leitungen die Stromdichte um den Faktor S zunimmt, da die Querschnittsfläche um den Faktor S^2 kleiner wird und der Strom nur um den Faktor S abnimmt. Damit ergeben sich wegen Elektromigration Zuverlässigkeitsprobleme, die mit der Einführung von Kupfer anstatt von Aluminium als Material für die Verbindungsleitungen wesentlich verringert werden konnten.

Nach den Skalierungsregeln müsste auch die Länge der Leitungen um den Faktor S kleiner werden. Dies ist jedoch nur für lokale Verbindungen, die im wesentlichen benachbarte Schaltungen verbinden, zutreffend. Neben den lokalen Verbindungen gibt es noch die globalen Verbindungsleitungen, die auch Verbindungen zwischen den großen Modulen herstellen, wie zum Beispiel Busse für Daten und Instruktionen. Weiter müssen die Versorgungsspannung und die Taktsignale über den ganzen Chip verteilt werden. Bild 3.23 enthält ein Histogramm der Anzahl der Leitungen in Abhängigkeit von der Leitungslänge, die mittels Gate-Pitch dargestellt wird [50]. Zieht man die Wurzel aus der Chipfläche und dividiert den erhaltenen Wert durch

Tabelle 3.2 Verkleinerungsregeln für Leitungen [244].

	verbindende Parameter	Skalierungsfaktor ($S \geq 1$)
Verkleinerungs- regeln	Geometrische Größen der Leitungen ($d, L_W, W, d_{in}, W_{sp}$)	$1/S$
	Spezifischer Widerstand der Leitungen	1
	Permeabilität des Isolators	1
abgeleitete Leitungs- eigenschaften	Kapazitätsbelag der Leitungen	1
	Widerstandsbelag der Leitungen	S^2
	Zeitkonstante $R \cdot C$	1
	Stromdichte $I/(W \cdot d)$	S

die Anzahl der Transistoren, die der Chip enthält, ergibt sich der Gate-Pitch. Man sieht, die Mehrzahl der Leitungen dient nur den lokalen Verbindungen, aber die Zahl der sehr langen Leitungen kann nicht vernachlässigt werden.

Die Länge der kurzen Leitungen, die im Wesentlichen nur benachbarte Schaltungen verbinden und die sich in den unteren Lagen des Leitungsstapels befinden, skalieren mit S , das heißt sie werden um diese Größe kürzer, wenn eine neue Technologiegeneration eingesetzt werden kann. Somit wird das konzentrierte Element $C = C' \cdot l$ um S kleiner, während $R = R' \cdot l$ um S größer wird. Insgesamt bleibt die charakteristische RC-Zeitkonstante konstant.

Dies ist ein großes Problem, da die Gatterverzögerungszeit von direkt benachbarten Gattern, bei denen man die Verzögerungszeit aufgrund von Leitungen vernachlässigen kann, mit S kleiner wird (siehe Kapitel 4.3.2.3, Gleichung 4.44). Es droht, dass die Schaltgeschwindigkeit in Zukunft nicht oder nur sehr schwach ansteigen wird. Verstärkt wird dieser Effekt durch die Tatsache, dass die RC-Zeitkonstante der globalen Leitungen um den Faktor S oder gar um S^2 größer wird. Da die Chipflächen von Technologiegeneration zu Technologiegeneration größer werden, werden die globalen Leitungen länger.

Bei langen Leitungen, die weit entfernte Module auf dem Chip verbinden, empfiehlt es sich, die Weite und die Dicke der Leiterbahn zu vergrößern und somit den Widerstand zu verringern. Dies erfolgt in den obersten Verdrahtungsebenen. Da damit nach Bild 3.4 der Kapazitätsbelag ansteigen würde, müssen die Abstände zwischen den Leitungen und die Dicke der Isolatorschichten ebenfalls vergrößert werden. Der höhere laterale Platzbedarf dieser Leitungen wird durch eine höhere Zahl an Verdrahtungsebenen ausgeglichen (siehe Bild 3.2). Allerdings, indem man den Widerstandsbelag reduziert, werden möglicherweise bei extrem hohen Frequenzen induktive Effekte merkbar.

In den unteren Ebenen kann man die Weiten und die Abstände der Leitungen aus Platzmangel nicht erhöhen. Allerdings werden die Höhen vergrößert, da so „Elektromigration“ unterdrückt und der Widerstandsbelag verbessert wird.

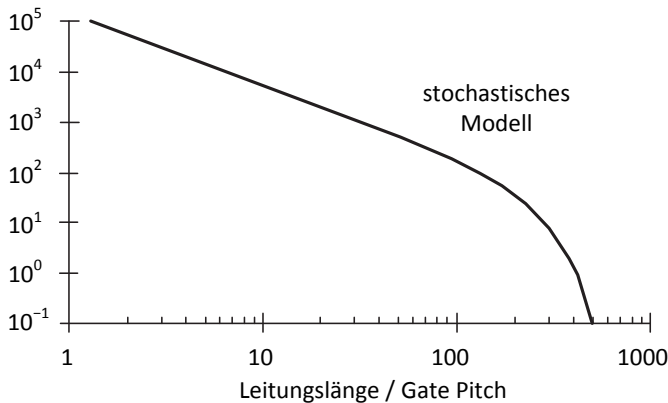


Bild 3.23 Histogramm der Anzahl der Leitungen in Abhängigkeit von der Leitungslänge, die mittels des Gate-Pitch dargestellt wird [50].

Gegenwärtig sucht man nach Isoliermaterialien zwischen den Leitungen, die wesentlich geringere Dielektrizitätskonstanten aufweisen und die für die Integrationstechnik geeignet sind. Solange diese Suche nicht erfolgreich ist, sind kapazitive Kopplungen zwischen den Leitungen von großer Bedeutung.

3.2.6 Kapazitive Kopplungen

Die Störungen, die von Kopplungen zwischen den Leitungen verursacht werden, können in zwei Kategorien eingeteilt werden. Zunächst ist dies Nebensprechen, das von Signalwechseln auf benachbarten Leitungen (Aggressorleitungen) hervorgerufen wird, wobei die betrachtete Leitung (Opferleitung) in Ruhe befindlich sein soll. Der Fall, dass die Opferleitung „frei schwebend“ ist, wurde bereits in Kapitel 3.1.2 behandelt. Weiter treten dynamische Gatterverzögerungen auf. Darunter versteht man Schwankungen der Gatterlaufzeit auf der Opferleitung, wenn Signalwechsel auf der Opferleitung und auf den Aggressorleitungen vorkommen.

Bild 3.24 zeigt für eine 3 mm lange Leitung die Zunahme der Unsicherheit für die Verzögerungszeit in Abhängigkeit von den Technologiegenerationen. Dabei werden die Aggressorleitung und die Opferleitung von gleichdimensionierten Invertern getrieben. Man sieht, dass unter ungünstigen Umständen die maximale Schwankung 80% der Verzögerungszeit erreicht. Diese hohe Unsicherheit kann für Schaltungen mit hohen Taktfrequenzen nicht toleriert werden.

Um den Effekt von kapazitiven Kopplungen zwischen zwei Leitungen zu bestimmen, kann man zunächst eine ähnliche Überlegung wie bei den Miller-Kapazitäten (Gate-Drain-Kapazität von Transistoren, siehe Kapitel 4.3.2.3) durchführen. Schalten die beiden Signalleitungen gegenphasig, so wird die Koppelkapazität C_C nicht auf- oder entladen sondern umgeladen. Das heißt, die äquivalente Kapazität ist dop-

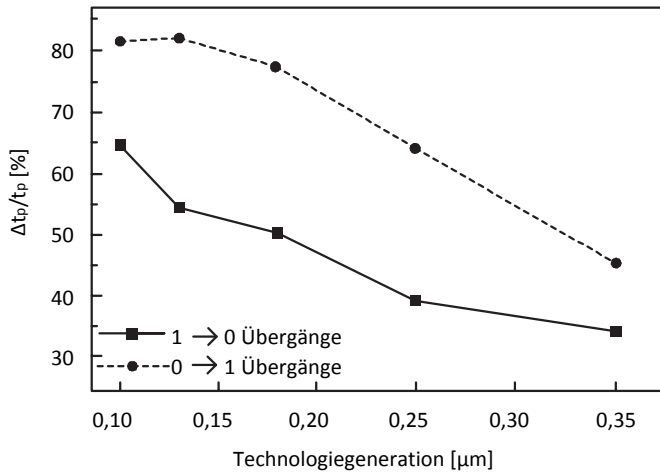


Bild 3.24 Strukturverkleinerung führt zu variablen Verzögerungszeiten. t_p Gatterlaufzeit.

pelt so groß wie C_C . Schalten dagegen die beiden Leitungen in Phase, so wirkt sich die Koppelkapazität nicht aus. Somit kann die äquivalente Kapazität Werte zwischen Null und zweimal C_C annehmen. Dieser dynamische Effekt stellt eine große Herausforderung für CAD-Werkzeuge dar. Die Koeffizienten von C_C werden auch als Schaltfaktoren bezeichnet. Die Schaltfaktoren beschreiben obere und untere Grenzen für die Wirkung der Koppelkapazitäten.

In [107] werden Schaltfaktoren für den Fall berechnet, dass die Opfer- und die Aggressorleitungen mit unterschiedlichen Anstiegs- beziehungsweise Abfallzeiten angesteuert werden. Es ergeben sich Werte für den Schaltfaktor zwischen -1 für gleichphasige Ansteuerung und 3 für gegenphasige Ansteuerung.

Jedoch treten diese maximalen Werte nur auf, wenn der Treiber der Aggressorleitung und der Treiber der Opferleitung nahezu gleichzeitig in gleicher oder in entgegengesetzter Richtung schalten. Die Abweichung von der nominalen Verzögerungszeit nimmt ab, wenn die Zeitdifferenz zwischen den beiden Schaltvorgängen größer wird. Es reicht für die Berechnung der dynamischen Verzögerungszeit jedoch nicht aus nach Fenster zu suchen, in denen die Schaltvorgänge der Treiber der Aggressor- und der Opferleitung überlappen [196]. Zum Beispiel wirkt sich ein Signalwechsel am Eingang der Aggressorleitung auch dann aus, wenn dieser Signalwechsel deutlich vor einem Signalwechsel am Eingang der Opferleitung erfolgt. Der Signalwechsel auf der Aggressorleitung bewirkt eine zusätzliche Ladung auf der Opferleitung, die vom nachfolgenden Signalwechsel auf der Opferleitung erst abgebaut werden muss. Diese zusätzliche Ladung beeinflusst die Gatterverzögerungszeit, aber nicht die Flankensteilheit der Pulse. Somit ist der Abstand der beiden Signalwechsel von entscheidender Bedeutung (siehe Bild 3.25a). Experimentell oder per Simulation können sogenannte DCC-Verläufe (DCC: Delay Change Curve) bestimmt werden, mit deren Hilfe man prinzipiell die dynamische Verzögerungszeit bestimmen kann. Bild 3.25b zeigt einen typischen Verlauf einer DCC-Kurve in Abhängigkeit von der

Zeitdifferenz der Signalwechsel. In [216] werden analytische Gleichungen angegeben, mit denen man die statischen und die dynamischen Effekte von kapazitiven Kopplungen zwischen Leitungen beschreiben kann.

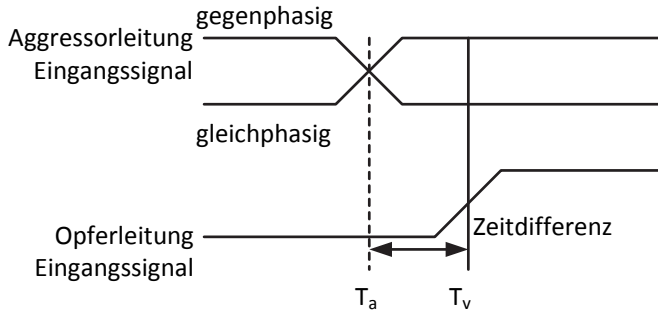


Bild 3.25a Zeitdifferenz der Eingangssignalwechsel.

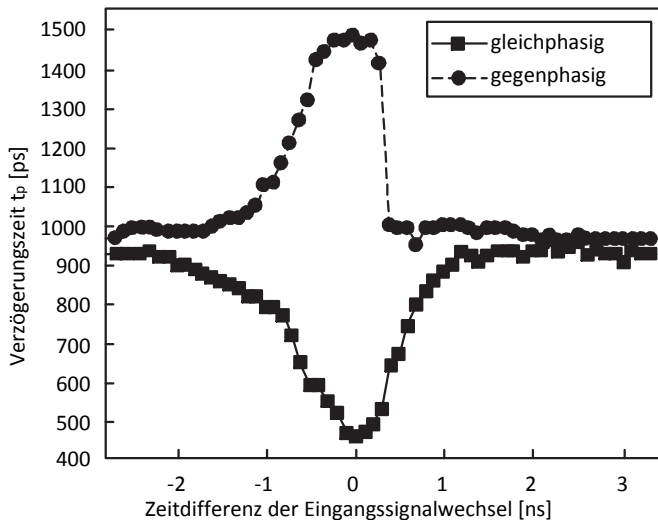


Bild 3.25b Verzögerungszeit t_p auf der Opferleitung in Abhängigkeit von der Zeitdifferenz der Eingangssignalwechsel für eine globale 6 mm lange Leitung einer 0,35 μm -Technologie [196].

Kapazitive Kopplungen wirken sich besonders stark in den unteren Verdrahtungsebenen (siehe Bild 3.2), die als RC-Leitungen modelliert werden können, aus. In den oberen Lagen werden die Weiten, die Abstände zwischen den Leitungen und die Dicke der Leitungen und der Isolierschichten größer. Leitungen in den mittleren Schichten werden zur Überbrückung von Längen bis zu 10 mm eingesetzt. Der Widerstandsbelag beträgt etwa 100 bis 500 Ω/cm . Aufgrund der geringeren

Widerstands- und Kapazitätsbeläge sind die Gatterlaufzeiten verbessert. Auch derartige Leitungen können als RC-Leitungen berechnet werden.

Wie bereits erwähnt wurde, dienen die Leitungen in den obersten Ebenen unter anderem als Datenbusse, zur Verteilung der Taktsignale und als Versorgungsleitungen. Diese Leitungen haben sehr große Weiten, Abstände und Schichtdicken. Daher können sie schnelle Signale über Abstände größer als 10 mm übertragen. Der Widerstandsbelag beträgt weniger als $100 \Omega/\text{cm}$. Für die Berechnung der Laufzeiten und zur Bestimmung des Nebensprechens derartiger Leitungen müssen für hohe Taktfrequenzen auch induktive Effekte berücksichtigt werden.

Im nächsten Kapitel werden Leitungen mit geringen Verlusten behandelt. Es wird gezeigt werden, dass LC-Leitungen auch Vorteile aufweisen. Im übernächsten Abschnitt werden Randbedingungen abgeleitet, die angeben, wann induktive Effekte in die Rechnung aufgenommen werden sollten.

3.2.7 Leitung mit geringen Verlusten

Leitungen auf Leiterplatten weisen einen geringen Widerstandsbelag auf. Leitungen in den oberen Metallisierungsebenen auf den Chips haben dicke Schichten und diese Leiterbahnen können genügend breit ausgelegt werden, so dass näherungsweise für beide Fälle gilt

$$R' \neq 0$$

aber

$$R' \ll \omega L' \quad .$$

Damit erhält man mit $G' = 0$ aus der „Telegraphengleichung“ (Gleichung 3.78a) folgende charakteristische Größen:

Dämpfungsmaß

$$\gamma^2 = (R' + j\omega L')j\omega C' = -\omega^2 L' C' + j\omega R' C' \quad (3.117a)$$

$$\begin{aligned} \gamma &= j\omega \sqrt{L' C'} \cdot \sqrt{1 - j \frac{R'}{\omega L'}} \\ &\approx j\omega \sqrt{L' C'} \cdot \left(1 - j \frac{R'}{2\omega L'}\right) \end{aligned} \quad (3.117b)$$

$$\begin{aligned} &= \frac{1}{2} R' \sqrt{\frac{C'}{L'}} + j\omega \sqrt{L' C'} \\ \gamma &= \alpha + j\beta \approx \frac{1}{2} \frac{R'}{W} + j\omega \sqrt{L' C'} \end{aligned} \quad (3.117c)$$

mit dem Wellenwiderstand

$$W \approx \sqrt{\frac{L'}{C'}} \quad (3.117d)$$

und der Phasengeschwindigkeit

$$v \approx \frac{1}{\sqrt{L'C'}} = \text{const.} \quad (3.117e)$$

Die charakteristischen Größen wurden unter der Bedingung abgeleitet, dass der Widerstand der Leitung nicht durch die Stromverdrängung von der Frequenz abhängt. Die Phasen- und die Gruppengeschwindigkeit sind unter diesen Umständen einander gleich und ebenfalls unabhängig von der Frequenz.

Die Leitung mit geringen Verlusten weist näherungsweise keine Dispersion auf und die Dämpfungskonstante γ ist proportional zum Widerstandsbelag R' der Leitung.

Da die Leitung keine Dispersion aufweist, ändert sich die Signalform nicht bei der Signalausbreitung; das Signal wird jedoch gedämpft. Man erhält für eine unendliche lange Leitung

$$u(l_1, t) = e^{-\alpha \cdot l_1} \cdot u_0(t - \tau_1) \quad l_1 \text{ Leitungslänge} \quad (3.118a)$$

$$\tau_1 = \frac{l_1}{v} = l_1 \sqrt{L'C'} \quad \text{Signallaufzeit} \quad (3.118b)$$

$$u_0(t) \quad \text{Erregerfunktion} \quad .$$

Im Gegensatz zur RC-Leitung ist nun die Laufzeit linear von der Leitungslänge abhängig. Dies ist ein großer Vorteil für die LC-Leitung. Allerdings kann es im realen Fall, je nachdem wie lang die Leitung ist, am Anfang und am Ende der Leitung zu Reflexionen und deswegen zu Über- und Unterschwingern kommen.

3.2.8 Wann müssen Induktivitäten berücksichtigt werden?

Das vorhergehende Kapitel befasste sich mit der Leitung mit geringen Verlusten, die ganz wesentlich von dem Induktivitätsbelag bestimmt wird. Dagegen wurde in Kapitel 3.2.2 die RC-Leitung behandelt. Hier konnte der Induktivitätsbelag vernachlässigt werden. Wie kann man entscheiden, ob die jeweilige Leitung auf dem Chip induktive Effekte aufweist oder nicht?

Um diese Frage beantworten zu können, ist es nützlich die Gleichung 3.117a, die die Dämpfungskonstante α beinhaltet, genauer zu untersuchen [101]. Wie Bild 3.26 zeigt, steigt zunächst α linear mit der Frequenz. Nur für eine relativ große Kreisfrequenz ω oder einen hohen Induktivitätsbelag L' ist die Dämpfungskonstante α gemäß Gleichung 3.117c unabhängig von der Frequenz. Gleichung 3.117c enthält den Sättigungswert für α , nämlich

$$\alpha_{\text{sat}} = \frac{R'}{2} \cdot \sqrt{\frac{C'}{L'}} \quad (3.119a)$$

Aus Gleichung 3.117b mit $1 = R'/2\omega L'$ ergibt sich näherungsweise die Kreisfre-

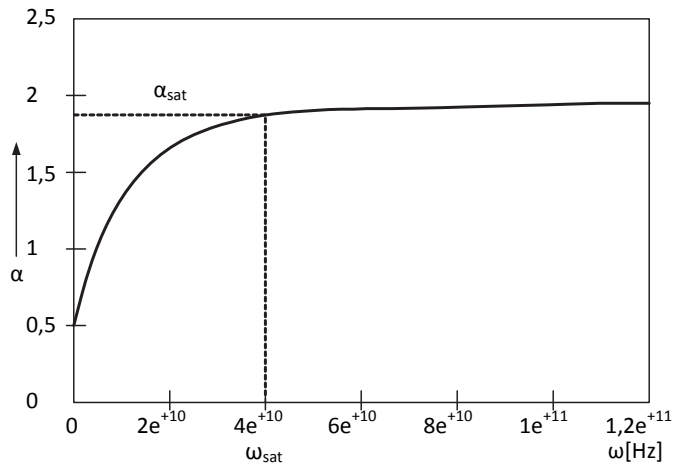


Bild 3.26 Dämpfungsmaß α als Funktion der Kreisfrequenz ω , $L' = 10 \text{ nH/cm}$, $R' = 400 \Omega/\text{cm}$ und $C' = 1 \text{ pF/cm}$ [101].

quenz ab der Sättigung auftritt

$$\omega_{\text{sat}} \approx \frac{R'}{2 \cdot L'} \quad (3.119b)$$

Diese Ergebnisse für eine RLC-Leitung werden nun mit den Ergebnissen verglichen, die man mit einer Ersatzschaltung aus konzentrierten Elementen, entsprechend Bild 3.27, erhält.

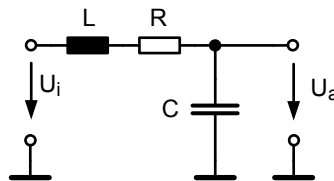


Bild 3.27 Ersatzschaltbild für eine leerlaufende RLC-Leitung mit konzentrierten Elementen $C = C' \cdot l$, $R = R' \cdot l$, $L = L' \cdot l$.

Für die Ersatzschaltung ergibt sich eine Differentialgleichung 2. Ordnung, die Schwingungsgleichung

$$L \frac{d^2 i}{dt^2} + R \frac{di}{dt} + \frac{1}{C} i = \frac{du_{\text{ein}}}{dt} \quad . \quad (3.120a)$$

Man erhält für die charakteristische Gleichung

$$s^2 + s \frac{R}{L} + \frac{1}{LC} = 0 \quad (3.120b)$$

oder in anderer Schreibweise

$$s^2 + s 2\xi \omega_0 + \omega_0^2 = 0 \quad . \quad (3.120c)$$

Wenn der Dämpfungsfaktor ξ größer als eins ist, sind die Lösungen reell und die Wirkung der Induktivität ist gering. Je größer der Wert von ξ wird, um so genauer kann die Ausgangsspannung mit einem reinen RC-Modell erklärt werden. Ist jedoch $\xi < 1$ sind die Pole konjugiert komplex und es treten Oszillationen auf.

Für den Dämpfungsfaktor ξ erhält man

$$\xi = \frac{R}{2} \sqrt{\frac{C}{L}} = \frac{R' \cdot l}{2} \sqrt{\frac{C'}{L'}} = l \cdot \alpha_{\text{sat}} \quad . \quad (3.120d)$$

Ist $\xi \geq 1$ kann die Leitung in guter Näherung durch ein reines RC-Modell beschrieben werden. Dagegen müssen für $\xi < 1$ induktive Effekte berücksichtigt zu werden. Daher, wenn

$$l \cdot \alpha_{\text{sat}} < 1 \quad \text{oder} \quad l < \frac{2}{R'} \sqrt{\frac{L'}{C'}} \quad , \quad (3.120e)$$

gehen Induktivitäten in die Leitungsberechnungen ein.

Es gibt aber noch eine zweite Bedingung für die Berücksichtigung von induktiven Effekten.

In digitalen Schaltungen werden die Leitungen von Gattern getrieben. Da die Eingangsimpedanzen von Gattern rein kapazitiv sind, werden die Leitungen von kleinen Kapazitäten abgeschlossen und können somit bei grober Näherung als leerlaufend aufgefasst werden. Bei einer am Leitungsende leerlaufenden, verlustlosen Leitung wird das Signal, das vom treibenden Gatter eingespeist wird, vollständig reflektiert und erreicht nach der Zeit $2T_0$ wieder den Anfang der Leitung

$$T_0 = l/v = l \cdot \sqrt{L' \cdot C'} \quad (3.121a)$$

l Länge der Leitung.

Simulationen [101] zeigen nun, dass induktive Effekte der Leitung nur dann berücksichtigt werden müssen, wenn die Anstiegs- oder die Abfallzeit $t_{r,f}$ des treibenden Gatters kleiner ist als die Laufzeit des Signals $2T_0$. Induktive Effekte müssen berücksichtigt werden, wenn

$$t_{r,f} < 2T_0 = 2l/v = 2l\sqrt{L' \cdot C'} \quad (3.121b)$$

oder wenn

$$\frac{t_{r,f}}{2 \cdot \sqrt{L' \cdot C'}} < l \quad . \quad (3.121c)$$

Die Ungleichungen 3.120e und 3.121c können zu einer zweiseitigen Ungleichung zusammengefasst werden, die den Bereich für die Länge l einer Leitung angeben, in dem induktive Effekte berücksichtigt werden müssen [101]

$$\frac{t_{r,f}}{2 \cdot \sqrt{L' \cdot C'}} < l < \frac{2}{R'} \sqrt{\frac{L'}{C'}} \quad . \quad (3.121d)$$

Die obere Grenze für die Leitungslänge ist von der Dämpfung gegeben. Da eine reine RC-Leitung praktisch keine rücklaufende Welle aufweist, ist es verständlich, die untere Grenze davon abhängen zu lassen, ob es ein reflektiertes Signal gibt. Da mit steigender Flankensteilheit das Eingangssignal immer höhere Frequenzanteile enthält, ist es plausibel, wenn festgelegt wird, dass induktive Effekte nur auftreten können, wenn die Anstiegs- oder Abfallzeit kleiner ist als die Laufzeit des Signals auf der Leitung.

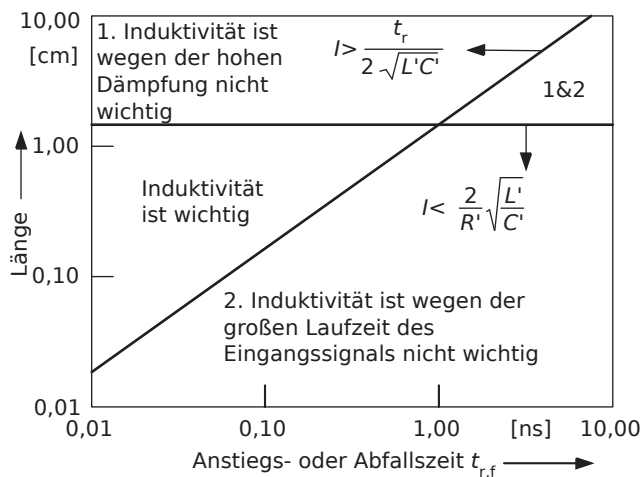


Bild 3.28 Bereich in dem induktive Effekte wichtig sind [101].

Bild 3.28 zeigt den Bereich, in dem induktive Effekte wichtig sind, in Abhängigkeit von der Anstiegs- oder Abfallzeit der treibenden Gatter und von der Länge l der Leitung. Wird der Induktivitätsbelag L' der Leitung erhöht, wird die obere Grenzlinie nach oben verschoben, während die Steigung der unteren Grenzlinie abnimmt. Insgesamt nimmt der Bereich zu, in dem induktive Effekte wichtig sind.

Wird dagegen der Widerstandsbelag R' der Leitung erhöht, verschiebt man die obere Grenzlinie nach unten und somit wird der Bereich, in dem Induktivitäten wichtig sind, verkleinert.

Wird die Kapazität der Leitung erhöht, wird ebenfalls die obere Grenzfrequenz nach unten verschoben und die Steigung der unteren Grenzfrequenz verringert. Jedoch bleibt der Schnittpunkt der beiden Grenzfrequenzen nach Gleichung 3.121d unverändert

$$t_{r,f} = 4 \cdot \frac{L'}{R'} \quad (3.121e)$$

Für den Fall, dass

$$t_{r,f} > 4 \frac{L'}{R'} \quad ,$$

müssen keine induktiven Effekte, unabhängig von der Länge der Leitung, berücksichtigt werden. Nimmt man eine Leitung mit $R' = 40 \Omega/\text{cm}$ und mit $L' = 1 \text{ nH}/\text{cm}$ an, ergibt sich für die Anstiegs- oder die Abfallzeit eine obere Grenze von $t_{r,f} = 0,1 \text{ ns}$. Sind die Anstiegs- oder die Abfallzeiten langsamer, brauchen keine induktiven Effekte berücksichtigt werden. Mittels der Fourier-Transformation kann gezeigt werden, dass digitale Pulse mit derartigen Flanken Frequenzkomponenten bis 10 GHz enthalten. Der Wert von 10 GHz wird in der ITRS Roadmap 2005 für die Grenzfrequenz angegeben, ab der induktive Effekte berücksichtigt werden müssen. Eine bessere Abschätzung der Signalbandbreite ergibt $0,35/t_{r,f}$, was der 3-dB-Bandbreite entspricht. Daraus errechnet sich eine Frequenz von 3,5 GHz. Weisen die Signale eine größere Frequenz als 3,5 GHz auf, sollten induktive Effekte in Betracht gezogen werden.

3.2.9 Abschirmen von Leitungen

In den letzten Kapiteln wurde immer wieder erwähnt, wie störend insbesondere kapazitive aber möglicherweise auch induktive Kopplungen zwischen den Leitungen sind. Dagegen gibt es ein einfaches Mittel, das aber zu einem hohen Flächenbedarf führt. Legt man die betroffene Leitung zwischen zwei Leitungen, die entweder an Masse- oder U_{DD} -Potential liegen, so schirmen diese Leitungen die betroffene Leitung ab (siehe Bild 3.29). Für kapazitive Kopplungen ist dies leicht einzusehen. Zusätzlich werden die dynamischen Effekte, die mittels kapazitiver Kopplungen durch Signalwechsel auf Aggressorleitungen entstehen, unterdrückt.

Die Abschirmleitungen helfen auch die Selbst- und die Gegeninduktivität zu unterdrücken, da nun der Rückpfad sehr nahe an der betroffenen Leitung liegt und deswegen die wirksame Schleife für den magnetischen Fluss klein ist. Eine weitere Verbesserung erhält man, wenn die Abschirmleitungen entweder gegenphasig oder inphase wie die Signalleitung geschaltet werden.

Schalten die Abschirmleitungen in Phase zu der Signalleitung wirkt sich die kapazitive Kopplung nicht aus (siehe Bild 3.31a, Region 1). Jedoch kann es, wie Bild 3.30 zeigt, zu störenden Unterschwingungen kommen.

Werden die Leitungen verbreitert und damit die induktiven Effekte verstärkt, ist es, wie Bild 3.31b zeigt, günstiger die Abschirmleitungen gegenphasig anzusteuern, weil dann die Unterschwingungen wesentlich unterdrückt werden. Über- und Unterschwingungen sind ein Kennzeichen für Induktivitäten. Auch die Gatterlaufzeit wird dadurch verbessert (Region 3 in Bild 3.31a). In einem Übergangsbereich (Region 2) sollten die Abschirmleitungen nicht geschaltet werden, da die positive Wirkung gering ist aber trotzdem merkbar Verlustleistung aufgewendet werden muss [111].

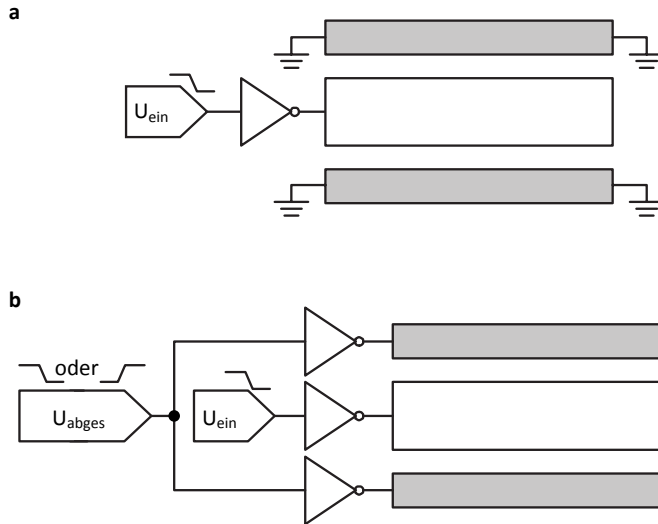


Bild 3.29 Abschirmung einer Leitung mit **a** passiven und **b** aktiven Abschirmleitungen.

3.3 Globale Netzwerke

In den vorhergehenden Abschnitten wurde unter anderem dargelegt, wie Leitungen auf den Chips modelliert werden können. Als Beispiel soll nun ein wichtiges globales Netzwerk – das Netzwerk, das die Schaltungen mit der positiven (U_{DD}) und der negativen (U_{SS}) Versorgungsspannung versorgt – behandelt werden. Das andere globale Netzwerk, mit dessen Hilfe die Taktsignale über den ganzen Chip verteilt werden, wird wegen der notwendigen zusätzlichen Kenntnisse erst in Kapitel 5.5 besprochen.

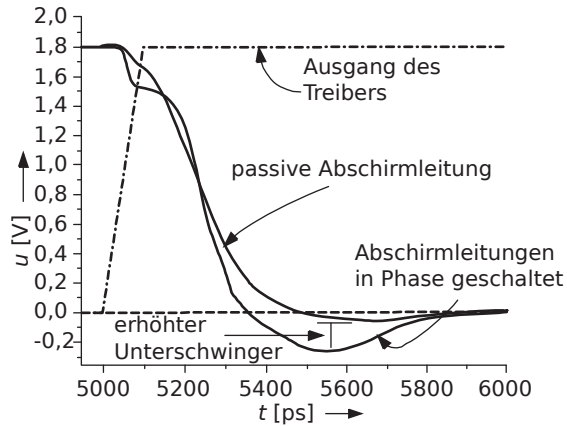


Bild 3.30 Spannungsverläufe am Ende einer RLC-Leitung, wenn die Abschirmleitungen in Phase mit der Signalleitung schalten, oder wenn passive Signalleitungen verwendet werden [111].

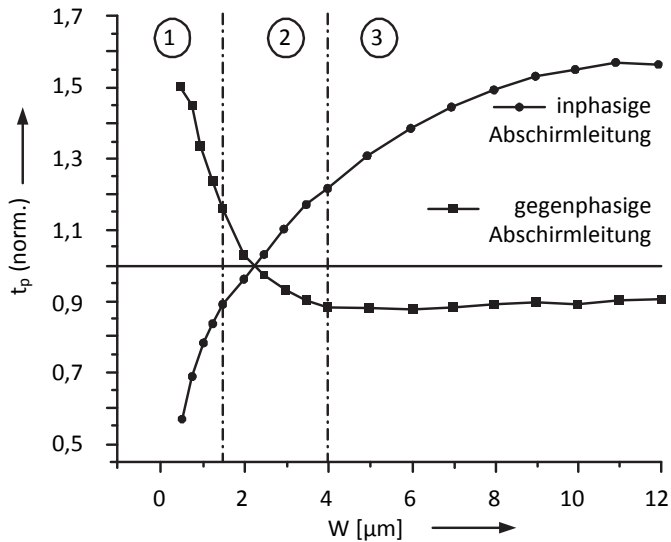


Bild 3.31a Gatterverzögerungszeit für aktive Abschirmleitungen, die inphase oder gegenphasig schalten. Die Verzögerungszeit ist auf die Zeit, die bei passiven Abschirmleitungen auftritt, normiert. In Abhängigkeit von der Weite der Leitungen können 3 Bereiche unterschieden werden [111].

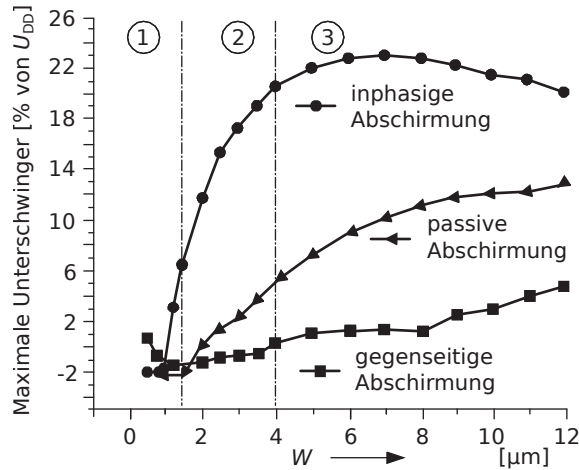


Bild 3.31b Maximale Unterschwinger für passive und aktive Abschirmung. Für induktive Leitungen ist gegenphasiges Schalten am günstigsten [111].

3.3.1 Verteilung der Versorgungsspannungen

Jedes Gatter und jedes Flip-Flop in einer digitalen Schaltung braucht eine stabile Gleichspannung. Um die gewünschte Funktion zu gewährleisten, sollte die Versorgungsspannung um nicht mehr als 10% schwanken. Das heißt bei modernen integrierten Schaltungen, dass die Versorgungsspannung nur um etwa 100 mV variieren darf. Ein moderner Mikroprozessor mit 100 W bei 1 V Versorgungsspannung zieht durchschnittlich 100 A von der Versorgungsspannung. Da die einzelnen Module auf einem Chip sehr unterschiedliche Schaltaktivitäten aufweisen, ist es verständlich, dass der maximale Strombedarf doppelt so groß sein kann. Weiter gilt, dass der Strombedarf sich innerhalb einer Nanosekunde von fast Null zu seinem Spitzenwert ändern kann. Dies ergibt die erstaunliche Änderungsrate von 100 GA/s. Wegen der extremen Änderungsraten des Stroms und wegen der Induktivitäten in den Zuleitungen zu den Chips können starke Einbrüche der Versorgungsspannungen festgestellt werden. Berücksichtigt man nur den Spannungsabfall aufgrund von $I \cdot R$ und lässt nur eine Spannungsänderung von 50 mV zu, die restlichen 50 mV werden für induktive Effekte vorgehalten, ergibt sich ein zulässiger Widerstand R von 0,5 mΩ für das gesamte Versorgungsnetzwerk. Daraus errechnet sich eine Verlustleistung von 5 W. In einer digitalen Schaltung treten starke Stromspitzen auf, da viele Gatter gleichzeitig innerhalb einer sehr kurzen Zeit schalten. Daraus resultieren beträchtliche Spannungsabfälle wegen $I \cdot R$ und wegen $L \cdot di/dt$.

Es gibt mehrere Gründe, warum die Versorgungsspannung nur in sehr engen Grenzen schwanken darf. Störungen auf den Versorgungsleitungen rufen Variationen der Ausbreitungsgeschwindigkeit von Daten- und von Taktsignalen hervor. Wie im 4. Kapitel gezeigt wird, bedingt eine kleinere Versorgungsspannung eine größere Gatterlaufzeit. Das zeitliche Zusammenspiel der Datensignale wird von den Taktsi-

gnalen bestimmt. Aufgrund der Störungen auf den Versorgungsleitungen kommen die Taktsignale früher oder später als erwartet an den Flip-Flops oder den Registern an (clock jitter). Diese Unsicherheit muss ausgeglichen werden, indem die Taktfrequenz entsprechend verkleinert wird. In CMOS-Logikgattern werden zulässige Spannungsbereiche für eine logische Null oder Eins in Bezug auf U_{DD} und U_{SS} definiert. Da die Versorgungsspannungen örtliche Schwankungen aufweisen, können die Pegel für die logische Null und die Eins gestört sein. Die Störsicherheit der logischen Schaltung ist zumindest reduziert.

Schließlich, wenn aufgrund von Induktivitäten in den Zuleitungen zu den Chips Überschwingerungen auftreten, werden die extrem dünnen Oxidschichten moderner CMOS-Transistoren möglicherweise überlastet. Es können Degradationseffekte auftreten. Auch aufgrund von elektrostatischen Entladungen (ESD, siehe Kapitel 4.5.3) kann es zu Überlastungen der Versorgungsleitungen kommen.

Um die Zuverlässigkeit zu gewährleisten, darf die Versorgungsspannung nicht größer als ein bestimmter Wert sein, damit die gewünschte Schaltgeschwindigkeit erreicht wird, darf eine untere Schranke nicht unterschritten werden.

Anhand dieser einfachen Überlegungen ist zu sehen, dass der Entwurf und die Dimensionierung des Versorgungsnetzwerkes eine knifflige Aufgabe ist.

Die Leistung wird einem herkömmlichen Rechner über eine Wechselspannungsleitung zugeführt. Ein Spannungswandler wandelt die Wechselspannung in eine Gleichspannung von 12 V um, die in eine Platine eingespeist wird. Auf der Platine wird die Spannung von 12 V von einem Spannungsregler in eine Spannung (1,0 bis 1,2 V) umgewandelt, die der Prozessor benötigt. Um bei der Zuführung Verlustleistung ($I^2 \cdot R$) zu sparen, wird so lange es geht mit hohen Spannungswerten gearbeitet.

Bild 3.32 zeigt ein Modell des Versorgungsnetzwerkes für einen 90 nm Mikroprozessor nach dem Spannungswandler [28, 175]. Der Pfad enthält 57 externe Kapazitäten. Der Chip (in grau) wird als integrierte Kapazität, die parallel zu einer Stromquelle liegt, dargestellt. Die Stromquelle simuliert den Stromfluss in den Prozessor. Der Strom fließt vom Spannungswandler über die Platine, den Sockel des Gehäuses und das Gehäuse, bevor der Chip erreicht wird. Die Leitungen auf der Platine weisen die höchsten Induktivitäten auf, während der Sockel und das Gehäuse geringere aber durchaus noch wirksame Induktivitätswerte haben. Ändert sich der Strombedarf di/dt auf dem Chip, baut sich längs der Induktivitäten eine Spannung auf

$$u_L = L \cdot \frac{di}{dt} \quad . \quad (3.122)$$

Um den daraus folgenden Spannungseinbruch auf dem Chip zu verhindern, werden auf allen Ebenen (C_{Chip} , $C_{\text{Gehäuse}}$, C_{Sockel} , C_{Platine} und C_{Aus}) Entkoppelkapazitäten eingesetzt. Je näher die Entkoppelkapazitäten dem Spannungswandler sind, desto größer sind die Kapazitätswerte. Die Entkoppelkapazitäten dienen als Ladungsreservoir und verringern die Variation der Versorgungsspannung, bevor der Spannungswandler reagieren kann. Da die externen Entkoppelkapazitäten relativ große

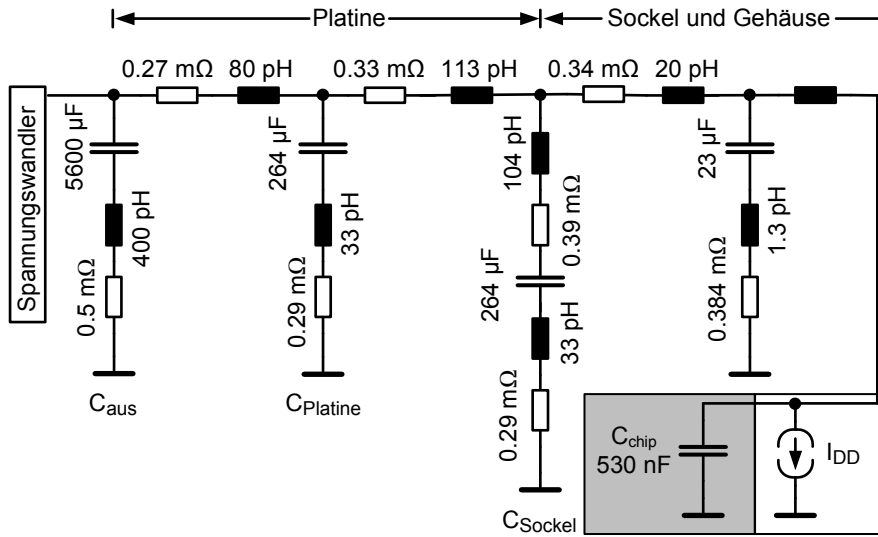


Bild 3.32 Beispiel für das Versorgungsnetzwerk eines 90nm Prozessors einschließlich Entkopplerkapazitäten mit den parasitären Elementen. Der Pfad reicht vom Spannungswandler über die Platine, Gehäusesockel und Gehäuse bis zum Chip [28].

geometrische Abmessungen haben, müssen sie als eine RLC-Schaltung modelliert werden.

Die Ersatzschaltung für das Versorgungsnetzwerk von der Last auf dem Chip in Richtung Spannungswandler betrachtet, zeigt Bild 3.33. In dieser Darstellung werden die parasitären Schaltelemente getrennt für die U_{DD} -Leitung und die Masseleitung dargestellt. Bereits bei relativ niedrigen Frequenzen stellt die große Kapazität C_{Aus} einen Kurzschluss dar. In den meisten Fällen können die parasitären Induktivitäten auf den Chips vernachlässigt werden, daher sind diese Induktivitäten in Bild 3.33 nicht berücksichtigt. Deutlich sind außerhalb des Chips drei Schleifen zu erkennen. Jede Schleife ist ein System zweiter Ordnung und zeigt eine Parallelresonanz bei einer bestimmten Frequenz. Jede Schleife sollte gut gedämpft sein. Betrachtet man jede Schleife getrennt, gilt

$$f_{res} = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot C}} \quad (3.123)$$

Da die Werte für die Induktivitäten und die Kapazitäten größer werden, je näher man dem Spannungswandler kommt, erhält man folgendes Ergebnis

$$f_{res1} < f_{res2} < f_{res3} \quad (3.124)$$

Diese Resonanzfrequenzen korrespondieren mit Schwankungen der Versorgungsspannung, die in herkömmlichen Versorgungsnetzwerken aufgrund eines di/dt -Ereignisses auftreten, wie es in Bild 3.34 beispielsweise dargestellt ist [28]. Zum Zeit-

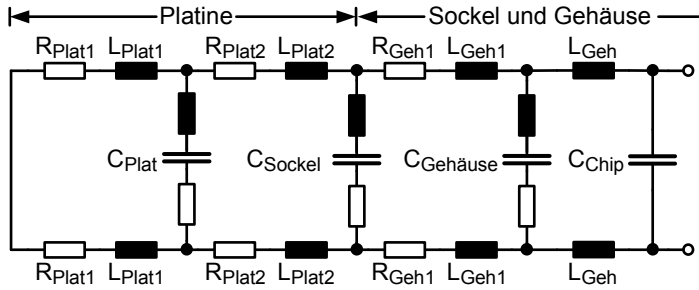


Bild 3.33 Ersatzschaltbild für ein herkömmliches Versorgungsnetzwerk nach Bild 3.32 [175], die Entkoppelkapazitäten C_{Plat} , C_{Sockel} und $C_{\text{Gehäuse}}$ werden als RLC-Schaltungen modelliert. Die Widerstände und Induktivitäten der einzelnen Bereiche werden getrennt für die Masse- und für die U_{DD} -Leitung dargestellt.

punkt $t = 0$ tritt das di/dt -Ereignis auf. Die erste Schwingung hat eine Amplitude von 250 mV. Sie ist aber bereits nach 50 ns abgeklungen. Die Amplitude der zweiten Schwingung beträgt 150 mV und die Abklingzeit ist 450 ns. Schließlich bildet sich noch eine dritte Schwingung mit der Amplitude von 200 mV nach 650 ns nach dem di/dt -Ereignis aus. Man sieht, dass sich erhebliche Abweichungen vom Sollwert für die Versorgungsspannung einstellen können.

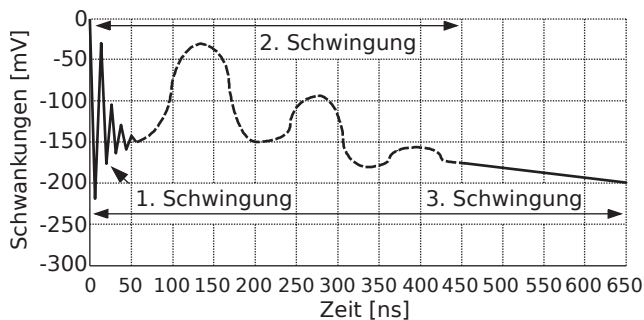


Bild 3.34 Beispiel für Schwankungen der Versorgungsspannung [28].

In Bild 3.33 wurden die Versorgungsleitungen auf dem Chip mittels einer Chipkapazität C_{Chip} modelliert. Dies stellt eine grobe Vereinfachung dar, die nun näher untersucht werden soll. Auf dem Chip befinden sich wie in den Zuleitungen eine Vielzahl von Entkoppelkapazitäten C_d sowie die parasitären Schaltelemente, die die Gatter darstellen, die zum betreffenden Zeitpunkt nicht schalten. Jedes nicht-schaltende Gatter kann mittels zweier Kapazitäten und einem Widerstand modelliert werden [127]. Im leitenden Pfad liegen ein Widerstand und eine Kapazität parallel, während im unterbrochenen Pfad eine Kapazität wirksam ist. Im leitenden Pfad, sei es der Pull-Up- oder der Pull-Down-Pfad, dominiert der Widerstand im Vergleich zu der Kapazität. Letztlich kann jedes Gatter als Serienschaltung von Widerstand und

Kapazität beschrieben werden (Bild 3.35a und 3.35b). Das heißt, dass die nicht-schaltenden Gatter als Entkoppelkapazitäten wirken. In dem Schaltbild von Bild 3.35 sind auch die Ohm'schen Widerstandsbeläge der Versorgungsleitungen berücksichtigt. Die Entkoppelkapazitäten wurden, um das Schaltbild zu vereinfachen, zu einer Entkoppelkapazität zusammengefasst.

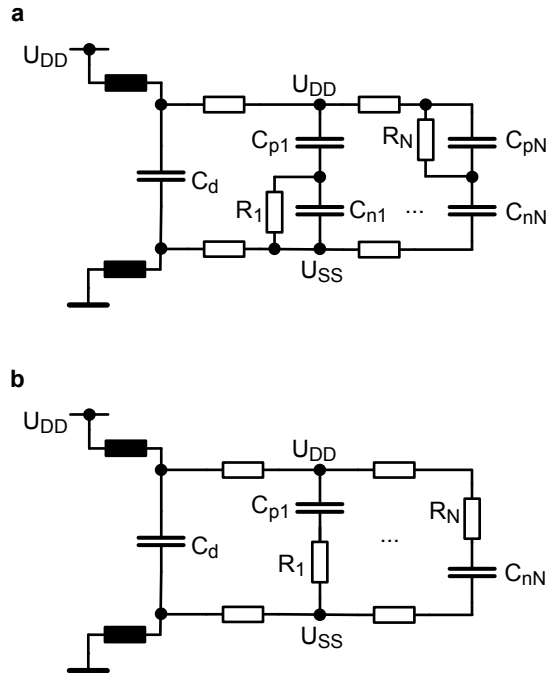


Bild 3.35 Modelle für Entkoppelkapazitäten auf einem Chip [127].

Für moderne integrierte digitale Schaltungen hat sich herausgestellt, dass viele einzelne zusätzliche Entkoppelkapazitäten auf dem Chip unbedingt notwendig sind. Wenn diese Kapazitäten in der Nähe der schaltenden Gatter liegen, kann der Spannungsabfall aufgrund von $I \cdot R$ minimiert werden. In [56] wird beschrieben, dass in einem 90nm Mikroprozessor das Verhältnis von Entkoppelkapazitäten zu den Kapazitäten, die ent- oder aufgeladen werden, etwa 10 : 1 entspricht. Insgesamt wurden 128 nF an Koppelkapazitäten ausgelegt. Vorrangig werden die Entkoppelkapazitäten mit Dickoxidtransistoren realisiert, deren Gates mit U_{DD} und deren Source- und Drain-Anschlüsse mit U_{SS} verbunden sind. Es werden Dickoxidtransistoren eingesetzt, um Tunnelströme zu vermeiden (siehe Kapitel 2.1.8). Falls sich zu große Schwingungen aufbauen sollten, ist zu überlegen, ob zu den Koppelkapazitäten noch Widerstände in Serie zur Dämpfung der Schwingung geschaltet werden müssen. Freie Stellen auf dem Chip, sei es zum Beispiel unter Busleitungen oder am Rande von Modulen, sollten vorrangig für die Entkoppelkapazitäten ge-

nutzt werden. In Alpha-Mikroprozessoren werden etwa 15–20% der Chipfläche für Entkoppelkapazitäten verwendet. 10% der Chipfläche enthalten Entkoppelkapazitäten, die die Spannungseinbrüche der Versorgungsspannung aufgrund von di/dt -Ereignisse von Takttreiberschaltungen vermeiden helfen.

Je nachdem, welche Technologie zur Verfügung steht und welche Anforderungen an die Verteilung der Versorgungsspannung gestellt werden, hat der Schaltungsentwickler die Wahl zwischen zahlreichen Topologien für die Spannungsverteilung auf dem Chip. Die Netzwerke zur Verteilung der Versorgungsspannung können bei grober Betrachtung in vier Klassen unterteilt werden: Gezielte Leitungsführung, Lattenzaun, Gitter und Versorgungsspannungsebenen. Moderne Hochleistungs-Mikroprozessoren mit sechs oder mehr Metallisierungsebenen weisen entweder dichte Gitter oder ganze Ebenen für die Verteilung der Versorgungsspannung auf. Dagegen werden in kleineren Chips vorrangig die Versorgungsleitungen gezielt oder in Form eines Lattenzauns ausgelegt.

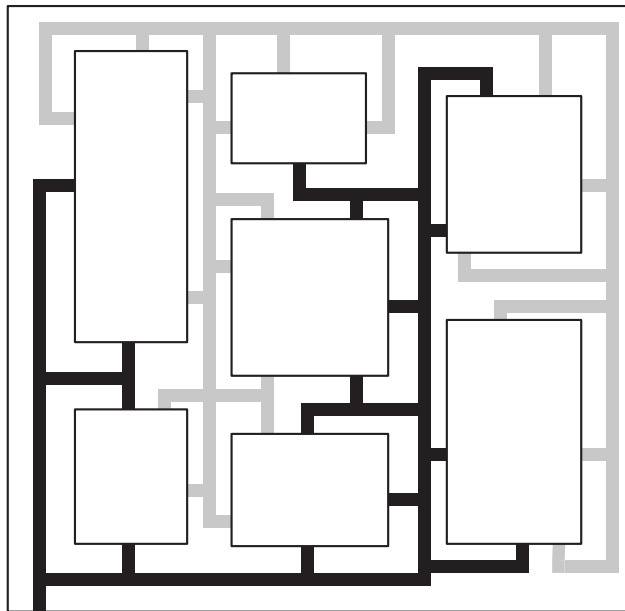


Bild 3.36 Gezielte Führung der Versorgungsleitungen um die einzelnen Schaltungsblöcke [175]. U_{DD} -Leitungen in schwarz; U_{SS} -Leitungen in grau.

Bei der gezielten Leitungsführung werden Stränge von U_{DD} - und Masseleitungen von den Pads an der Peripherie der Chips zu jedem Block auf den Chips geführt (Bild 3.36). Man könnte auch über die einzelnen Blöcke hinweg verdrahten. Dies hätte aber den Nachteil, dass nachfolgende Blöcke den Spannungsabfall der Vorhergehenden mittragen müssten. Typischerweise werden die Stränge in zwei Verdrahtungsebenen, die direkt übereinander liegen, geführt. Eine Ebene ist den U_{DD} -Leitungen und die andere ist den U_{SS} -Leitungen vorbehalten. Der Spannungsabfall

wegen $I \cdot R$ ist bei dieser Leitungsführung in der Mitte der Chips am stärksten. Zusätzlich ist zu bedenken, dass nicht immer eindeutig bestimmt ist, welchen Rückweg der Strom nimmt. Daher ist diese Art der Leitungsführung verdächtig, nennenswerte Induktivitäten auf den Chip zu haben.

Der Vorteil dieser Methode ist, dass mit ihr relativ wenig von den vorhandenen Verdrahtungsressourcen verbraucht wird. Dies ist besonders wichtig für Technologien, die nur eine begrenzte Anzahl von Verdrahtungsebenen haben. Der Nachteil ist, dass nur wenig Redundanz vorhanden ist. Nur eine geringe Anzahl von Strängen leiten den gesamten Strom. Wenn ein Strang zu schwach dimensioniert ist, können andere Stränge möglicherweise den Strom nicht übernehmen. Deswegen müssen bei gezielter Leitungsführung extensive und sorgfältige Analysen durchgeführt werden.

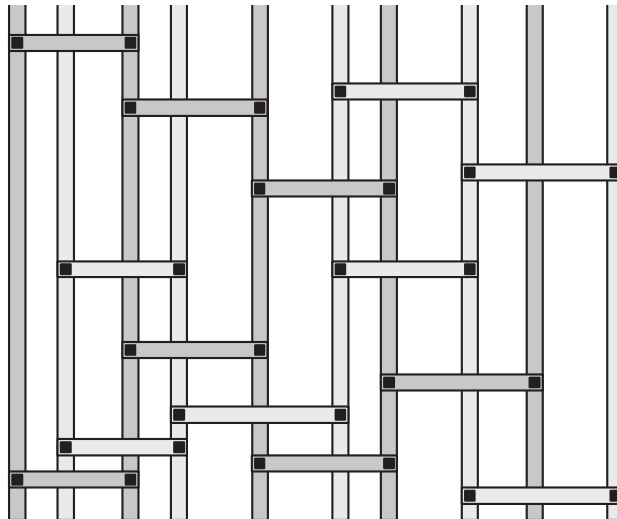


Bild 3.37 Netzwerk für die Verteilung der Versorgungsspannung in Form eines Lattenzauns [175]. U_{DD} -Leitungen in dunkelgrau; U_{SS} -Leitungen in hellgrau.

Mit Netzwerken nach Art eines Lattenzauns lässt sich eine höhere Zuverlässigkeit und Robustheit erreichen. Wie es in Bild 3.37 dargestellt ist, werden in derartigen Netzen die U_{DD} - und die U_{SS} -Leitungen parallel über einen Block oder gar über den gesamten Chip geführt. Mittels dieser dicken und weiten Leitungen werden in den obersten Verdrahtungsebenen die Ströme verteilt. Die Leitungen sind untereinander mit relativ kurzen Brücken verbunden. In den unteren Verdrahtungsebenen werden die Leitungen orthogonal zu den Leitungen in den oberen Ebenen ausgelegt. So werden in den unteren Ebenen die Ströme orthogonal zu den Strömen in den oberen Ebenen verteilt. Dies vermindert induktive Effekte. Es bildet sich ein irreguläres Gitter aus. Auch die Leitungsführung in Form eines Lattenzauns ist gut für Technologien mit wenigen Verdrahtungsebenen geeignet.

Schaltungsentwickler verwenden in modernen Mikroprozessoren gitterförmige Netzwerke, um die Versorgungsspannung zu verteilen. In jeder Ebene wird eine Vielzahl von Versorgungsleitungen im gleichen Abstand und mit der gleichen Weite ausgelegt. Zwischen den Versorgungsleitungen liegen die Signal- und die Taktleitungen. Die Ausrichtung der U_{DD} - und der U_{SS} -Leistungen in jeder Ebene ist orthogonal zu der Ausrichtung in den benachbarten Ebenen. Typischerweise wechseln sich U_{DD} - und der U_{SS} -Leistungen in jeder Ebene ab (siehe Bild 3.38). Immer wenn eine Überlappung vorhanden ist, wird jede U_{DD} - und U_{SS} -Leitung mittels Kontaktlöchern (vias) mit den entsprechenden Leitungen in den benachbarten Ebenen verbunden. In integrierten Schaltungen nehmen die Weiten und die Abstände der Lei-

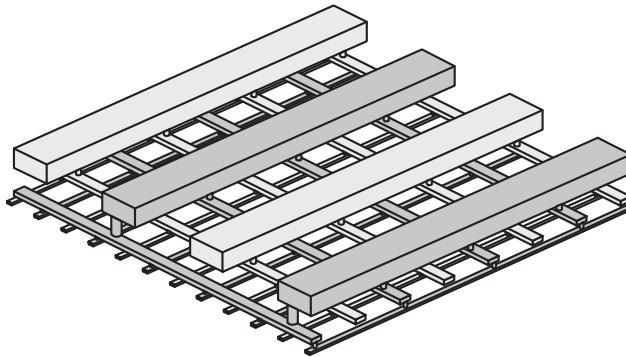


Bild 3.38 Gitterförmiges Netzwerk, das über mehrere Verdrahtungsebenen verteilt ist, für Verteilung der Versorgungsspannung [175]. U_{DD} -Leistungen in dunkelgrau; U_{SS} -Leistungen in hellgrau.

tungen ab, je tiefer man in den Stapel an Versorgungsebenen vordringt. So wird ein grobmaschiges Netz in den oberen Ebenen, die die Verbindungen zu den Pads herstellen und die Ströme verteilen, geschaffen. Die geometrischen Abmessungen der Pads und der Leiterbahnen der oberen Ebenen sind aneinander angepasst. Besonders günstig ist dieses Versorgungsnetz, wenn die Pads, wie bei den „Flip Chip Arrays“, über der ganzen Chipfläche verteilt sind (Kapitel 4.5.3). Dagegen entsteht ein feines Netz in den unteren Ebenen, die die einzelnen Gatter versorgen. Damit wird der Anschluss der Gatter an die Versorgungsleitungen der oberen Ebenen erleichtert.

Das gitterförmige Netzwerk hat eine Reihe von Vorteilen. Da zahlreiche redundante Strompfade zwischen den einzelnen Gattern und den Pads für die Versorgungsspannungen existieren, sind diese Netzwerke viel robuster als gezielt ausgelegte Netze. Diese Netze sind unempfindlicher gegenüber unterschiedlichen Stromanforderungen der einzelnen Module. Weiter ist die Dimensionierung der Leiterbahnen weniger kritisch. Wenn die Gitter feinmaschig ausgelegt sind, können weitgehend induktive Effekte vermieden werden, da die von den Strömen eingeschlossenen Flächen kleiner sind. In jeder Ebene liegen die Versorgungsleitungen zwischen den Signal- und den Taktleitungen, deswegen werden kapazitive Kopplungen zwischen diesen Leitungen minimiert. Alle diese Vorteile haben einen Preis.

Mit diesem Konzept werden etwa 20 bis 40% der zur Verfügung stehenden Verdrahtungsmöglichkeiten verbraucht.

In der Vergangenheit wurden ganze Verdrahtungsebenen für die Zuführung der Leistung und für die Masseleitung eingesetzt. Dadurch wird das Netzwerk noch robuster und niederohmiger. Da die Zahl der Verdrahtungsebenen konstant ist, stehen somit jedoch weniger Verdrahtungsebenen für die Takt- und die Signalleitungen zur Verfügung. Für eine Vertiefung des Stoffes wird der Leser auf die Literaturstelle [175] verwiesen.

3.4 Einschwingverhalten einer am Ende mit C_L abgeschlossenen RC-Leitung

Als Anhang zu Kapitel 3 soll in diesem Unterkapitel eine Leitung nach Bild 3.17b untersucht werden. Für die Erregung gilt:

$$u_i(t) = \begin{cases} 0 & \text{für } t < 0 \\ U_0 & \text{für } t > 0 \end{cases} \quad (3.125)$$

Auf der Leitung ($L' = G' = 0$) ergibt sich aus den Gleichungen 3.78c und 3.79c:

$$\frac{\partial u}{\partial x} = -R' \cdot i \quad (3.126)$$

$$\frac{\partial i}{\partial x} = -C' \cdot \frac{\partial u}{\partial t} \quad (3.127)$$

Differenzieren von 3.126 nach x und durch Einsetzen in die Gleichung 3.127 erhält man:

$$\frac{\partial^2 u}{\partial x^2} = R' \cdot C' \cdot \frac{\partial u}{\partial t} \quad (\text{wh 3.99})$$

Die durch die Beschaltung gegebenen Randbedingungen lauten unter Berücksichtigung von den Gleichungen 3.126 und 3.127:

$$u(0, t) = u_i(t) - R' \cdot i(0, t) = u_i(t) + \frac{R_i}{R'} \cdot \frac{\partial u}{\partial x} \Big|_{x=0} \quad (3.128)$$

$$C_L \cdot \frac{\partial u}{\partial t} \Big|_{x=l} = i_l = -\frac{1}{R'} \cdot \frac{\partial u}{\partial x} \Big|_{x=l} \quad (3.129)$$

Mittels der Laplace-Transformation folgt aus den Gleichungen 3.99, 3.128 und 3.129:

$$\frac{\partial^2 U}{\partial x^2} - \gamma^2 \cdot U = 0 \quad (3.130)$$

$$\gamma = \sqrt{s \cdot R' \cdot C'} \quad (\text{wh 3.100})$$

$$U_0 = \frac{1}{s} \cdot U_0 + \frac{R_i}{R'} \cdot \frac{\partial U}{\partial x} \Big|_{x=0} \quad (3.131)$$

$$s \cdot C_L \cdot U(l) = - \frac{1}{R'} \cdot \frac{\partial U}{\partial x} \Big|_{x=l} \quad (3.132)$$

$$U(x) = A \cdot e^{-\gamma \cdot x} + B \cdot e^{\gamma \cdot x} \quad (3.133a)$$

$$\frac{\partial U}{\partial x} = -\gamma \cdot (A \cdot e^{-\gamma \cdot x} - B \cdot e^{\gamma \cdot x}) \quad (3.133b)$$

Setzt man Gleichungen 3.133a und 3.133b in die Gleichungen 3.131 und 3.132 ein, so ergibt sich ein Gleichungssystem für A und B :

$$A + B = \frac{1}{s} \cdot U_0 - \frac{R_i}{R'} \cdot \gamma \cdot (A - B)$$

$$s \cdot C_L \cdot (A \cdot e^{-\gamma \cdot l} + B \cdot e^{\gamma \cdot l}) = \frac{\gamma}{R'} \cdot (A \cdot e^{-\gamma \cdot l} - B \cdot e^{\gamma \cdot l})$$

In einer anderen Schreibweise erhält man:

$$\begin{bmatrix} 1 + \frac{R_i}{R'} \cdot \gamma & 1 - \frac{R_i}{R'} \cdot \gamma \\ \left(s \cdot C_L - \frac{\gamma}{R'}\right) \cdot e^{-\gamma \cdot l} & \left(s \cdot C_L + \frac{\gamma}{R'}\right) \cdot e^{\gamma \cdot l} \end{bmatrix} \cdot \begin{bmatrix} A \\ B \end{bmatrix} = \begin{bmatrix} U_0/s \\ 0 \end{bmatrix} \quad (3.134)$$

Die Gleichungsdeterminante von 3.134 ist:

$$\det = \left(1 + \frac{R_i}{R'} \cdot \gamma\right) \cdot \left(s \cdot C_L + \frac{\gamma}{R'}\right) \cdot e^{\gamma \cdot l} - \left(1 - \frac{R_i}{R'} \cdot \gamma\right) \cdot \left(s \cdot C_L - \frac{\gamma}{R'}\right) \cdot e^{-\gamma \cdot l} \quad (3.135)$$

Daraus errechnen sich die Konstanten zu:

$$A = \frac{1}{\det} \cdot \left(s \cdot C_L + \frac{\gamma}{R'}\right) \cdot \frac{U_0}{s} \cdot e^{\gamma \cdot l}$$

$$B = \frac{-1}{\det} \cdot \left(s \cdot C_L - \frac{\gamma}{R'}\right) \cdot \frac{U_0}{s} \cdot e^{-\gamma \cdot l} \quad (3.136)$$

Setzt man die Gleichung 3.136 in die Gleichung 3.133a ein, erhält man für die Spannung am Leitungsende:

$$U(l) = \frac{U_0}{s \cdot \det} \cdot \left(s \cdot C_L + \frac{\gamma}{R'} - s \cdot C_L + \frac{\gamma}{R'}\right) = \frac{2 \cdot \gamma \cdot U_0}{s \cdot R' \cdot \det} \quad (3.137)$$

Die Gleichungsdeterminante 3.135 kann nun für große und kleine s genähert werden, das heißt für $s \ll 1/\tau$ und $s \gg 1/\tau$. Die Zeitkonstante der Leitung alleine wird mit $\tau = R' \cdot C' \cdot l^2$ bezeichnet.

3.4.1 Erste Näherung für $s \ll 1/\tau$ oder $t \gg \tau$

Man setzt mit $\tau = R' \cdot C' \cdot l^2$ und $\tau_l = R' \cdot l \cdot C_L$ die folgenden Gleichungen

$$e^{\gamma \cdot l} = e^{\sqrt{s \cdot \tau}} \approx 1 + \sqrt{s \cdot \tau} + \frac{s \cdot \tau}{2}$$

$$e^{-\gamma \cdot l} = e^{\sqrt{s \cdot \tau}} \approx 1 - \sqrt{s \cdot \tau} + \frac{s \cdot \tau}{2}$$

in Gleichung 3.135 ein.

$$\begin{aligned} \det &\approx \left(1 + \frac{R_i}{R' \cdot l} \cdot \sqrt{s \cdot \tau}\right) \cdot \frac{1}{R' \cdot l} \cdot (s \cdot \tau_l + \sqrt{s \cdot \tau}) \cdot \left(1 + \sqrt{s \cdot \tau} + \frac{s \cdot \tau}{2}\right) \\ &\quad - \left(1 - \frac{R_i}{R' \cdot l} \cdot \sqrt{s \cdot \tau}\right) \cdot \frac{1}{R' \cdot l} \cdot (s \cdot \tau_l - \sqrt{s \cdot \tau}) \cdot \left(1 - \sqrt{s \cdot \tau} + \frac{s \cdot \tau}{2}\right) \\ \det &\approx \frac{1}{R' \cdot l} \cdot \begin{pmatrix} \left(s \cdot \tau_l + \sqrt{s \cdot \tau} + \frac{R_i}{R' \cdot l} \cdot s \cdot \tau_l \cdot \sqrt{s \cdot \tau} + \frac{R_i}{R' \cdot l} \cdot s \cdot \tau\right) \\ \cdot \left(1 + \sqrt{s \cdot \tau} + \frac{s \cdot \tau}{2}\right) \\ - \left(s \cdot \tau_l - \sqrt{s \cdot \tau} + \frac{R_i}{R' \cdot l} \cdot s \cdot \tau_l \cdot \sqrt{s \cdot \tau} + \frac{R_i}{R' \cdot l} \cdot s \cdot \tau\right) \\ \cdot \left(1 - \sqrt{s \cdot \tau} + \frac{s \cdot \tau}{2}\right) \end{pmatrix} \\ &= \frac{1}{R' \cdot l} \cdot \begin{pmatrix} 2\sqrt{s \cdot \tau} + \frac{2R_i}{R' \cdot l} \cdot s \cdot \tau_l \cdot \sqrt{s \cdot \tau} + \sqrt{s \cdot \tau} \left(2s \cdot \tau + s \cdot \frac{R_i}{R' \cdot l} \cdot s \cdot \tau\right) \\ + s \cdot \tau \left(\sqrt{s \cdot \tau} + \frac{R_i}{R' \cdot l} \cdot s \cdot \tau_l \cdot \sqrt{s \cdot \tau}\right) \end{pmatrix} \\ \det &\approx 2 \frac{\sqrt{s \cdot \tau}}{R' \cdot l} \cdot \begin{pmatrix} 1 + s \cdot (R_i \cdot (C' \cdot l + C_L) + R' \cdot l \cdot (\frac{1}{2}C' \cdot l + C_L)) \\ + \frac{1}{2}s^2 \cdot R' \cdot l \cdot C' \cdot l \cdot R_i \cdot C_L \end{pmatrix} \quad (3.138) \end{aligned}$$

Nun wird Gleichung 3.138 in Gleichung 3.137 eingesetzt:

$$\begin{aligned} \frac{U(l)}{U_0} &= \frac{2R' \cdot l \cdot \sqrt{s \cdot R' \cdot C'}}{2s \cdot R' \cdot l \cdot \sqrt{s \cdot R' \cdot C'}} \cdot \frac{1}{1 + s \cdot (R_i \cdot (C' \cdot l + C_L) + R' \cdot l \cdot (\frac{1}{2}C' \cdot l + C_L))} \\ &= \frac{1}{\tau_{\text{tot}}} \cdot \frac{1}{s \cdot (s + 1/\tau_{\text{tot}})} \quad \text{für } s \ll 1/\tau \end{aligned}$$

$$(3.139)$$

Nach der Rücktransformation erhält man die Lösung im Zeitbereich:

$$u(l, t) = U_0 \cdot \left(1 - e^{-\frac{t}{\tau_{\text{tot}}}} \right) \quad (3.140a)$$

mit

$$\tau_{\text{tot}} = R_i \cdot (C' \cdot l + C_L) + R' \cdot l \cdot \left(\frac{1}{2} C' \cdot l + C_L \right) \quad (3.140b)$$

für $t \gg \tau$

3.4.2 Zweite Näherungslösung für $s > 1/(4\tau)$ oder $t < 4\tau$

Man schreibt Gleichung 3.135 in der Form

$$\det = \frac{1}{R' \cdot l} \cdot e^{\gamma \cdot l} \cdot \left(\left(1 + \frac{R_i}{R' \cdot l} \cdot \gamma \cdot l \right) \cdot (s \cdot C_L \cdot R' \cdot l + \gamma \cdot l) + \left(1 - \frac{R_i}{R' \cdot l} \cdot \gamma \cdot l \right) \cdot (\gamma \cdot l - s \cdot C_L \cdot R' \cdot l) \cdot e^{-2\gamma \cdot l} \right)$$

und, da $2 \cdot \gamma \cdot l = \sqrt{4s \cdot \tau} > 1$, vernachlässigt man den Term mit $\exp(-2 \cdot \gamma \cdot l)$, somit:

$$\det \approx \frac{\gamma \cdot l}{R' \cdot l} \cdot e^{\gamma \cdot l} \cdot \left(1 + R_i \cdot \sqrt{s \cdot \frac{C'}{R'}} \right) \cdot \left(1 + s \cdot C_L \cdot \sqrt{s \cdot \frac{R'}{C'}} \right) \quad (3.141a)$$

Mit

$$\sqrt{\tau_1} = R_i \cdot \sqrt{\frac{C'}{R'}} \quad (3.141b)$$

und

$$\sqrt{\tau_2} = C_L \cdot \sqrt{\frac{R'}{C'}} \quad (3.141c)$$

erhält man, wenn Gleichung 3.141a, 3.141b und 3.141c in Gleichung 3.137 eingesetzt wird:

$$\begin{aligned} \frac{U(l)}{U_0} &= \frac{2\gamma \cdot R' \cdot l \cdot e^{-\gamma \cdot l}}{s \cdot \gamma \cdot R' \cdot l} \cdot \frac{1}{\sqrt{\tau_1} \cdot \sqrt{\tau_2} \cdot (1/\sqrt{\tau_1} + \sqrt{s}) \cdot (1/\sqrt{\tau_2} + \sqrt{s})} \\ &= \frac{2}{\sqrt{\tau_1} \cdot \sqrt{\tau_2}} \cdot \frac{e^{-\gamma \cdot l}}{(1/\sqrt{\tau_1} + \sqrt{s}) \cdot (1/\sqrt{\tau_2} + \sqrt{s})} \end{aligned} \quad (3.142)$$

Die Zerlegung in Partialbrüche liefert:

$$\begin{aligned} \frac{1}{(1/\sqrt{\tau_1} + \sqrt{s}) \cdot (1/\sqrt{\tau_2} + \sqrt{s})} &= \frac{a}{1/\sqrt{\tau_1} + \sqrt{s}} + \frac{b}{1/\sqrt{\tau_2} + \sqrt{s}} \\ \left. \begin{aligned} a + b &= 0 \\ \frac{a}{\sqrt{\tau_2}} + \frac{b}{\sqrt{\tau_1}} &= 1 \end{aligned} \right\} \quad a = \frac{\sqrt{\tau_1 \cdot \tau_2}}{\sqrt{\tau_1} - \sqrt{\tau_2}} \quad ; \quad b = \frac{-\sqrt{\tau_1 \cdot \tau_2}}{\sqrt{\tau_1} - \sqrt{\tau_2}} \end{aligned} \quad (3.143)$$

Somit wird aus 3.142:

$$\begin{aligned} \frac{U(l)}{U_0} &= \frac{2}{\sqrt{\tau_1} \cdot \tau_2} \cdot \frac{\sqrt{\tau_1 \cdot \tau_2}}{\sqrt{\tau_1} - \sqrt{\tau_2}} \cdot \left(\frac{e^{-\sqrt{s \cdot \tau}}}{s \cdot (1/\sqrt{\tau_1} + \sqrt{s})} - \frac{e^{-\sqrt{s \cdot \tau}}}{s \cdot (1/\sqrt{\tau_2} - \sqrt{s})} \right) \\ &= \frac{2}{\sqrt{\tau_1} - \sqrt{\tau_2}} \cdot \left(\sqrt{\tau_1} \cdot \frac{(1/\sqrt{\tau_1}) \cdot e^{-\sqrt{s \cdot \tau}}}{s \cdot (1/\sqrt{\tau_1} + \sqrt{s})} - \sqrt{\tau_2} \cdot \frac{(1/\sqrt{\tau_2}) \cdot e^{-\sqrt{s \cdot \tau}}}{s \cdot (1/\sqrt{\tau_2} + \sqrt{s})} \right) \end{aligned} \quad (3.144)$$

Nach Rücktransformation in den Zeitbereich (siehe [2] Abramowitz + Stegun Seite 1027 Gleichung 29.3.89) ergibt sich:

$$\frac{u(l, t)}{U_0} = \frac{2}{\sqrt{\tau_1} - \sqrt{\tau_2}} \cdot \left(\begin{aligned} & -\sqrt{\tau_1} \cdot e^{\tau/\tau_1} \cdot e^{t/\tau_1} \cdot \operatorname{erfc} \left(\sqrt{\frac{t}{\tau_1}} + \sqrt{\frac{\tau}{4t}} \right) \\ & + \sqrt{\tau_1} \cdot \operatorname{erfc} \left(\sqrt{\frac{\tau}{4t}} \right) \\ & + \sqrt{\tau_2} \cdot e^{\sqrt{\tau/\tau_2}} \cdot e^{t/\tau_2} \cdot \operatorname{erfc} \left(\sqrt{\frac{t}{\tau_2}} + \sqrt{\frac{\tau}{4t}} \right) \\ & - \sqrt{\tau_2} \cdot \operatorname{erfc} \left(\sqrt{\frac{\tau}{4t}} \right) \end{aligned} \right)$$

oder

$$\frac{u(l,t)}{U_0} = \frac{2}{\sqrt{\tau_1} - \sqrt{\tau_2}} \cdot \left(\begin{aligned} &\sqrt{\tau_2} \cdot e^{\sqrt{\frac{\tau}{\tau_2}} \cdot \frac{t}{\tau_2}} \cdot \operatorname{erfc} \left(\sqrt{\frac{t}{\tau_2}} + \sqrt{\frac{\tau}{4t}} \right) \\ &- \sqrt{\tau_1} \cdot e^{\frac{\tau}{\tau_1}} \cdot e^{\frac{t}{\tau_1}} \cdot \operatorname{erfc} \left(\sqrt{\frac{t}{\tau_1}} + \sqrt{\frac{\tau}{4t}} \right) \cdot 2 \operatorname{erfc} \left(\sqrt{\frac{\tau}{4t}} \right) \end{aligned} \right) \quad (3.145)$$

für $s > \frac{1}{4\tau}$ oder $t < 4\tau$ und mit

$$\tau = R' \cdot l \cdot C' \cdot l$$

$$\tau_1 = R_i^2 \cdot \frac{C'}{R'}$$

$$\tau_2 = C_L^2 \cdot \frac{R'}{C'}$$

Es ist eine weitergehende Näherungen möglich. Es werden folgende Parameterwerte angenommen.

$$R' = 0,75 \text{ k}\Omega/\text{cm} \quad , \quad C' = 0,75 \text{ pF}/\text{cm} \quad , \quad l = 1 \text{ cm}$$

$$R_i = 5 \text{ k}\Omega \quad , \quad C_L = 0,1 \text{ pF}$$

Damit wird

$$\tau = R' \cdot l \cdot C' \cdot l = 1,5 \text{ ns} \quad , \quad \tau_1 = R_i^2 \cdot \frac{C'}{R'} = 66,6 \text{ ns} \quad , \quad \tau_2 = C_L^2 \cdot \frac{R'}{C'} = 0,00375 \text{ ns}$$

das heißt

$$\sqrt{\tau_1} \gg \sqrt{\tau_2} \quad . \quad (3.146)$$

Für $\tau/4 < t < 4\tau$ kann der Term $\sqrt{s \cdot \tau_s}$ in Gleichung 3.141a gegenüber der Eins vernachlässigt werden, somit:

$$\det \approx \frac{\gamma \cdot l}{R' \cdot l} \cdot e^{\gamma \cdot l} \cdot (1 + \sqrt{s \cdot \tau_1}) \quad (3.147)$$

Einsetzen in (3.137) liefert

$$\frac{U(l)}{U_0} = 2 \frac{(1/\sqrt{\tau_1}) \cdot e^{-\sqrt{s \cdot \tau}}}{s \cdot (\sqrt{s} + 1/\sqrt{\tau_1})} \quad (3.148)$$

mit der Zeitbereichslösung

$$\frac{u(l,t)}{U_0} = 2 \operatorname{erfc} \sqrt{\frac{\tau}{4t}} - 2e^{\sqrt{\frac{\tau}{\tau_1}}} \cdot e^{t/\tau_1} \cdot \operatorname{erfc} \left(\sqrt{\frac{t}{\tau_1}} + \sqrt{\frac{\tau}{4t}} \right) \quad (3.149)$$

Kapitel 4

Grundsaltungen

Nachdem in den vorhergehenden Kapiteln die technologischen und physikalischen Grundlagen gelegt wurden, werden nun in den folgenden Abschnitten die wichtigsten Grundsaltungen erläutert, aus denen integrierte MOS-Bausteine aufgebaut werden. Zunächst wird ein idealisiertes Logikelement behandelt. Dann werden die Einflüsse von Störungen auf digitale Schaltungen untersucht. Da vom Inverter, das heißt einer Schaltung, deren Ausgangs- und Eingangsspannung entgegengesetzte (inverse) Verläufe haben, die elektrischen Eigenschaften aller anderen Grundsaltungen abgeleitet werden können, wird die Behandlung der verschiedenen Invertertypen einen Schwerpunkt bilden. Einen zusätzlichen Schwerpunkt bilden die Ableitung der Verlustleistung und schaltungstechnische Maßnahmen, mittels derer die Verlustleistung gemindert werden kann. Weiter werden Treiberschaltungen, einschließlich der Eingangs- und Ausgangsschutzschaltungen, und analoge Grundsaltungen besprochen. Es werden auch die Grundsaltungen, mit denen man Informationen speichern kann, behandelt. Schließlich werden die verschiedenen Logikfamilien der CMOS-Technologie eingehend erläutert.

4.1 Idealisiertes Logikelement

Digitale Schaltungen beruhen auf folgenden Voraussetzungen:

- Die einzelne Schaltung muss eine logische Funktion erfüllen, d. h. das binäre Ausgangssignal ist eine eindeutig bestimmbare Boole'sche Funktion der binären Eingangssignale. Es wird ein eindeutiger Zusammenhang zwischen Ursache und Wirkung benötigt. Mehrwertige Logiken haben sich bis heute nicht durchgesetzt.
- Der zur Verfügung stehende Signalhub (z. B. 0 V bis 1,2 V für heutige CMOS-Schaltungen) muss quantifiziert werden. Es müssen Pegelbereiche definiert werden, die die binären Signale repräsentieren. Der Amplitudenbereich (Unsicherheitsbereich), dem kein logischer Wert eindeutig zugeschrieben werden kann, sollte möglichst klein sein (Bild 4.1)

- Durchläuft ein gestörtes Signal eine logische Schaltung, müssen die logischen Pegel regeneriert werden. Das heißt, die Pegelbereiche für die logischen Signale sollen am Ausgang eines Gatters kleiner als an den Eingängen sein (Bild 4.1. Aus dieser Forderung folgen nichtlineare Übertragungsfunktionen gemäß Bild 4.1c. Anhand der Übertragungskennlinie legt man die zulässigen Amplitudenbereiche für die beiden logischen Werte fest. Der Unsicherheitsbereich wird mit dem Übergangsbereich der Übertragungscharakteristik gleichgesetzt. In diesem Bereich ist der Betrag der Spannungsverstärkung größer als 1. An den Punkten, an denen der Betrag der Spannungsverstärkung 1 ist, werden die Eingangspegel U_{IH} und U_{IL} definiert. Damit liegt der zulässige Amplitudenbereich für eine logische Eins zwischen U_{IH} und dem maximalen Pegel (z. B. Versorgungsspannung U_{DD}). Entsprechend gilt für eine logische Null der Bereich zwischen minimalem Signalpegel (z. B. 0 V) und U_{IL} . Die Ausgangspegel für U_{IL} und U_{IH} werden mit U_{OH} und U_{OL} bezeichnet.
- Der Ausgang einer Schaltung muss die Fähigkeit aufweisen, mehr als einen Eingang einer ähnlichen Schaltung logisch verändern zu können. Der Ausgangswiderstand eines Gatters sollte sehr klein sein. In diesem Zusammenhang spricht man von Treiberfähigkeit. Die Anzahl der Eingänge, die von einem Gatter getrieben werden können, bezeichnet man als Fan-Out. Die Zahl der unabhängigen Eingänge eines Gatters wird mit Fan-In bezeichnet.

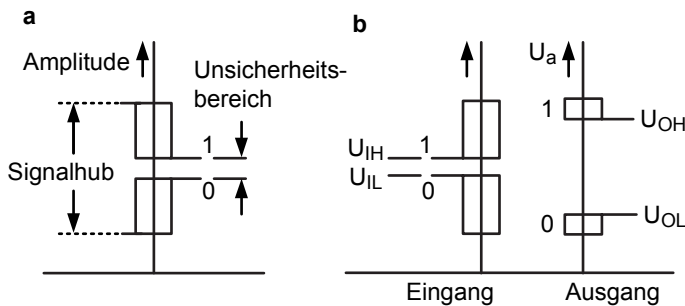


Bild 4.1 Amplitudencharakteristik und Übertragungsfunktionen von digitalen Schaltungen: **a** Amplitudenbereiche für 0 und 1; **b** Regeneration von gestörten Signalen.

4.2 Störungen und Störabstände

Mit Störungen (Noise, Distortion) bezeichnet man in logischen Schaltungen die unerwünschten Schwankungen von Signalpegeln an logischen Knotenpunkten. Ist die Amplitude der Störung zu groß, so treten logische Fehler auf. Ist jedoch die Störgröße am Eingang eines logischen Gatters kleiner als der sogenannte Störabstand

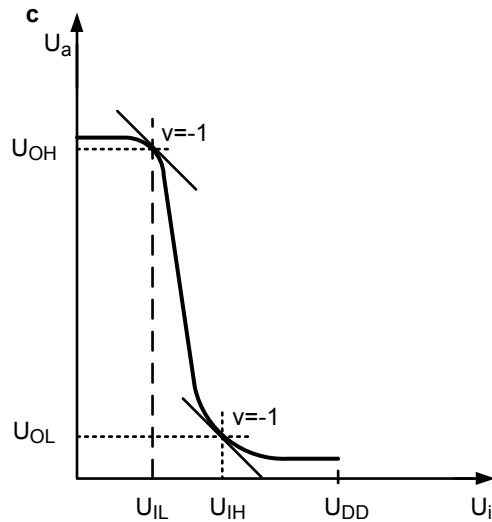


Bild 4.1c Amplitudencharakteristik und Übertragungsfunktionen von digitalen Schaltungen: Übertragungsfunktion digitaler Schaltungen.

(Noise Margin), so wird das Störsignal aufgrund der nichtlinearen Übertragungsfunktion am Ausgang nur stark gedämpft erscheinen. Daher klingen in digitalen Schaltungen Störungen oder Rauschen beim Durchlaufen der Schaltelemente ab, während das Nutzsignal mit voller Amplitude übertragen wird. Dagegen wird das Rauschen in analogen Schaltungen von Stufe zu Stufe akkumuliert.

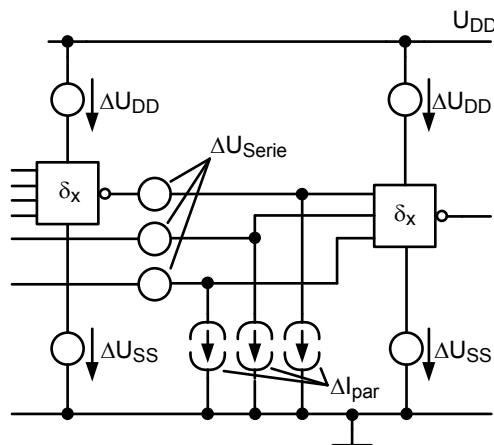


Bild 4.2 Störquellen in digitalen Schaltungen.

In logischen Schaltkreisen treten vier verschiedene Arten von Störungen auf [133] (Bild 4.2):

- Serien-Spannungsrauschen in Verbindungsleitungen zwischen den Gattern (ΔU_{Serie})
- Parallel-Stromrauschen an Gatterein- und -ausgängen (ΔI_{par})
- Spannungsrauschen in den Versorgungsleitungen (ΔU_{DD})
- Spannungsrauschen in den Erdleitungen (ΔU_{SS})

Verursacht werden diese Störungen z. B. durch induktive oder kapazitive Kopplungen, durch Spannungsabfälle aufgrund von Serienwiderständen oder Ausgangsbelastungen und Einstrahlung von externen Quellen. Alle vier Störquellen können gleichzeitig und mit beliebigen Vorzeichen und Amplituden auftreten.

Deshalb ist die Berechnung des ungünstigsten Falles eine schwer zu lösende Aufgabe. Es ist einfacher, die verschiedenen Rauschquellen getrennt zu betrachten.

Im nächsten Schritt wird untersucht, wie groß die Störungen im Falle des Serien-Spannungsrauschens sein dürfen, ohne dass logische Fehler verursacht werden. Eine einfach zu analysierende aber unrealistische Konstellation erhält man, wenn man annimmt, dass die Störung nur einmalig am Eingang eines einzigen Gatters, das sich in einer Kette von mehreren Gattern befindet, angreift. Wie Bild 4.3 zeigt, werden die Signale regeneriert, solange das Eingangssignal, das sich aus dem Nutzsignal und dem Störsignal zusammensetzt, die logische Schaltschwelle U_M für eine logische „Null“ nicht überschreitet ($U_i < U_M$) beziehungsweise für eine logische „Eins“ nicht unterschreitet ($U_i > U_M$). Der Wendepunkt der Übertragungscharakteristik wird als Schaltschwelle bezeichnet. Üblicherweise legt man die Schaltschwelle U_M in die Mitte des zur Verfügung stehenden Signalhubs.

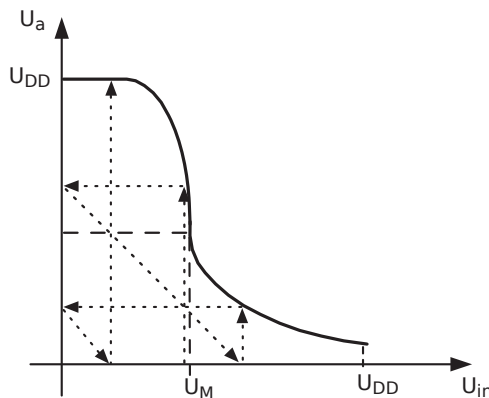


Bild 4.3 Regeneration des Signals, wenn nur eine Störung in einer Kette von Gattern auftritt. U_M logische Schaltschwelle.

Realistischer wird die Untersuchung, wenn man zulässt, dass die Störsignale, wie Bild 4.4 zeigt, an jedem Gatter in einer Kette von Gattern angreifen können. Ein

quasistationärer Zustand liegt vor, wenn die Schaltzeit der Gatter klein ist gegenüber der Zeit, während der die Störungen auftreten. Die logischen Pegel sind in Bild 4.4 mit L und H bezeichnet. Die Vorzeichen der Störspannungen ΔU_1 und ΔU_2 sind entsprechend dem ungünstigsten Fall angenommen.

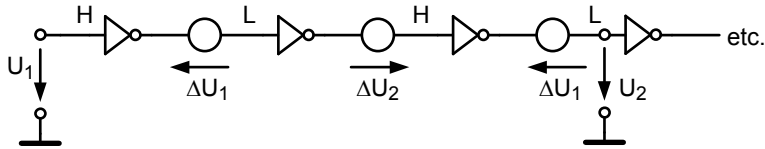


Bild 4.4 Einkopplung von Störungen in eine Kette von Invertern.

Für diesen Fall hat sich die Definition der Störabstände mittels der Punkte der Übertragungskennlinie, an denen die Verstärkung einen Wert von -1 aufweist, als sehr nützlich erwiesen. Es wurden bereits vier ausgezeichnete Punkte, nämlich U_{IH} , U_{IL} , U_{OH} und U_{OL} , der Übertragungskennlinie definiert (Bild 4.1c). Dem Bild 4.1b ist zu entnehmen, dass am Ausgang eines Gatters der minimale Pegel für eine logische Eins U_{OH} entspricht. Ein direkt nachfolgendes Gatter erkennt eine logische Eins noch korrekt, wenn der Eingangspegel größer oder gleich U_{IH} ist. Daraus folgt für das maximal zulässige Störsignal und damit für den Störabstand NM_H (Noise Margin)

$$\Delta U_{\text{Serie}} \leq NM_H = U_{OH} - U_{IH} \quad . \quad (4.1a)$$

Entsprechend gilt für eine logische Null

$$NM_L = U_{IL} - U_{OL} \quad . \quad (4.1b)$$

In Bild 4.5 ist diese Definition des Störabstandes anschaulich dargestellt. Im Allgemeinen sind die Störabstände NM_L und NM_H unterschiedlich. Dies ist die übliche Definition, die sich in der Praxis bewährt hat. Bei der endgültigen Bestimmung, ob Ein- oder Ausgangssignale in den definierten Spannungsbereichen liegen, ist zu bedenken, dass die Störabstände auch durch Herstellungstoleranzen und durch Temperatureffekte beeinflusst werden.

In [133, 91] werden die Störabstände genauer definiert. Man geht zunächst wieder von einer unendlich langen Kette von Gattern aus, an deren Eingängen wiederum Serien-Spannungsrauschen angreift (siehe Bild 4.4). Der Störabstand wird nun als der Wert für $\Delta U = |\Delta U_1| = |\Delta U_2|$ definiert bei dem der letzte Inverter gerade noch den richtigen logischen Wert anzeigt. Für die graphische Bestimmung des Störabstandes ist es einfacher, anstatt der Kette, zwei mitgekoppelte Stufen zu betrachten (Bild 4.6). Die beiden mitgekoppelten Gatter bilden ein Flip-Flop, das zwei stabile Punkte und einen instabilen Punkt aufweist (siehe Kapitel 4.7.5). In Bild 4.7a sind die Übertragungsfunktionen des störungsfreien Falls für zwei CMOS-Inverter schematisch eingezeichnet (Schmetterlingskurve). Dieses Bild ergibt sich aus der Tatsache, dass die Ausgangsspannung des einen Inverters die Eingangsspannung

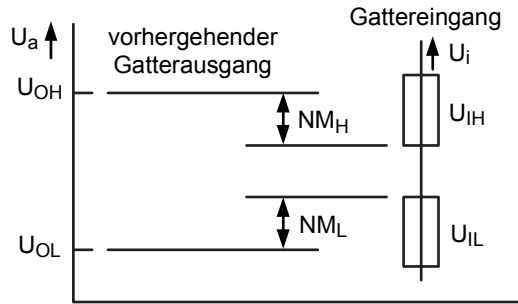


Bild 4.5 Definition der Störabstände NM_L und NM_H .

des Anderen ist. Die Punkte A und C bezeichnen die beiden stabilen Punkte des Flip-Flops, während der instabile Punkt mit B bezeichnet wird. Der Störabstand entspricht nun dem Störsignal U_n , das aufgewendet werden muss, damit das Flip-Flop nur noch einen stabilen Punkt aufweist.

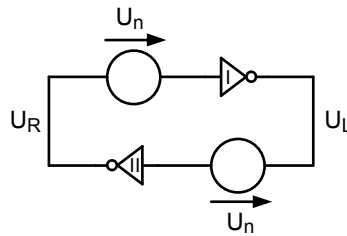


Bild 4.6 Rückgekoppelte Inverter mit Serienstörquellen $U_n = \Delta U$.

Berücksichtigt man die Störspannung $\Delta U = U_n$, so muss die Übertragungsfunktion FI des ersten Inverters U_L/U_R parallel nach links oder nach rechts verschoben werden, da die neue Eingangsspannung die Summe aus der Störspannung und der ungestörten Eingangsspannung ist. Die Übertragungsfunktion des zweiten Inverters FII muss entweder nach oben oder nach unten verschoben werden. Das Ergebnis zeigt Bild 4.7b.

Solange die Kennlinien drei Schnittpunkte aufweisen, wirken sich die Störungen nicht aus. Vergrößert man die Störspannungen weiter, wird einmal der Zustand erreicht, in dem die beiden Kurven nur noch zwei gemeinsame Punkte haben (B und C fallen zusammen). Dieser Zustand ist für $U_c = U_n$ gegeben. Nun ändert das Flip-Flop den Zustand, und die Grenze der Störsicherheit ist erreicht. Zeichnet man in die Augenöffnungen von Bild 4.7a Quadrate ein, so stellen deren Diagonalen oder deren Seitenlängen U_c ein Maß für die Störabstände (SVNM, Static Voltage Noise Margin) dar.

Die Störabstände für den quasistationären Fall bestimmen die maximal zulässigen Gleichspannungsstörampplituden. Diese Störungen können unendlich lange vorliegen, ohne dass die Flip-Flops die falschen Zustände annehmen.

Wenn die Störungen kurzzeitig auftreten, können die Störampplituden aufgrund der internen RC-Zeitkonstanten größer sein. Es ist sehr schwierig, für dynamische Störungen analytische Berechnungen durchzuführen. Ausgehend von der Flip-Flop-Methode, sind Messungen oder Rechnersimulationen besser geeignet.

Bisher wurde erläutert, welche Anforderungen an ein Logikelement gestellt werden müssen. Weiter wurde gezeigt, warum digitale Schaltungen unempfindlich gegen kleine Störsignale sind. In den nächsten Kapiteln wird beschrieben, wie die Grundsaltungen in der MOS-Technologie realisiert werden können. Zunächst werden dazu die wichtigsten Begriffe und Prinzipien anhand von MOS-Inverterschaltungen behandelt.

4.3 MOS-Inverter

Der Inverter ist eine wichtige Grundsaltung der digitalen Schaltungstechnik. Neben der Signalinvertierung dienen Inverter auch zur Pegelregeneration und zum Treiben von großen Lastkapazitäten.

Wie in Bild 4.8 gezeigt wird, besteht die einfachste Struktur aus einem Schalter und aus einem Lastwiderstand. Man spricht von einem Inverter mit passiver Last. Ist der Schalter geöffnet, hat die Ausgangsspannung den Wert der Versorgungsspannung U_{DD} . Bei geschlossenem Schalter, das heißt der Schalter leitet, liegt der Ausgang an Masse, wenn der Widerstand des Schalters vernachlässigt wird. Die Schaltsymbole des Inverters sind in Bild 4.8b dargestellt.

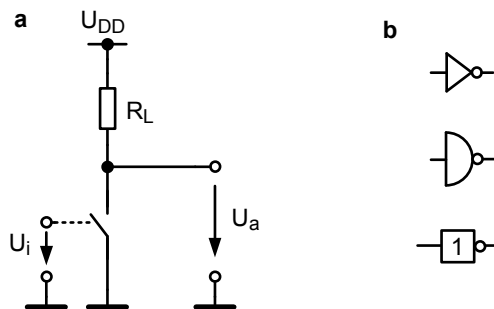


Bild 4.8 Inverter: **a** Schaltbild; **b** Schaltsymbole.

In der veralteten NMOS-Technologie wurde ein n-Kanal-Transistor ($U_{Th} > 0$) als Schalter eingesetzt. Der Lastwiderstand wurde, wie zum Beispiel in hochkomplexen statischen Speichern, mittels eines niedrig dotierten polykristallinen Siliziums

dargestellt. Meistens setzte man jedoch einen n-Kanal-Transistor vom Verarmungstyp ($U_{Tn} < 0$), der als aktives Lastelement bezeichnet wird, ein (Bild 4.10). In der CMOS-Technologie wird manchmal diese Schaltungstechnik beibehalten. An Stelle des Transistors vom Verarmungstyp wird ein p-Kanal-Transistor verwendet, dessen Gate ständig mit Masse verbunden ist (Bild 4.11). Beide Invertertypen – Inverter mit Transistor vom Verarmungstyp und Inverter mit p-Kanal-Transistor als Lastelement – bezeichnet man als Inverter mit aktiver Last. Inverter mit aktiver und mit passiver Last weisen gemeinsame Merkmale auf, die nun anhand des Inverters mit passiver Last abgeleitet werden.

4.3.1 Inverter mit passiver und aktiver Last

Das Ersatzschaltbild eines Inverters mit passiver Last zeigt Bild 4.9a. Ist die Eingangsspannung U_i kleiner als die Einsatzspannung U_T des MOS-Transistors, kann kein Querstrom fließen, und die Spannung des unbelasteten Ausgangs hat den Wert der Versorgungsspannung U_{DD} . Liegt dagegen am Eingang eine logische Eins, leitet der Transistor, und es fließt ein Querstrom. Durch geeignete Dimensionierung der Schaltung wird erreicht, dass eine genügend große Spannung am Lastwiderstand abfällt und somit die Ausgangsspannung U_a genügend klein ist. Zu beachten ist, dass die Ausgangsspannung nicht exakt 0 V sein kann, da sonst der Transistor wegen $U_a = U_{DS} = 0$ V sperren würde. Der Transistor wirkt wie ein Widerstand.

Wenn der Schalttransistor leitet, fließt ein Querstrom von U_{DD} nach U_{SS} . In diesem Fall entnimmt die Schaltung der Versorgungsspannungsquelle Leistung (statische Verlustleistung).

Zur Beurteilung der Störsicherheit der Schaltung muss man die Übertragungsfunktion kennen. Diese lässt sich am leichtesten graphisch ermitteln. Zunächst zeichnet man die Strom-Spannungs-Charakteristik des n-Kanal-Transistors und trägt in diesem Bild die Kennlinie des Lastwiderstandes R_L ein (Bild 4.9b). Die Lastkennlinie ist durch die beiden Punkte

$$\begin{aligned} I_D &= 0 & U_{DS} &= U_a = U_{DD} \\ I_D &= \frac{U_{DD}}{R_L} & U_{DS} &= U_a = 0 \text{ V} \end{aligned}$$

gegeben.

Jeder Schnittpunkt der Transistorkennlinien mit der Lastkennlinie ergibt ein zusammengehörendes Paar von Werten, nämlich $U_{DS} = U_a$ und $U_i = U_{GS}$, das in das Koordinatenkreuz von Bild 4.9c eingetragen werden kann. Durch mehrfache Wiederholung dieses Vorgangs erhält man die Übertragungscharakteristik. Die charakteristischen Größen – U_{IL} , U_{IH} , U_{OL} und U_{OH} – sollen nun näherungsweise analytisch bestimmt werden.

Für die Dimensionierung des Inverters mit passiver Last ist der Wert von U_{OL} entscheidend. Wie bereits erwähnt wurde, kann U_{OL} nicht den Wert 0 V annehmen.

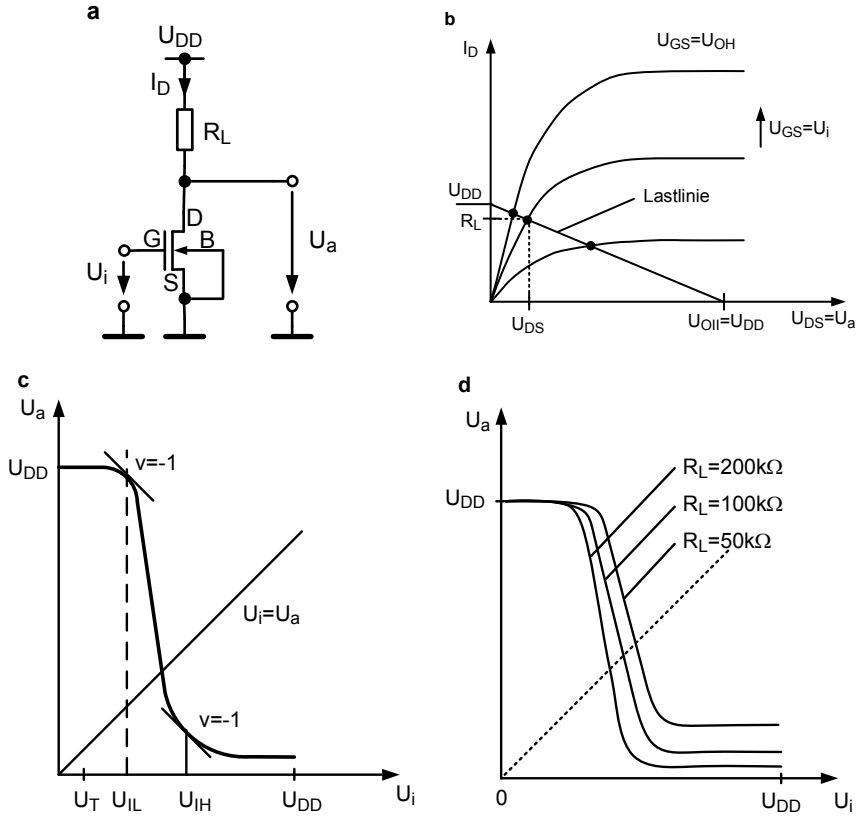


Bild 4.9 Inverter mit passiver Last.

Trotzdem soll eine logische Null am Ausgang des Inverters angeschlossene n-Kanal-Transistoren sicher sperren

$$0\text{ V} < U_{OL} < U_T \quad . \quad (4.2)$$

Für $U_i = U_{IH}$ arbeitet der Transistor im Triodenbereich. Aus der Strombilanz folgt

$$\begin{aligned} I_{D(\text{Lin})} &= \frac{U_{DD} - U_{DS}}{R_L} \\ &= \beta \cdot \left[(U_{GS} - U_T) \cdot U_{DS} - \frac{1}{2} U_{DS}^2 \right] \\ &\approx \beta \cdot (U_{GS} - U_T) \cdot U_{DS} \quad . \end{aligned} \quad (4.3)$$

Nach einigen Umformungen erhält man mit $U_{DS} = U_{OL}$; $U_{GS} = U_{IH}$

$$U_T > U_{OL} = \frac{U_{DD}}{1 + \beta \cdot R_L \cdot (U_{IH} - U_T)} \approx \frac{U_{DD}}{\beta \cdot R_L \cdot (U_{IH} - U_T)} \quad . \quad (4.4)$$

Bei einem vorgegebenen Wert für U_{OL} , zum Beispiel

$$U_{OL} = \frac{1}{2} \cdot U_T \quad , \quad (4.5)$$

enthält Gleichung 4.4 noch zwei Unbekannte, nämlich U_{IH} und $\beta \cdot R_L$. Man braucht noch eine zusätzliche Gleichung. Diese folgt aus der Strombilanz bei der logischen Schaltschwelle U_M . Die Übertragungskennlinie soll symmetrisch sein, das heißt, dass für die logische Schaltschwelle U_M gilt

$$U_{in} = U_a = U_{GS} = U_{DS} = U_M = U_{DD}/2 \quad . \quad (4.6)$$

Der n-Kanal-Transistor befindet sich bei dieser Einstellung im Sättigungsbereich. In Kapitel 2.1.7 wurde gezeigt, dass für Kanallängen zwischen 100 nm und 15 nm die bekannten Transistorgleichungen 2.106, 2.81 und 2.82 weiterhin benutzt werden können, da der Übergang zum ballistischen Ladungsträgertransport nur sehr langsam erfolgt. Gegebenenfalls müssen die Werte für den Exponenten β , die gesättigte Geschwindigkeit v_{sat} , die kritische Feldstärke E_c und die Beweglichkeit μ_0 in der Gleichung 2.106 angepasst werden.

Aus der Strombilanz für $U_i = U_a = U_{DD}/2$ und $\lambda_n = 0$ folgt

$$\begin{aligned} \frac{U_{DD}}{2R_L} &= \frac{1}{2} \cdot \beta \cdot \left(\frac{U_{DD}}{2} - U_T \right)^2 \\ \beta \cdot R_L &= \frac{U_{DD}}{\left(\frac{U_{DD}}{2} - U_T \right)^2} = \frac{4}{U_T} \quad . \end{aligned} \quad (4.7)$$

Bis zur 130 nm Technologie gab es in jedem Technologieknoten nur Transistoren mit einheitlichen Einsatzspannungen. Meistens wählte man $U_{DD} = 4 \cdot U_T$.

$\beta \cdot R_L$ hat einen großen Wert. Aus den Gleichungen 4.4, 4.5 und 4.7 erhält man

$$U_{IH} = U_{Tn} + \frac{(U_{DD}/2 - U_{Tn})^2}{\frac{1}{2} \cdot U_{Tn}} \approx 3 \cdot U_{Tn} \quad . \quad (4.8)$$

Bei den angegebenen Zahlenwerten beträgt die Versorgungsspannung etwa das Vierfache der Einsatzspannung. Wählt man das Verhältnis U_{DD}/U_{Tn} zu klein, erzielt man nur eine geringe Schaltgeschwindigkeit, da die Stromergiebigkeit ebenfalls gering ist (siehe Gleichung 4.62). Unter Stromergiebigkeit des Transistors versteht man den bei voller Aussteuerung pro Gate-Weite erzielbaren Strom. Neben der Einsatzspannung und der Versorgungsspannung, bestimmt auch der Verstärkungsfaktor

$$\beta = \mu \cdot c_{ox} \cdot W/L$$

die Stromergiebigkeit.

Nun sind zwei der vier charakteristischen Größen – U_{IH} und U_{OL} – bestimmt. Die beiden anderen Werte ergeben sich aus der Inspektion der Übertragungskennlinien.

Für einen MOS-Transistor mit vorgegebenen W/L -Verhältnis zeigt Bild 4.9d in Abhängigkeit vom Lastwiderstand R_L die Übertragungskennlinien. Man sieht, dass der Lastwiderstand R_L die Spannungen U_{OL} , U_{IH} und die Steilheit der Kennlinie im Übergangsbereich stark beeinflusst, während U_{IL} nahezu unverändert bleibt. Das letztere ist verständlich, da die Kennlinie abknickt, sobald die Eingangsspannung die Einsatzspannung U_{Tn} überschreitet. Näherungsweise gilt

$$U_{IL} = U_{Tn} \quad (4.9)$$

$$U_{OH} = U_{DD} \quad (4.10)$$

Durch die Wahl des W/L -Verhältnisses des Schalttransistors und des Wertes des Lastwiderstandes R_L wird U_{OL} und damit der Störabstand NM_L eingestellt. Letztlich wird U_{OL} von einem Spannungsteiler aus dem Lastwiderstand und einem äquivalenten Widerstand des n-Kanal-Transistors festgelegt. Man spricht in diesem Zusammenhang von „Ratioed Logic“. Damit soll ausgedrückt werden, dass in einer solchen Logikfamilie die Störsicherheit auch von der geometrischen Dimensionierung der Schaltelemente abhängt.

Dem Leser sollte bewusst sein, dass die Angaben über die charakteristischen Größen mittels Näherungen abgeleitet wurden. Diese Angaben stellen nur Anhaltswerte dar. Anhand von SPICE-Simulationen sollte die genaue Dimensionierung für den Inverter mit passiver Last gefunden werden.

Für die Realisierung von Invertern mit passiven Lasten benötigt man Lastwiderstände in der Größenordnung von mehr als $100\text{ k}\Omega$. Dies bereitet in Standard-MOS-Technologien große Schwierigkeiten. Eine Möglichkeit wäre, Polysilizium zu verwenden. Der damit realisierte Widerstand würde aber eine Fläche von etwa $1\text{ }\mu\text{m} \times 1000\text{ }\mu\text{m}$ benötigen. Daher ist der Einsatz von aktiven Elementen in den meisten Fällen günstiger. Eine Ausnahme bilden hochkomplexe SRAM-Bausteine (SRAM, „Static Random Access Memory“). Für diese Bausteine wurden zusätzliche Prozessschritte entwickelt, die es erlauben, über den Transistoren hochohmige Polysiliziumlastwiderstände auf kleiner Fläche zu realisieren.

In der veralteten NMOS-Technologie wurde an Stelle des Lastwiderstandes ein Transistor vom Verarmungstyp (Depletion-Transistor, $U_{TD} < 0$) eingesetzt. Dieser Transistortyp hat eine negative Einsatzspannung und leitet deswegen bereits für $U_{GS} = 0$. In Bild 4.10a ist das Schaltbild eines Inverters, der als Last einen n-Kanal-Transistor vom Verarmungstyp aufweist, dargestellt. Sperrt der Schalttransistor M1, kann der Transistor M2 keinen Strom leiten. Deswegen hat dessen U_{DS} -Spannung den Wert Null. Für $U_i = U_{DD}$ fließt ein Querstrom von U_{DD} nach U_{SS} . U_{OL} ist wieder ungleich Null. Ebenfalls gilt, dass, sobald die Eingangsspannung die Einsatzspannung übertrifft, die Übertragungskennlinie abknickt. Deswegen sind die Werte für U_{IL} und U_{OH} identisch mit denen, die für den Inverter mit passiver Last abgeleitet wurden (siehe Gleichungen 4.9 und 4.10). Die beiden anderen charakteristischen Werte ergeben sich wie vorher aus der Strombilanz für die logische Schaltschwelle $U_i = U_M$ und der Strombilanz für $U_i = U_{IH}$. Der Strom, den der n-Kanal-Transistor

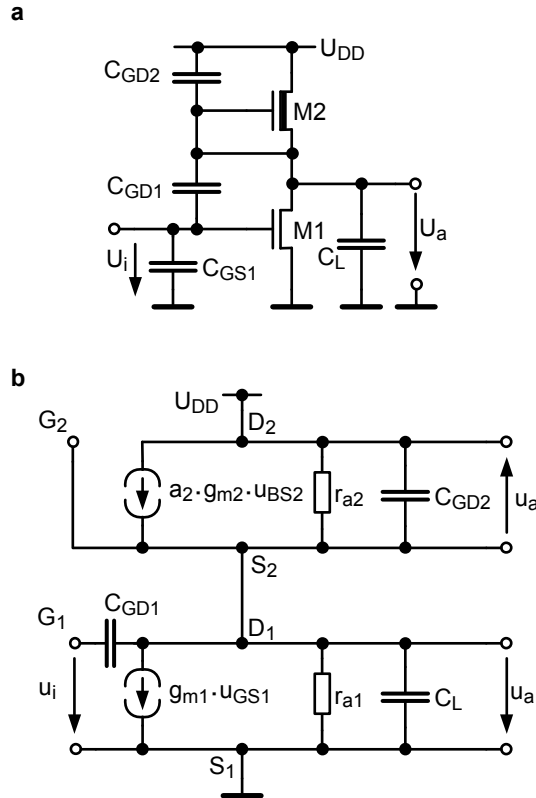


Bild 4.10 Inverter mit „Depletion-Load“: **a** Schaltbild; **b** Kleinsignalersatzschaltbild.

vom Verarmungstyp leiten kann, ist von der Drain-Source- und wegen des Substrat-steuereffektes über die Einsatzspannung von der Source-Substrat-Spannung (Source-Bulk-Spannung) U_{SB} abhängig (siehe Kapitel 2.1.2, Gleichung 2.35).

Der letztere Effekt überwiegt, da dieser Transistor fast ständig im Sättigungsbe-reich arbeitet. Ändert sich die Ausgangsspannung des Inverters, so ändert sich auch U_{SB} und damit dessen Einsatzspannung U_{TD} . Letztlich bewirkt eine Änderung der Ausgangsspannung eine Stromänderung. Der Transistor wirkt wie ein Widerstand. Diese Tatsache zeigt auch die Kleinsignalübertragungsfunktion, die als Nächstes abgeleitet wird.

Das Kleinsignalersatzschaltbild des Inverters mit „Depletion-Load“ zeigt Bild 4.10b. Konstante Spannungen, zum Beispiel U_{DD} werden wie Masseanschlüsse be-handelt. Die Schaltbilder 4.10a und 4.10b enthalten auch die Lastkapazität C_L und parasitäre Kapazitäten. Da das Source-Gebiet des Transistors M1 an konstantem Po-tential liegt, entfällt im Kleinsignalersatzschaltbild für M1 die von der Source-Sub-strat-Spannung U_{BS} gesteuerte Stromquelle. Weiter ist zu beachten, dass die Gate-und Source-Anschlüsse von M2 kurzgeschlossen sind. Anhand von Bild 4.10b er-

halt man folgende Gleichungen

$$u_{BS2} = -u_a \quad (4.11)$$

$$u_{in} = u_{GS1} \quad (4.12)$$

$$\begin{aligned} & (u_{in} - u_a) \cdot j\omega \cdot C_{GD1} - \frac{u_a}{r_{o2}} - a_2 \cdot g_{m2} \cdot u_a \\ & = g_{m1} \cdot U_{in} + \frac{u_a}{r_{o1}} + j \cdot \omega \cdot C_L \cdot u_a + j \cdot \omega \cdot C_{GD2} \cdot u_a \end{aligned} \quad (4.13)$$

$$v = \frac{u_a}{u_{in}} = - \frac{g_{m1} - j \cdot \omega \cdot C_{GD1}}{r_{o1}^{-1} + r_{o2}^{-1} + a_2 \cdot g_{m2} + j \cdot \omega \cdot (C_L + C_{GD1} + C_{GD2})} \quad (4.14)$$

Der Frequenzgang weist eine Pol- und Nullstelle auf. Die Steilheit g_{m1} und die Gate-Drain-Kapazitat des Transistors M1 bestimmen die Nullstelle. Fur sehr kleine Frequenzen erhalt man fur die Verstarkung

$$|v| \approx \frac{g_{m1}}{r_{o1}^{-1} + r_{o2}^{-1} + a_2 \cdot g_{m2}} \approx \frac{g_{m1}}{a_2 \cdot g_{m2}} \quad (4.15)$$

Eine entsprechende Rechnung fur den Inverter mit passiver Last ergibt

$$v = -g_{m1} \cdot R_L^* \quad (4.16)$$

R_L^* entsteht aus der Parallelschaltung des Lastwiderstandes R_L und des Ausgangswiderstands des n-Kanal-Transistors.

Die durch den Substratsteuereffekt verursachte Steilheit $a_2 \cdot g_{m2}$ wirkt wie der Lastwiderstand des Inverters mit passiver Last. Die Verstarkung v wird bei einem Inverter mit „Depletion-Load“ vom Verhaltnis der Steilheiten der beiden Transistoren und vom Substratsteuereffekt bestimmt. Dies ist die Ursache, warum NMOS-Inverter kleinere Verstarkungsfaktoren als CMOS-Verstarker aufweisen. Der Pol der Ubertragungsfunktion hangt gema Gleichung 4.14 von dem Lastwiderstand $a_2 \cdot g_{m2}$ und der Lastkapazitat C_L ab.

In der modernen CMOS-Technologie steht dem Schaltungstechniker der komplementare p-Kanal-Transistor zur Verfugung. Trotzdem ist es fur bestimmte Schaltungen, wie z. B. statische ROM-Schaltungen („Read Only Memories“) oder PLA-Schaltungen („Programmable Logic Arrays“), gunstig, die Schaltungstechnik der NMOS-Technologie beizubehalten. Der Vorteil dieser Pseudo-NMOS-Logik (siehe Kapitel 3.2.8) ist, dass im Pull-Up-Pfad nur ein Transistor benotigt wird. Ein Transistor, der eine Lastkapazitat aufladt, liegt im Pull-Up-Pfad. Ein Transistor, der im Pull-Down-Pfad liegt, entladt eine Lastkapazitat.

Zur Ableitung der Dimensionierungsvorschrift fur die Pseudo-NMOS-Logik wird an dieser Stelle der Pseudo-NMOS-Inverter, der zur Klasse der Inverter mit aktiver Last gehort, behandelt. Das Schaltbild des Pseudo-NMOS-Inverters ist in Bild 4.11 dargestellt. Der p-Kanal-Transistor, dessen Gate an Masse liegt, ersetzt den Lastwiderstand des Inverters mit passiver Last. Im Gegensatz zum Transistor vom Verarmungstyp liegt nun der Source-Anschluss des p-Kanal-Transistors an ei-

ner konstanten Spannung. Die Modulation des Drain-Stroms des Lasttransistors erfolgt über die Drain-Source-Spannung U_{DS} . Dieser Invertertyp verhält sich ähnlich wie die bisher beschriebenen Invertertypen. Insbesondere gilt dies für die vier charakteristischen Werte. Aus den Strombilanzen für $U_i = U_a = U_{DD}/2$ und $\lambda_n = \lambda_p = 0$ erhält man eine Dimensionierungsvorschrift

$$\frac{1}{\beta_R} = \frac{W_n/L_n}{W_p/L_p} \approx 2 \dots 3 \quad (4.17)$$

für

$$U_{Tn} = |U_{Tp}|$$

und

$$\frac{\mu_n}{\mu_p} \approx 2 \dots 3 \quad .$$

Bei gleichen Kanallängen sollte die Weite des n-Kanal-Transistors etwa zwei- bis dreimal so groß sein wie die Weite des p-Kanal-Transistors („Ratioed Logic“) (siehe auch Kapitel 4.3.2.3). Bei dieser Ableitung wurden wieder die Gleichungen 2.81 und 2.82 für den Drain-Strom verwendet.

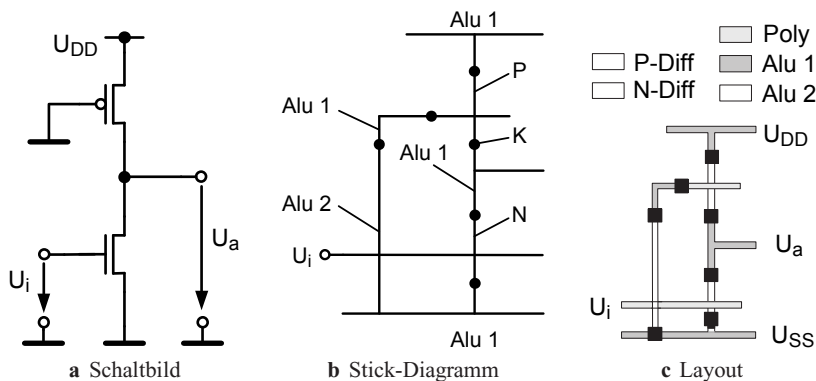


Bild 4.11 Pseudo-NMOS-Inverter.

In Kapitel 2.2.3.2 wurde erläutert, wie das Layout einer Schaltung anhand von Designregeln als Vorlage für die Maskenherstellung erstellt wird. Oft ist es jedoch ausreichend, nur ein Schemabild der Topologie einer Schaltung zu zeichnen.

Solche Stick-Diagramme können mit wichtigen Informationen, wie z. B. W/L -Verhältnissen, versehen sein. Gut geeignet sind Stick-Diagramme, wenn Verdrahtungsprinzipien erläutert werden sollen. Für die Kennzeichnung der einzelnen Elemente benutzt man Farben, wie sie in Bild 2.100 angegeben sind.

4.3.2 CMOS-Inverter

Die Ablösung der NMOS-Technologie durch die CMOS-Technologie erfolgte, da CMOS-Schaltungen eine wesentlich geringere Verlustleistung zeigen und eine höhere Störsicherheit aufweisen. Weiter erleichterte die einfachere Dimensionierung von CMOS-Schaltungen die Einführung von automatischen Entwurfsverfahren. Erhöhte Prozesskomplexität und größerer Chipflächenbedarf sind die Nachteile der CMOS- im Vergleich zur NMOS-Technologie. Anhand des CMOS-Inverters sollen nun die Vorteile der CMOS-Technologie erläutert werden.

4.3.2.1 Gleichstromverhalten

Ein CMOS-Inverter besteht aus einer Serienschaltung eines n-Kanal- und eines p-Kanal-Transistors (Bild 4.12a). Beide Transistoren sind vom Anreicherungstyp, daher gilt

$$I_D = 0 \quad \text{für} \quad U_{GS} = 0 \quad .$$

Das Gate des n-Kanal-Transistors ist mit dem Gate des p-Kanal-Transistors verbunden. Liegt eine logische Eins oder eine Null am Eingang des Inverters sperrt einer der beiden Transistoren und es fließt nur ein sehr kleiner Querstrom. Bei herkömmlichen CMOS-Technologien konnten die Unterschwellenströme vernachlässigt werden. Während der Schaltvorgänge leiten vorübergehend beide Transistoren. Es fließt ein nennenswerter Querstrom (Bild 4.12c).

Mit der graphischen Methode, mit der im vorhergehenden Abschnitt die Übertragungskennlinie des Inverters mit passiver Last ermittelt wurde, ergibt sich auch die Übertragungskennlinie des CMOS-Inverters. An Stelle der Lastkennlinie muss nun das Kennlinienfeld des p-Kanal-Transistors verwendet werden. Qualitativ lässt

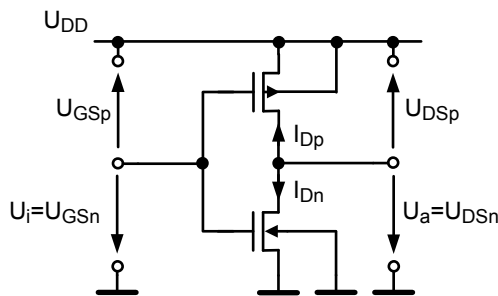


Bild 4.12a CMOS-Inverter Transistorschaltbild.

sich die Übertragungskennlinie von Bild 4.12b auch wie folgt ableiten. Ist die Eingangsspannung kleiner als die Einsatzspannung U_{Tn} sperrt der n-Kanal-Transistor. Da kein Querstrom fließen kann, muss die Drain-Source-Spannung des p-Kanal-

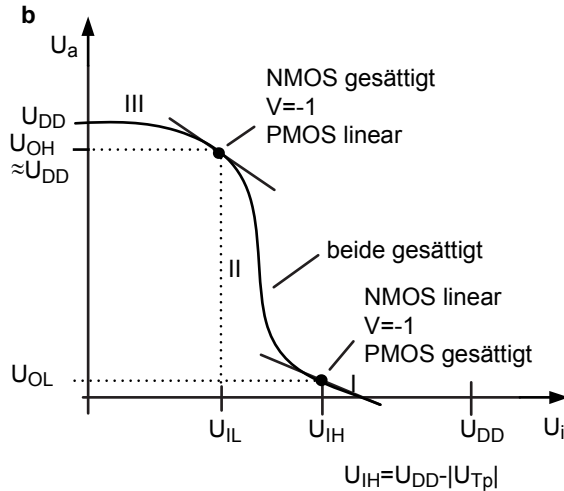


Bild 4.12b CMOS-Inverter Übertragungskennlinie.

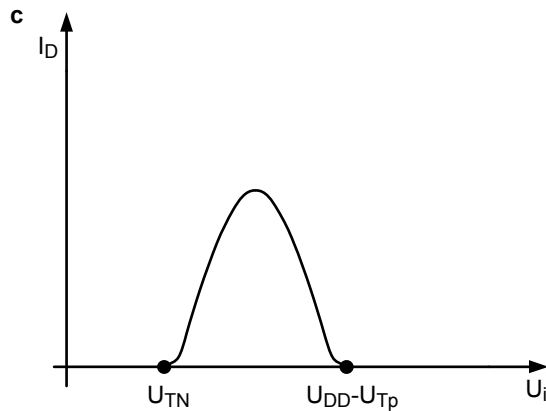


Bild 4.12c CMOS-Inverter Querstrom als Funktion der Eingangsspannung.

Transistors 0 V aufweisen. Somit gilt

$$u_a = U_{DD} \quad .$$

Ähnlich liegen die Verhältnisse für $U_i \geq U_{DD} - |U_{Tp}|$. Nun sperrt der p-Kanal-Transistor und die Drain-Source-Spannung des n-Kanal-Transistors ist Null. Diesen Wert hat auch die Ausgangsspannung.

Überschreitet die Eingangsspannung $U_i > U_{Tn}$, beziehungsweise unterschreitet die Eingangsspannung $U_i < U_{DD} - |U_{Tp}|$, beginnen die beiden Transistoren zu leiten. Die Kennlinie knickt jeweils von der Waagrechten ab. Die charakteristischen Punkte U_{IL} und U_{IH} liegen in der Nähe der Abknickpunkte. Daher gilt näherungsweise

$$U_{IH} = U_{DD} - |U_{Tp}| \quad (4.18a)$$

$$U_{OL} \approx 0V \quad (4.18b)$$

$$U_{IL} = U_{Tn} \quad (4.19a)$$

$$U_{OH} \approx U_{DD} \quad (4.19b)$$

Bei einer punktsymmetrischen Kennlinie liegt die logische Schaltschwelle bei $U_{DD}/2$. In der Nähe dieses Punktes befinden sich beide Transistoren im Sättigungsbereich. Der Betrag der Verstärkung ν ist bei $U_i = U_{aus} = U_{DD}/2$ betragsmäßig am größten. Mit dem Wissen über die charakteristischen Punkte und über die Verstärkung im Übergangsbereich lässt sich die Kennlinie nach Bild 4.12b leicht zeichnen.

Aus den Gleichungen 4.18a, 4.18b und 4.19a, 4.19b folgt für die Störabstände

$$NM_L = U_{Tn} \quad (4.20a)$$

$$NM_H = |U_{Tp}| \quad (4.20b)$$

Bei CMOS-Invertern und damit auch bei statischen CMOS-Logikgattern sind die Störabstände näherungsweise unabhängig von den Weiten und den Längen der Transistoren und damit unabhängig von der Dimensionierung der Transistoren. In diesem Zusammenhang spricht man von „Ratioless Logic“.

Die komplementäre MOS-Logik ist eine robuste Logikfamilie, das heißt Schwankungen der Transistorparameter, der Versorgungsspannung und der Temperatur wirken sich nur relativ gering auf die Übertragungskennlinie aus. Die Eigenschaft, dass die Störabstände nahezu unabhängig von der Dimensionierung sind, hat die Einführung von automatischen Entwurfswerkzeugen, mit denen aus der Beschreibung einer Schaltung mittels logischer Gatter der physikalische Schaltungsentwurf automatisch erzeugt werden kann, erleichtert. Ohne diese Werkzeuge könnte man die Komplexität moderner digitaler Schaltungen nicht bewältigen.

Die Überlegungen bezüglich der Verlustleistung für Inverter in Ruhestellung gelten auch für komplexe logische Gatter. Da in hochkomplexen Bausteinen, wie z. B. Mikroprozessoren, pro Taktperiode nur ein Bruchteil der statischen CMOS-Logikgatter schalten, während der weitaus größte Teil der Gatter in Ruhestellung verbleibt, verbrauchen diese Gatter deutlich weniger Leistung als es bei einer Realisierung mit der NMOS-Technologie der Fall wäre. Mit 16-bit-Mikroprozessoren der NMOS-Technologie gelangte man ohne zusätzliche Kühlmaßnahmen an die Grenze der pro Chip zulässigen Verlustleistung.

Näherungsweise sind die Störabstände vom CMOS-Inverter unabhängig von der Dimensionierung der Transistoren. Um eine hohe Schaltgeschwindigkeit zu erreichen, soll eine Lastkapazität durch den p-Kanal-Transistor genauso schnell aufgeladen werden, wie sie durch den n-Kanal-Transistor entladen wird. Gleiche Zeiten für Auf- und Entladen werden mit symmetrischen Übertragungskennlinien erreicht. Die logische Schaltschwelle U_M sollte also bei $U_{DD}/2$ liegen.

In diesem Arbeitspunkt befinden sich beide Transistoren im Sättigungsbereich. Also kann Gleichung 2.82 mit $\lambda_n = \lambda_p = 0$ verwendet werden. Aus der Strombilanz

folgt

$$\beta_n(U_{in} - U_{Tn})^2 = \beta_p(U_{DD} - U_{in} - |U_{Tp}|)^2 \quad (4.21a)$$

$$U_{in} = \frac{U_{DD} + \sqrt{\beta_n/\beta_p} U_{Tn} - |U_{Tp}|}{1 + \sqrt{\beta_n/\beta_p}} \quad (4.21b)$$

Aus der Forderung $U_i = U_{DD}/2$ folgt mit $U_{Tn} = |U_{Tp}|$

$$\beta_n = \beta_p \quad (4.21c)$$

Meistens sind die Beträge der Einsatzspannungen von n-Kanal- und p-Kanal-Transistoren gleich groß. Die beiden Transistoren müssen also gleiche Transistorkonstanten β_n und β_p aufweisen. Für die Beweglichkeiten von Löchern und Elektronen gilt

$$\frac{\mu_n}{\mu_p} \approx 2 \dots 3 \quad (4.21d)$$

Bei gleichen Kanallängen sollten daher die Weiten der p-Kanal-Transistoren um den Faktor zwei bis drei größer sein als die Weiten der n-Kanal-Transistoren

$$\beta_R = \frac{W_p}{W_n} = 2 \dots 3 \quad (4.21e)$$

Meistens wird in diesem Buch $\beta_R = 2$ gesetzt. Eine genauere Analyse findet der Leser in Kapitel 4.3.2.3, Gleichung 4.58.

Da die Ausbeute exponentiell mit der Chipfläche abnimmt (Gleichung 2.154), ist das Layout, das heißt, die geometrische Anordnung von Schichten und Teilbereichen einer integrierten Schaltung sowie die Leitungsführung zwischen den Grundschaltungen, aus Kostengründen wichtig. Für eine CMOS-Technologie zeigt Bild 4.13a und 4.13b zwei Beispiele von einfachen CMOS-Inverter Layouts. Wegen der komplizierten Photolithographie sollten zumindest in den unteren Lagen einfache, rechteckförmige und reguläre Strukturen, die nur in eine Richtung weisen, eingesetzt werden (Bild 4.13a).

Indem man die Gates des NMOS- und des PMOS-Transistors faltet, das heißt sogenannte Fingerstrukturen realisiert, erzielt man schnellere Schaltungen. In Bild 4.13b sind jeweils zwei NMOS- und zwei PMOS-Transistoren parallel geschaltet. Deswegen kann man im Vergleich zu Bild 4.13a die Weite der einzelnen Transistoren halbieren. Somit bleiben Drain-Ströme unverändert. Die Gate-Widerstände R_G werden jedoch auf ein Viertel reduziert. Durch die Parallelschaltung und durch die Halbierung der Weite wird jeweils der Gate-Widerstand halbiert. Es entstehen pro Transistortyp zwar zwei Source-Gebiete. Aber die Fläche der Source-Gebiete hat keinen Einfluss auf die Verzögerungszeit, da sich die Source-Spannungen nicht ändern. Der Vorteil dieses Layouts liegt weiter darin, dass mit den Transistorweiten auch die gesamte Fläche der Drain-Gebiete halbiert wird, wenn angenommen

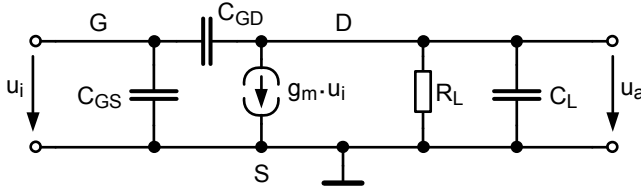


Bild 4.15 Äquivalentes Kleinsignalersatzschaltbild eines CMOS-Inverters.

$$v = \frac{U_a(s)}{U_{in}(s)} = \frac{-g_m + s \cdot C_{GD}}{\frac{1}{R_L} + s \cdot (C_{GD} + C_L)} \approx \frac{-g_m}{\frac{1}{R_L} + s \cdot (C_{GD} + C_L)} \quad (4.26)$$

mit der komplexen Frequenz $s = \sigma + j\omega$.

Wenn im Zähler oder im Nenner der Realteil gleich groß ist wie der Betrag des Imaginärteils, erhält man die Frequenz der Nullstelle beziehungsweise die der Polstelle. Rechnet man mit der komplexen Frequenz s , muss man Nenner oder Zähler zu Null setzen.

Da $g_m \gg 1/R_L$ und $C_{GD} < C_L$, ist die Frequenz der Nullstelle

$$\omega_1 = \frac{g_m}{C_{GD}} \quad (4.27)$$

wesentlich größer als die Frequenz der Polstelle

$$\omega_2 = \frac{1}{R_L \cdot C_L^*} \quad (4.28)$$

mit

$$C_L^* = C_L + C_{GD} \quad (4.29)$$

Deswegen kann man die Wirkung der Nullstelle in der Übertragungsfunktion vernachlässigen. Die Frequenz der Polstelle entspricht damit der 3-dB-Frequenz ω_{3dB} des Frequenzgangs des Betrags der Übertragungsfunktion v . Man erhält immer dann eine Nullstelle, wenn der Eingang einer Schaltung kapazitiv mit dem Ausgang gekoppelt ist.

Wie bei Logikschaltungen interessiert auch bei analogen Schaltungen das Zeitverhalten. Mittels eines Spannungssprungs am Eingang und indem man das zeitliche Verhalten der Ausgangsspannung misst, lässt sich leicht das Einschwingverhalten feststellen. Man erhält, wenn die Transistoren nicht übersteuert werden, mit Hilfe der Laplace-Transformation aus Gleichung 4.26

$$u(t) \propto (1 - e^{-t/\tau}) \quad (4.30)$$

$$\tau = 1/\omega_{3dB} \approx 1/\omega_2 \quad (4.31)$$

Eine wichtige Eigenschaft ergibt sich aus der Betrachtung des Eingangswiderstandes. Die Eingangsadmittanz der Verstärkerschaltung lässt sich leicht berechnen. Man legt an den Eingang der Schaltung eine Spannungsquelle u_x und bestimmt den Eingangsstrom i_x . Man erhält

$$i_x = u_x \cdot j\omega \cdot C_{GS} + j\omega \cdot C_{GD} \cdot (u_x - u_a) \quad (4.32)$$

$$\frac{i_x}{u_x} = j\omega \cdot C_{GS} + j\omega \cdot C_{GD} \cdot \left(1 - \frac{u_a}{u_x}\right) \quad (4.33)$$

$$C_{in} = (1 + |v|) \cdot C_{GD} + C_{GS} \quad (4.34)$$

In diesem Zusammenhang spricht man von einem *Miller-Effekt*. Man sieht, dass die Miller-Kapazität, nämlich die Koppelkapazität C_{GD} , am Eingang um die Verstärkung $|v|$ vergrößert erscheint. Deswegen darf in diesem Fall C_{GD} nicht vernachlässigt werden.

Bei kleinen Frequenzen erhält man für die Verstärkung

$$v_0 = -g_m \cdot R_L = -\frac{g_{mn} + g_{mp}}{\frac{1}{r_{0n}} + \frac{1}{r_{0p}}} \quad (4.35)$$

Die Verstärkung ist betragsmäßig am größten, wenn die beteiligten Transistoren im Sättigungsbereich arbeiten. Dies ist der Grund, warum in analogen Schaltungen die Transistoren meistens im Sättigungsbereich betrieben werden.

Leider nimmt die Verstärkung bei kleinen Frequenzen gemäß $v = g_m \cdot r_0 = g_m/g_{DS}$, wegen der Kurzkanaleffekte, mit kleineren Strukturen, wie Tabelle 4.1 zeigt, ab. Dies ist ein großes Problem der integrierten analogen Schaltungstechnik. Der Ausgangswiderstand r_0 entspricht dem Kehrwert des in der Tabelle angegebenen Ausgangsleitwertes g_{DS} .

Neben der Verstärkung v_0 und der 3-dB-Frequenz ω_{3dB} (Frequenz des Pols) gibt es noch eine weitere wichtige Kenngröße für Verstärker, nämlich das Verstärkungs-Bandbreite-Produkt (unity-gain-frequency f_u). Die „unity-gain-frequency“ ist diejenige Frequenz, bei der der Betrag der Verstärkung v den Wert 1 hat. Diese Kenngröße beschreibt die maximal mögliche Bandbreite eines Verstärkers. Sie ist bei gegebenen Querstrom eine typische Größe für eine bestimmte MOS-Technologie. Die „unity-gain-frequency“ wird mit kleineren Strukturen immer größer (siehe Tabelle 4.1).

Aus Gleichung 4.26 folgt für $|v| = 1$

$$\omega_u = \frac{g_m}{C_L} = v_0 \cdot \omega_{3dB} \quad (4.36)$$

Handelt es sich um einen bipolaren Transistor ist die maximal erreichbare Frequenz f_T . Mit f_T wird die Frequenz bezeichnet, bei der der Betrag der Stromverstärkung (Ausgangsstrom zu Eingangsstrom) gleich Eins ist, wobei im Kleinsignalersatzschaltbild der Ausgang kurzgeschlossen ist [185]. Da bei MOS-Transistoren die

Eingangsadmittanz bis zu hohen Frequenzen rein kapazitiv ist, sollte zur Bestimmung der maximalen Frequenz f_u und nicht f_T verwendet werden. Beide Definitionen führen bei MOS-Transistoren zu gleichen Ausdrücken. Die große Bedeutung

Tabelle 4.1 Skalierungseffekte von integrierten analogen Schaltungen. Der Ausgangsleitwert $g_{DS} = 1/r_0$ wird bei maximaler Steilheit g_m angegeben.

Knoten	nm	250	180	130	90	65
L_{GATE}	nm	180	130	92	63	43
t_{ox}	nm	6,2	4,45	3,12	2,2	1,8
g_m	$\mu S/\mu m$	335	500	720	1060	1400
g_{DS}	$\mu S/\mu m$	22	40	65	100	230
g_m/g_{DS}	–	15,2	12,5	11,1	10,6	6,1
U_{DD}	V	2,5	1,8	1,5	1,2	1
U_{TH}	V	0,44	0,43	0,34	0,36	0,24
f_u	GHz	35	53	94	140	210

der Steilheit ergibt sich aus der Tatsache, dass sowohl die Verstärkung ν als auch die maximale Bandbreite f_u von g_m abhängen. Weiter gilt, dass das Rauschen eines Verstärkers bezogen auf den Eingang umgekehrt proportional zu g_m ist. Gute elektrische Eigenschaften von analogen Schaltungen bedingen also eine hohe Steilheit bei niedriger Verlustleistung. Daher ist es verständlich, dass Designer von analogen Schaltungen die bipolare Technologie wegen der höheren Steilheit vorziehen. Trotzdem werden aus Kostengründen zunehmend analoge und digitale Schaltungen gemeinsam auf reinen CMOS-Chips integriert.

Vernachlässigt man die Verbindungsleitung zwischen zwei Invertern und berücksichtigt, dass sowohl Treiber- als auch der Empfangsinverter aus zwei Transistoren bestehen, erhält man aus Gleichung 4.36 näherungsweise

$$f_u = \frac{g_{mn}}{2 \cdot \pi \cdot C_{gate}} = \frac{\mu \cdot (U_{GS} - U_{Tn})}{2 \cdot \pi \cdot L^2} \quad (4.37)$$

L Kanallänge.

Für Langkanaltransistoren ist die Unity-Gain-Frequenz f_u umgekehrt proportional zu L^2 . Die effektive Gate-Source-Spannung $U_{GS} - U_T$ wird auf etwa 100 mV bis 200 mV begrenzt, um am Ausgang einen möglichst großen Signalhub zu erzielen.

Für Kurzkanaltransistoren erhält man im Grenzfall bei gesättigter Geschwindigkeit aus Gleichung 2.83 des Kapitels 2.1.7

$$f_u = \frac{W \cdot v_{sat} \cdot c_{ox}}{2 \cdot \pi \cdot W \cdot L \cdot c_{ox}} \propto \frac{1}{L} \quad (4.38)$$

4.3.2.3 Schaltverhalten

Im letzten Abschnitt wurde die Grenzfrequenz des idealen MOS-Transistors bei kleinen Aussteuerungen berechnet. Nun soll die Schaltzeit für eine reale Inverterschaltung im Großsignalbetrieb ermittelt werden. Zunächst müssen wieder einige Definitionen vereinbart werden. Nach Bild 4.16a sind Anstiegszeit t_r und Abfallzeit t_f definiert zwischen den 10%- und 90%-Punkten des Spannungsverlaufs eines Signals.

Am Ausgang eines Gatters werden für die abfallende Flanke t_{HL} und für die ansteigende Flanke t_{LH} definiert. Wieder werden diese Zeiten zwischen den 10%- und den 90%-Punkten festgelegt. Das Zeitintervall zwischen den 50%-Werten der Eingangs- und Ausgangssignale ergibt die Verzögerungszeit t_{PHL} bzw. t_{PLH} . Die Periodendauer t_{cyc} ist die Zeit zwischen identischen Punkten eines Zyklus. Oft wird auch der reziproke Wert, die Signalfrequenz f_S , verwendet.

Für die durchschnittliche Verzögerungszeit und damit für die Gatterlaufzeit erhält man

$$t_p = \frac{1}{2} \cdot (t_{pLH} + t_{pHL}) \quad . \quad (4.39a)$$

Bei der nachfolgenden Rechnung wird zunächst ein symmetrischer Inverter vorausgesetzt, das heißt

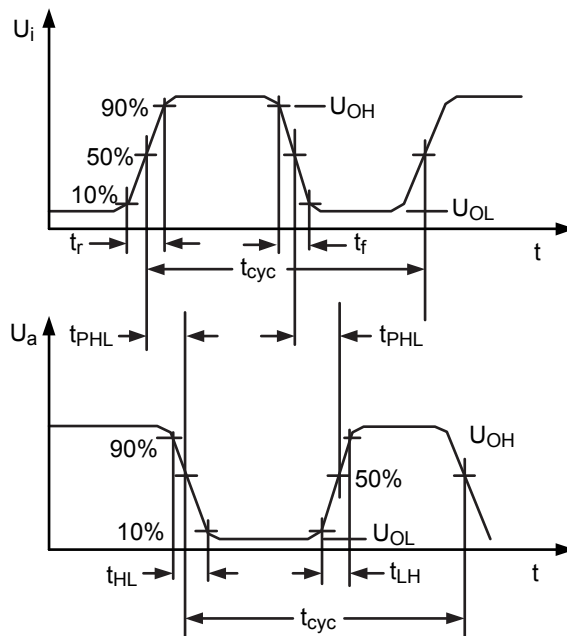


Bild 4.16 Definition der Anstiegs-, Abfall- und Verzögerungszeiten für reale Spannungsverläufe.

$$t_p = t_{pLH} = t_{pHL} \quad . \quad (4.39b)$$

Es genügt also, nur den Entladevorgang zu berechnen. Eine am Ausgang angeschlossene Lastkapazität wird entladen, sobald der n-Kanal-Transistor leitet und der p-Kanal-Transistor im Pull-Up-Pfad sperrt. Nach Bild 4.17 gilt

$$i_D(t) + i_C = 0 \quad (4.40)$$

$$u_C(t) = u_a(t) = U_{DS} \quad (4.41)$$

$$dt = \frac{C_L}{-i_D(t)} \cdot du_a \quad . \quad (4.42)$$

Ein exakte analytische Lösung der Gleichung 4.42 ist sehr schwierig zu finden, da die Lastkapazität C_L eine nichtlineare Funktionen der Ausgangsspannung u_a ist. Für eine analytische Lösung muss man das Problem geeignet vereinfachen. Zunächst wird angenommen, dass der Eingang mit einer Sprungfunktion mit der Amplitude U_{DD} angesteuert wird. Weiter wird postuliert, dass die Lastkapazität nicht von der Ausgangsspannung abhängt

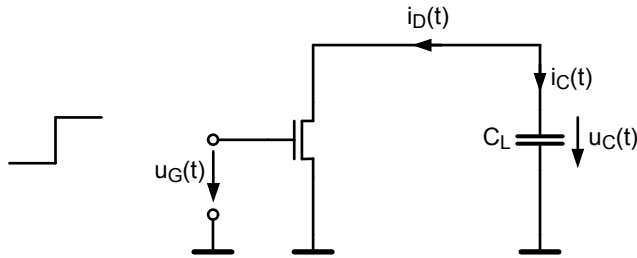


Bild 4.17 Schaltbild zur Bestimmung der Verzögerungszeit.

$$t_p = \int_{t=0}^{t_p} dt = C_L \cdot \int_{u_a(t=0)}^{u_a(t=t_p)} \frac{du_a}{-i_D(u_a)} \quad . \quad (4.43)$$

Während der Entladung der Lastkapazität von U_{DD} nach $U_{DD}/2$ befindet sich der n-Kanal-Transistor näherungsweise im Sättigungsbereich. Also

$$t_p = \frac{C_L \cdot U_{DD}/2}{I_{Dsat}} \quad . \quad (4.44)$$

Es gibt eine Alternative zu der gezeigten Berechnung der Gatterlaufzeit. Bei der Betrachtung der Gleichung 4.44 sieht man, dass in dieser Gleichung das Verhältnis U_{DD}/I_{Dsat} enthalten ist. Dieses Verhältnis definiert, wie bereits in Kapitel 2.1.12.2 in Gleichung 2.126 gezeigt wurde, einen äquivalenten Widerstand R_{on} . Der Transistor kann also im Ersatzschaltbild nach Bild 4.18 durch einen idealen Schalter und einen

Widerstand mit dem Wert R_{on} ersetzt werden. Nun liegt ein lineares RC-Netzwerk erster Ordnung vor, das leicht berechnet werden kann. Die Zeit, die vergeht bis die Kapazität einer RC-Schaltung auf den halben Wert entladen ist, ergibt sich zu

$$t_p = R_{on} \cdot C_L \cdot \ln 2 = R_{on} \cdot C_L \cdot 0,69 \quad , \quad (4.45)$$

mit

$$R_{onn} = \frac{U_{DD}}{I_{Dsatn}} \quad . \quad (4.46)$$

Die beiden Gleichungen 4.45 und 4.44 für die Verzögerungszeit des Inverters unterscheiden sich um den Quotienten $0,69/0,5$. Wie Simulationen zeigen, ist die Näherungslösung aufgrund des RC-Netzwerkes (Gleichung 4.45) genauer.

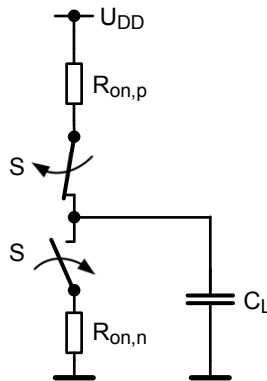


Bild 4.18 Schaltermodell eines CMOS-Inverters.

Bisher wurde vom Entladevorgang auf die gesamte Gatterverzögerungszeit t_p geschlossen, da eine symmetrische Übertragungskennlinie angenommen wurde. Nicht berücksichtigt wurde, dass die um den Faktor β_R größere Weite der p-Kanal-Transistoren die Lastkapazitäten für die treibenden Gatter vergrößert. Das heißt die Gleichung 4.45 muss verfeinert werden.

Zunächst werden für den CMOS-Inverter ein äquivalenter Innenwiderstand und eine äquivalente Lastkapazität abgeleitet. Dann wird anhand Gleichung 4.45 ein verbesserter Ausdruck für die Gatterlaufzeit gefunden.

In diesem Zusammenhang muss auch neu über das Verhältnis β_R , das das Verhältnis der Weite des p-Kanal-Transistors zur Weite des n-Kanal-Transistors bei minimalen Kanallängen angibt, nachgedacht werden.

Wechselt am Eingang des Inverters die Spannung von U_{DD} nach Null, sperrt der n-Kanal-Transistor und die Lastkapazität wird über den p-Kanal-Transistor aufgeladen. Der Aufladevorgang kann, ähnlich wie der Entladevorgang, mittels einer einfachen RC-Schaltung, beschrieben werden. Man benötigt einen äquivalenten Widerstand R_{onp} . Entsprechend Gleichung 4.46 ergibt sich

$$R_{\text{onp}} = \frac{U_{\text{DD}}}{I_{\text{Dsatp}}} \quad (4.47a)$$

Der äquivalente Widerstand R_{onp} weist bei gleicher Dimensionierung des p-Kanal-Transistors wie der des n-Kanal-Transistors wegen der geringeren Beweglichkeit der Löcher einen um den Faktor r größeren Wert auf. Wird die Weite des p-Kanal-Transistors um den Faktor β_R vergrößert, erniedrigt sich der äquivalente Widerstand entsprechend. Die Längen der Transistoren sollten, um Platz zu sparen, den minimal möglichen Wert aufweisen

$$\frac{r}{\beta_R} = \frac{R_{\text{onp}}}{R_{\text{onn}}} \quad (4.47b)$$

Der Faktor r ist durch das Verhältnis der Beweglichkeit der Elektronen zu der der Löcher bestimmt

$$r = \frac{\mu_n}{\mu_p} \quad (4.47c)$$

Somit ergibt sich mittels einer Mittelwertbildung aus den Gleichungen 4.47b und 4.47c für den äquivalenten Innenwiderstand R_i des treibenden Inverters

$$R_i = \frac{1}{2} \cdot (R_{\text{onn}} + R_{\text{onp}}) = \frac{1}{2} \cdot R_{\text{onn}} \cdot \left(1 + \frac{r}{\beta_R} \right) \quad (4.48)$$

Ähnlich wie für den äquivalenten Widerstand soll nun im nächsten Schritt auch für

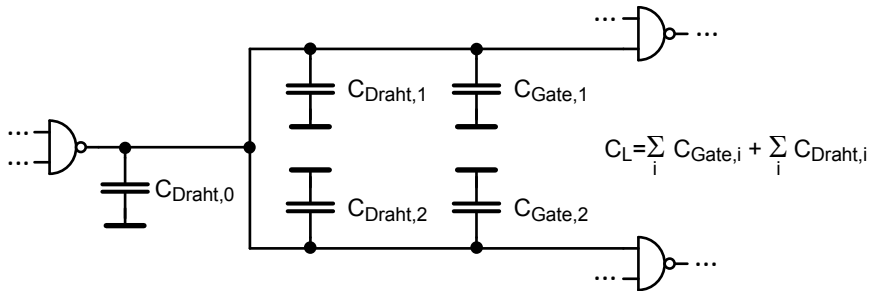


Bild 4.19 Einfache Modellierung der Lastimpedanz.

die Lastkapazität in Gleichung 4.45 eine detaillierte Beschreibung gewonnen werden. In der Betrachtung hier wird, wie es bis in die neunziger Jahre des vorhergehenden Jahrhunderts ausreichend war, angenommen, dass die Verbindungsleitungen auf einem Chip zwischen Treiber- und Empfangsgatter mittels Kapazitäten modelliert werden können (siehe Bild 4.19). Müssen RC- oder gar RLC-Leitungen berücksichtigt werden, sollten die entsprechenden Gleichungen des 3. Kapitels genutzt werden. Dort wurden Gleichungen (zum Beispiel Gleichung 3.103b) abgeleitet, die den In-

nenwiderstand des treibenden Inverters, der mittels der Gleichung 4.48 definiert ist, enthalten.

Anhand von Bild 4.20 wird nun die kapazitive Belastung eines Inverters, der mehrere andere Inverter treibt, berechnet. Unter der Lastkapazität C_L werden alle Kapazitäten aufsummiert, die von den Drain-Strömen von M1 und von M2 auf-, beziehungsweise um- oder entladen werden müssen. Die Kapazitätswerte des p-Kanal-Transistors erhält man, indem man die Kapazitätswerte des n-Kanal-Transistors mit dem Weitenfaktor β_R multipliziert.

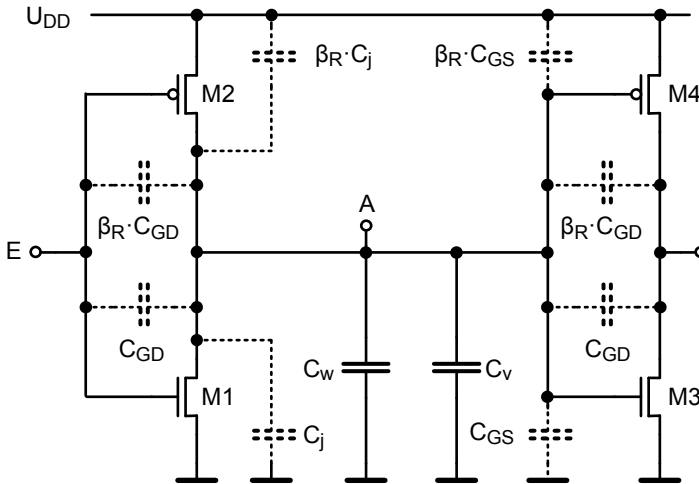


Bild 4.20 Kapazitive Belastung eines CMOS-Inverters.

- C_j Sperrschichtkapazität eines minimal dimensionierten n-Kanal-Transistors
- C_W Kapazität von langen Leitungen ($l > 30\mu\text{m}$)
- C_V Kapazität der Verdrahtung zu benachbarten Gattern
- C_{GD}, C_{GS} Gate-Drain- bzw. Gate-Source-Kapazität eines minimal dimensionierten n-Kanal-Transistors. Die Kapazitäten setzen sich in den einzelnen Arbeitsbereichen aus den Kapazitäten des inneren und des äußeren Modells, entsprechend der Bilder 2.71 und 2.73, zusammen.

Gate-Drain-Kapazitäten C_{GD} , die Ein- und Ausgänge kapazitiv koppeln, weisen eine Besonderheit auf. Bei analogen Schaltungen spricht man von Miller-Kapazitäten (siehe Gleichung 4.34). Während bei den anderen Kapazitäten beim Schaltvorgang jeweils ein Anschluss an konstantem Potential liegt, wechseln bei den Gate-Drain-Kapazitäten beide Anschlüsse das Potential. Daraus folgt

$$Q = 2 \cdot U_{DD} \cdot C_{GD} \quad (4.49)$$

In Bild 4.20 sind die einzelnen Anteile der Lastkapazität eingezeichnet. Zunächst werden die Beiträge der nachfolgenden Stufe (externe Last) berücksichtigt

$$C_{L, \text{extern}} = F_0 \cdot (C_{GS} + 2C_{GD}) \cdot (1 + \beta_R) + F_0 \cdot C_V + C_W \quad (4.50)$$

F_0 Anzahl der angeschlossenen Transistoren, die sich in Pull-Up- oder Pull-Down-Pfaden befinden.

Das Fan-Out (F_0) ist ein Maß für die Belastung des treibenden Gatters.

Da die nachfolgenden Inverter über Leitungen angeschlossen sind, müssen die Verdrahtungskapazitäten in die Rechnung eingehen. Widerstandsbeläge werden vernachlässigt. Mit der Kapazität C_W werden lange Leitungen ($l > 30 \mu\text{m}$) einbezogen, während mit C_V die Verdrahtung zu benachbarten Gattern berücksichtigt wird. Es wird angenommen, dass die Dimensionierung der Weiten der Verbindungsleitungen unabhängig vom „Electromigration“-Effekt vorgenommen werden kann. Da Gate-Drain-Kapazitäten umgeladen werden, müssen sie mit dem doppelten Wert berücksichtigt werden.

Neben der externen Last müssen auch die Kapazitäten des treibenden Inverters (interne Last), die auch als parasitäre Lastkapazität C_p bezeichnet wird, betrachtet werden

$$C_{L, \text{intern}} = (2 \cdot C_{GD} + C_j) \cdot (1 + \beta_R) \quad . \quad (4.51)$$

Somit ergibt sich für die gesamte Lastkapazität

$$\begin{aligned} C_L &= C_{L, \text{intern}} + C_{L, \text{extern}} \\ &= (2C_{GD} + C_j) \cdot (1 + \beta_R) + F_0 \cdot (C_{GS} + 2C_{GD}) \cdot (1 + \beta_R) + F_0 \cdot C_V + C_W \quad . \end{aligned} \quad (4.52)$$

Die letzte Gleichung lässt sich vereinfachen

$$C_L = (1 + \beta_R) \cdot (2C_{GD} \cdot (1 + F_0) + F_0 \cdot C_{GS} + C_j) + C'_W \quad (4.53)$$

mit

$$C'_W = C_W + F_0 \cdot C_V \quad . \quad (4.54)$$

Die Lastkapazität wird vom Verhältnis β_R , von der Anzahl der angeschlossenen Transistoren und von der Verdrahtungskapazität bestimmt.

Setzt man Gleichung 4.53 gemeinsam mit Gleichung 4.48 für den äquivalenten Widerstand R_i in Gleichung 4.45 ein, erhält man einen Ausdruck für die Verzögerungszeit t_p , der von den Faktoren r und β_R abhängt

$$\begin{aligned} t_p &= \frac{1}{2} \cdot (t_{pHL} + t_{pLH}) \\ &= \frac{1}{2} \cdot (R_{onn} + R_{onp}) \cdot C_L \cdot \ln 2 = \frac{0,69}{2} \cdot R_{onn} \cdot C_L \left(1 + \frac{r}{\beta_R} \right) \end{aligned} \quad (4.55)$$

$$t_p = \frac{1}{2} \cdot 0,69 \cdot C_L \cdot \frac{U_{DD}}{I_{Dsatn}} \cdot \left(1 + \frac{r}{\beta_R} \right) \quad . \quad (4.56)$$

Mit $\partial t_p / \partial \beta_R = 0$ erhält man

$$\beta_R = \sqrt{r \cdot \left(1 + \frac{C'_W}{2 \cdot C_{GD} + C_j + F_0 \cdot (C_{GS} + 2 \cdot C_{GD})} \right)} \quad (4.57)$$

Wenn die Verdrahtungskapazität vernachlässigt werden kann, ergibt sich

$$\beta_R = \sqrt{r} \approx \sqrt{2} \dots \sqrt{3} \quad (4.58)$$

Man kann nicht gleichzeitig eine symmetrische Übertragungskennlinie und eine optimale Gatterlaufzeit realisieren. Wenn der Einfluss der Verdrahtungskapazität überwiegt, sollten größere Werte für β_R gewählt werden [179].

Tatsächlich wird die genaue Dimensionierung der Weite des p-Kanal-Transistors im Verhältnis zu derjenigen des n-Kanal-Transistors bei minimalen Kanallängen mittels Simulationen vorgenommen. In der Praxis werden für $C'_W = 0$ Werte zwischen 1,6 und 3 für β_R gewählt. Eine 20 nm-CMOS-Technologie hat einen β_R -Wert von 1,6. In diesem Buch wird meistens $\beta_R = 2$ angenommen.

Nach welcher Methode man auch die Dimensionierung vornimmt, immer lässt sich ein äquivalenter Widerstand R_{eq} definieren. Aus Gleichung 4.45 folgt

$$\begin{aligned} t_p &= 0,69 \cdot R_{eq} \cdot (C_{L,intern} + C_{L,extern}) \\ &= 0,69 \cdot R_{eq} \cdot C_{L,intern} \cdot \left(1 + \frac{C_{L,extern}}{C_{L,intern}} \right) \\ &= t_{p0} \cdot \left(1 + \frac{C_{L,extern}}{C_{L,intern}} \right) \end{aligned} \quad (4.59)$$

Mit $t_{p0} = 0,69 \cdot R_{eq} \cdot C_{L,intern}$ wird die Verzögerungszeit des Inverters bezeichnet, der keine externe Last aufweist und der nur von seinen eigenen parasitären Kapazitäten belastet wird (siehe Gleichung 4.52). Die Zeit t_{p0} wird als intrinsische oder als unbelastete Verzögerungszeit bezeichnet. Nun kann man feststellen, dass die Eingangskapazität eines Inverters C_{inv} sehr gut der internen Lastkapazität $C_{L,intern}$ entspricht [179]

$$C_{L,intern,inverter} \approx C_{inv} \quad (4.60)$$

Man erhält für den Inverter

$$t_p = t_{p0} \cdot \left(1 + \frac{C_{L,extern}}{C_{inv}} \right) = t_{p0} \cdot (1 + f) \quad (4.61)$$

In Gleichung 4.61 ist die Gatterlaufzeit t_p eine lineare Funktion von $C_{L,extern}/C_{inv}$. Das Verhältnis $C_{L,extern}/C_{L,intern} = C_{L,extern}/C_{inv}$ wird effektives Fan-Out f genannt. Befinden sich zwischen den Gattern noch lange Leitungsstücke, wird die Gatterlaufzeit dramatisch verschlechtert.

Die Verzögerungszeit t_p und damit auch die Gatterlaufzeit nach Gleichung 4.61 ist vom Verhältnis $C_{L,extern}/C_{inv}$ abhängig. Wenn die Verdrahtungskapazitäten ver-

nachlässigbar sind, und dieser Fall sollte angestrebt werden, nützt es nichts, wenn die Transistoren des treibenden Inverters weiter ausgelegt werden, um das Verhältnis C_L/C_{inv} zu verbessern. Da dadurch nur der Inverter, der vor dem treibenden Inverter liegt, eine höhere Last sieht. Weitet man gleichmäßig alle Transistoren in einer Kette von Invertern, ändert sich t_p nicht, da das Verhältnis $f = C_L/C_{\text{inv}}$ konstant bleibt. Wenn die Verdrahtungskapazitäten vernachlässigbar sind, sollten minimal dimensionierte Inverter eingesetzt werden. Dies verringert die Chipfläche und die Verlustleistung. Damit die Verdrahtungskapazitäten vernachlässigt werden können, sollten logisch zusammengehörende Gatter auf dem Chip physikalisch benachbart ausgelegt werden.

In diesem Kapitel wurde die Kettenschaltung von Invertern, wenn der letzte Inverter nur eine geringe Last treiben soll, behandelt. In Kapitel 4.4 wird das Problem, wie man große Lastkapazitäten treiben soll, besprochen. Die Dimensionierung der Transistoren in einer Kette aus komplexen Gattern, wird in Kapitel 4.8 angegeben.

Näherungsweise lässt sich die Eingangskapazität C_{inv} durch das Dreifache der Gate-Kapazität des n-Kanal-Transistors ausdrücken. Es gilt, da der PMOS-Transistor zweimal so weit ist wie ein NMOS-Transistor, $C_{\text{inv}} > 3 \cdot C_{\text{GS}}$. Der fehlende Rest wird von den Gate-Drain- und den Sperrschichtkapazitäten beigetragen.

Wenn in Gleichung 4.59 der Ausdruck für den äquivalenten Widerstand durch $U_{\text{DD}}/I_{\text{Dsat}}$ ersetzt wird und für $C_{\text{inv}} = C_{\text{L,intern}} = 3 \cdot C_{\text{Gaten}}$ gesetzt wird, erhält man für t_{p0}

$$t_{p0} = \frac{3 \cdot C_{\text{Gaten}} \cdot U_{\text{DD}}}{\frac{1}{2} \cdot \mu_n \cdot c_{\text{ox}} \cdot \frac{W}{L} \cdot (U_{\text{DD}} - U_{\text{Tn}})^2} = \frac{3 \cdot L^2}{\frac{1}{2} \cdot \mu_n \cdot U_{\text{DD}} \cdot \left(1 - \frac{U_{\text{Tn}}}{U_{\text{DD}}}\right)^2} \quad (4.62)$$

Gleichung 4.62 zeigt einige wichtige Abhängigkeiten der intrinsischen Gatterlaufzeit t_{p0} .

Für eine kurze Schaltzeit sollte ein kleines Verhältnis von $U_{\text{T}}/U_{\text{DD}}$ angestrebt werden. Dies kann mit kleinen Einsatzspannungen erreicht werden. Jedoch sind die erhöhten Leckströme für kleine Einsatzspannungen zu bedenken. Als Alternative können höhere Versorgungsspannungen gewählt werden. DIBL und Zuverlässigkeitsprobleme setzen dem Grenzen. Wird die Versorgungsspannung bewusst verringert, zum Beispiel um die Verlustleistung zu reduzieren, steigt die Gatterverzögerungszeit an. Das Bild 4.22 zeigt die prinzipielle Abhängigkeit der Gatterlaufzeit t_p von der Versorgungsspannung U_{DD} bei konstanten Einsatzspannungen $U_{\text{Tn,p}}$. Zu beachten ist, dass sich Schwankungen der Versorgungsspannung bei kleinen Versorgungsspannungen wesentlich stärker auswirken als bei großen Werten für U_{DD} .

Nach Gleichung 4.62 ist die intrinsische Verzögerungszeit von Invertern proportional zu L^2 . Deswegen sollten die Transistoren möglichst immer mit der minimal zulässigen Transistorlänge ausgelegt werden. Dies hilft auch Chipfläche und Verlustleistung zu sparen. Nach den Regeln für die Strukturverkleinerung mit konstanten elektrischen Feldstärken (siehe Kapitel 2.1.4) verkleinert sich die Gatterlaufzeit um den Faktor $S > 1$, wenn die Lastkapazität im Wesentlichen von den Kapazitäten der nachfolgenden Stufen bestimmt wird und die Versorgungsspannung

ebenfalls mit S skaliert. Mit zunehmender Strukturverkleinerung werden die Schaltungen immer kleiner und deswegen billiger. Zusätzlich verbessert sich auch die Schaltgeschwindigkeit. Handelt es sich um Kurzkanaltransistoren, skaliert die Verzögerungszeit des Inverters und damit auch die Laufzeit von Gattern im Grenzfall der gesättigten Geschwindigkeit mit $S > 1$. Diese Aussagen bezüglich der Abhängigkeiten der Verzögerungszeit t_p entsprechen den Zusammenhängen, die die Gleichungen 4.37 und 4.38 beschreiben.

4.3.2.4 Ringoszillator

In der Praxis wird die für eine Technologie typische Gatterlaufzeit t_p (Verzögerungszeit) anhand von Ringoszillatoren gemessen. Daher wird an dieser Stelle dieses Thema behandelt. Ein Ringoszillator ist eine in sich geschlossene Kette mit einer ungeraden Zahl von Invertiern oder Gattern (siehe Bild 4.21a). Wegen der ungeraden Anzahl von Invertierungen im Ring kann sich kein stabiler Zustand ausbilden. Die Schaltung oszilliert. Die Periodendauer T ergibt sich aus der Gatterlaufzeit t_p und der Anzahl der Gatter N

$$T = 2 \cdot N \cdot t_p \quad . \quad (4.63)$$

Der Faktor zwei folgt aus der Beobachtung, dass jeder Knoten für eine vollständige Schwingung einen $0 \rightarrow 1$ und einen $1 \rightarrow 0$ Übergang durchlaufen muss. Diese Gleichung ist nur gültig für den Fall: $2 \cdot N \cdot t_p \gg t_f + t_r$. Die Knoten sollen immer den ganzen zur Verfügung stehenden Hub nutzen. Beim Anlegen der positiven Versorgungsspannung U_{DD} können sich mehrere Signalwechsel ausbilden, die im Kreis umlaufen. Um dies zu verhindern, wird, wie es in Bild 4.21b dargestellt ist, ein NAND-Gatter in den Ring geschaltet. Solange das Startsignal des NAND-Gatters auf niedrigem Potential liegt, kann sich keine Schwingung ausbilden. Hat sich ein stationärer Zustand eingestellt, wird das Startsignal an Eins gelegt und es bildet sich eine einzige Schwingung aus.

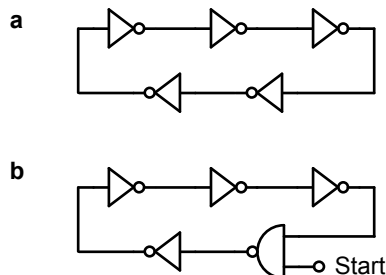


Bild 4.21 Ringoszillator: **a** Schema; **b** Ringoszillator mit NAND-Gatter zur Unterdrückung von zusätzlichen Schwingungen.

4.3.2.5 Dynamischer ZTC-Punkt

In Kapitel 2.1.3.6 wurde der Begriff des statischen ZTC-Punktes (Zero Temperature Coefficient Point) eingeführt. Der statische ZTC-Punkt gibt den Wert der Gate-Source-Spannung an, bei dem der Drain-Strom unabhängig von der Temperatur ist. Der ZTC-Punkt eines p-Kanal-Transistors liegt etwa um 100 mV über demjenigen eines n-Kanal-Transistors. Ähnlich wie die Temperaturabhängigkeit des Drain-Stroms kann man auch die Temperaturabhängigkeit von Gatterlaufzeiten anhand von Ringoszillatoren untersuchen. In Bild 4.22 sind typische Verläufe der normierten Frequenz eines Ringoszillators, der aus 17 Invertern aufgebaut wurde, in Abhängigkeit von der Versorgungsspannung und der Temperatur eingezeichnet. Die Inverter enthalten sogenannte REG-Transistoren, die in Kapitel 2.1.10.7 Tabelle 2.3 erläutert werden. In einem weiten Bereich ist die Oszillatorfrequenz linear abhängig von der Versorgungsspannung. Es ergibt sich ein Punkt, der dynamische ZTC-Punkt, an dem die Oszillatorfrequenz unabhängig ist von der Temperatur. Beim Vergleich der statischen und der dynamischen ZTC-Punkte fällt auf, dass die dynamischen Punkte etwa 100 mV über dem Durchschnitt der statischen Punkte, der beteiligten n- und p-Kanal-Transistoren liegen.

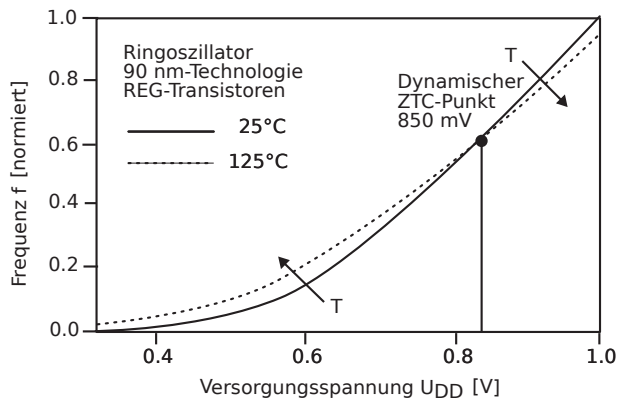


Bild 4.22 Normierte Frequenzverläufe eines 17-stufigen Ringoszillators in Abhängigkeit von der Versorgungsspannung U_{DD} bei 25°C und bei 125°C. Wie in Bild 2.22 ergibt sich ein Schnittpunkt, der dynamische ZTC-Punkt [5].

Solange die Versorgungsspannung und damit die Gate-Source-Spannung unter den statischen ZTC-Punkten liegt, erhöhen sich die Drain-Ströme mit steigender Temperatur. Wenn die Versorgungsspannung den Durchschnitt der statischen ZTC-Punkte erreicht oder geringfügig überschreitet, befinden sich die Inverter wegen der endlichen Anstiegs- und Abfallzeiten die meiste Zeit noch in dem Bereich, in dem die Gate-Source-Spannungen unterhalb der durchschnittlichen statischen ZTC-Punkten liegen. Deshalb fließt bei diesen Versorgungsspannungen bei 125°C mehr Strom als bei 25°C. Folglich ist der dynamische ZTC-Punkt stets höher als die statischen ZTC-Punkte [5].

In Schaltungen, die auch bei niedrigen Versorgungsspannungen noch korrekt arbeiten sollen, muss daher der dynamische ZTC-Punkt bei der Geschwindigkeitscharakterisierung berücksichtigt werden. In der Verifikationsphase werden die Schaltungen unter ungünstigen Bedingungen simuliert, zum Beispiel bei der höchsten Temperatur und der niedrigsten Versorgungsspannung. Ist U_{DD} – 10% kleiner als der dynamische ZTC-Punkt, so wird die Gatterlaufzeit bei höheren Temperaturen kleiner. Deswegen muss in diesem Fall bei kleinen Temperaturen getestet werden.

Indem man Versorgungsspannungen in der Nähe des dynamischen ZTC-Punktes wählt ($U_{DD} \approx ZTC_{dyn}$), kann man die Temperaturabhängigkeit der Gatterlaufzeit von der Temperatur minimieren.

Es wurde schon mehrmals von der Verlustleistung gesprochen. Daher wird nun im nächsten Abschnitt die Verlustleistung von digitalen Schaltungen berechnet. So dann wird erläutert, wie große Lastkapazitäten getrieben werden können.

4.4 Verlustleistung

Ein für die Beurteilung einer Schaltkreisfamilie wichtiges Kriterium ist die Verlustleistung. Unter Verlustleistung versteht man die in den Transistoren in Wärme umgesetzte Leistung. Man unterscheidet zwischen dynamischer P_{Dyn} und statischer Verlustleistung P_{Stat} . Jedes Mal wenn Kapazitäten geladen oder entladen werden, wie es für CMOS-Gatter typisch ist, wird dynamische Verlustleistung P_C verbraucht. Während der Schaltvorgänge von CMOS-Inverter und CMOS-Gatter leiten gleichzeitig die Pull-Up- und die Pull-Down-Pfade. Es fließt vorübergehend ein Kurzschlussstrom (I_{SC}) zwischen U_{DD} und U_{SS} . Auch hier handelt es sich um eine dynamische Verlustleistung P_{SC} . Die dynamische Verlustleistung ist proportional zur Schaltaktivität α und damit zur Taktfrequenz f_T .

Ist die Verlustleistung unabhängig von der Schaltaktivität, wird sie als statisch bezeichnet. Zum Beispiel gibt es CMOS-Logikfamilien, die wie CML (siehe Kapitel 4.8.1.4) der bipolaren Schaltungstechnik nachempfunden sind, die, unabhängig davon welche Potentiale an den Eingängen der Gatter anliegen, einen gleichmäßigen Strom zwischen U_{DD} und Masse aufweisen und somit statische Leistung (P_{Stat}) verbrauchen. Der große Vorteil der statischen CMOS-Logikgatter ist, dass sie keine derartige Verlustleistung haben.

Mit kleineren Strukturen treten vermehrt Leckströme auf, die von den zeitlichen Verläufen der Gate-, Drain- und Source-Spannungen abhängen. Somit handelt es sich um eine dynamische Verlustleistung. Für Gatter der statischen CMOS-Logikfamilie gilt

$$P = P_C + P_{SC} + P_{Leak} \quad . \quad (4.64)$$

Zunächst wir die Verlustleistung P_C aufgrund von Lade- und Entladevorgängen untersucht.

4.4.1 Dynamische Verlustleistung P_C aufgrund von Ladevorgängen

Jedes Mal wenn eine Lastkapazität C_L mittels eines p-Kanal-Transistors eines Inverters von Null nach U_{DD} geladen wird, wird der Versorgungsspannungsquelle eine bestimmte Energie entnommen. Ein Teil der Energie wird im p-Kanal-Transistor in Wärme umgesetzt, während der Rest auf der Lastkapazität gespeichert wird. Bei dem anschließenden Entladevorgang wird die gespeicherte Energie im n-Kanal-Transistor verbraucht (siehe Bild 4.18).

Zunächst wird nur der Ladevorgang betrachtet. Am Eingang des treibenden Inverters wird ein rechteckförmiger Puls angenommen, so dass der n-Kanal - und der p-Kanal-Transistor nicht gleichzeitig Strom leiten können. Die Energie $E_{U_{DD}}$, die der Spannungsquelle entnommen wird, wenn die Lastkapazität von der Spannung u_1 auf die Spannung u_2 geladen wird, errechnet sich aus dem Integral über die augenblickliche Leistung

$$\begin{aligned}
 E_{U_{DD}} &= \int_{t_1}^{t_2} i_{U_{DD}}(t) \cdot U_{DD} \cdot dt \\
 &= \int_{t_1}^{t_2} C_L \cdot U_{DD} \cdot \frac{du_a}{dt} \cdot dt \\
 &= U_{DD} \cdot C_L \cdot \int_{u_1}^{u_2} du_a \\
 &= C_L \cdot U_{DD} \cdot (u_2 - u_1) \quad .
 \end{aligned} \tag{4.65}$$

Es sei

$$\Delta u = u_2 - u_1 \tag{4.66}$$

$$u_2 = \frac{U_{DD}}{2} + \frac{\Delta u}{2} \tag{4.67}$$

$$u_1 = \frac{U_{DD}}{2} - \frac{\Delta u}{2} \quad . \tag{4.68}$$

Für die während des Aufladevorgangs der Versorgungsspannungsquelle entnommene Energie $E_{U_{DD}}$ gibt es, indem man die Ladung $Q_C = U_{DD} \cdot C_L$ auf der Lastkapazität einführt, eine interessante Interpretation, nämlich

$$E_{U_{DD}} = Q_C \cdot U_{DD} \quad . \tag{4.69}$$

Die Energie E_c , die auf dem Kondensator C_L gespeichert wird, berechnet sich zu

$$\begin{aligned}
 E_C &= \int_{t_1}^{t_2} i_{U_{DD}}(t) \cdot u_a(t) \cdot dt = \int_{t_1}^{t_2} C_L \cdot \frac{du_a}{dt} \cdot u_a \cdot dt = C_L \cdot \int_{u_1}^{u_2} u_a \cdot du_a \\
 &= \frac{1}{2} \cdot C_L \cdot (u_2^2 - u_1^2) \\
 E_C &= \frac{1}{2} \cdot C_L \cdot U_{DD} \cdot \Delta u \quad .
 \end{aligned} \tag{4.70}$$

Nur die Hälfte der Energie, die der Spannungsquelle entnommen wird, wird auf der Kapazität C_L gespeichert. Die andere Hälfte wird im p-Kanal-Transistor in Wärme umgewandelt. Der Energieverlust ist unabhängig von der Dimensionierung des Transistors und damit vom äquivalenten Widerstand des Transistors. Der Energieverlust ist auch unabhängig davon, ob im Pull-Up-Pfad, wie in Logikgattern, Transistoren parallel oder in Serie geschaltet sind.

Während des Entladevorgangs wird die Ladung vom Kondensator entfernt und die gespeicherte Energie im n-Kanal-Transistor verbraucht. Wiederum ist die verbrauchte Energie unabhängig von der Größe des Transistors. Während eines Schaltzyklus, bestehend aus einem Lade- und einem Entladevorgang, wird eine bestimmte Energie $-C_L \cdot U_{DD} \cdot (u_2 - u_1) -$ in Wärme umgesetzt.

Meistens wird der, durch die Versorgungsspannung U_{DD} , maximal zur Verfügung stehende Signalhub voll ausgeschöpft, da dadurch eine hohe Störsicherheit erzielt werden kann. Somit gilt

$$\Delta u = U_{DD} \tag{4.71}$$

$$E_{U_{DD}} = C_L \cdot U_{DD}^2 \tag{4.72}$$

$$E_C = \frac{1}{2} \cdot C_L \cdot U_{DD}^2 \quad . \tag{4.73}$$

Soll die Verlustleistung angegeben werden, muss in die Rechnung die Häufigkeit der Schaltvorgänge eingehen. Mit α wird die Wahrscheinlichkeit für einen $0 \rightarrow 1$ Signalwechsel pro Taktperiode bezeichnet. α hat Werte zwischen etwa $1/10$ und maximal $1/2$. Da während einer Taktperiode nur eine Eins oder Null eingegeben werden kann und während der nächsten Taktperiode eine Null beziehungsweise eine Eins, folgt für die maximale Signalfrequenz $f_S = f_T/2$. Aus Gleichung 4.72 ergibt sich

$$P_C = \alpha \cdot f_T \cdot C_L \cdot U_{DD}^2 \tag{4.74}$$

f_T Taktfrequenz

$f_S = \alpha \cdot f_T$

f_S bezeichnet die durchschnittliche Frequenz der Aufladevorgänge

P_C gibt die durchschnittliche dynamische Verlustleistung an, die anfällt, wenn ein Inverter oder ein Gatter eine Lastkapazität lädt. Diese Verlustleistung ist quadratisch von der Versorgungsspannung und linear von der durchschnittli-

chen Häufigkeit f_S der $0 \rightarrow 1$ Signalübergänge und von der Lastkapazität C_L abhängig.

Es besteht ein fundamentaler Zielkonflikt. Einerseits möchte man möglichst wenig Energie verbrauchen. Andererseits bedeutet dies nach Gleichung 4.62 und Bild 4.22, dass die Gatterlaufzeit ansteigt. Schnelle Schaltungen bedingen hohe dynamische Verlustleistungen. Es gibt mehrere Gütekriterien, die den Vergleich verschiedener Realisierungen von Logikschaltungen ermöglichen sollen.

Zunächst ist das Verlustleistungs-Verzögerungszeit-Produkt $PDP = P_C \cdot t_p$ zu nennen, das in der Literatur häufig angegeben wird. Es enthält beide abzuwägende Größen, aber es beschreibt nur die für die Ausführung einer Logikfunktion notwendige Energie. Für einen Vergleich ist das Energie-Verzögerungszeit-Produkt $EDP = PDP \cdot t_p = P_C \cdot t_p^2$ besser geeignet. Dieses Gütemaß gibt an, wie viel Energie für eine bestimmte Laufzeit aufgewendet werden muss. Schließlich gibt es noch das Gütemaß $P_C^2 \cdot t_p$, das die Energie stärker bewertet. Allen genannten Gütemaßen ist gemeinsam, dass sie nicht den Flächenbedarf für eine bestimmte Realisierung enthalten. In Kapitel 7.1.2 wird daher dieses Thema nochmals aufgegriffen.

4.4.2 Dynamische Verlustleistung P_{SC} aufgrund von Querströmen während den Schaltvorgängen

Bei den folgenden Überlegungen wird nun angenommen, dass am Eingang des Inverters, der eine Lastkapazität entlädt, beziehungsweise lädt, realistische Pulse mit endlichen Anstiegs- und Abfallzeiten anliegen. Beide Transistoren leiten während der Schaltvorgänge; es fließt ein Querstrom von U_{DD} nach Masse. Anhand von Simulationen hat man festgestellt, dass die Querströme davon abhängen, wie schnell die Signalwechsel am Eingang des Inverters erfolgen. Beispielsweise soll ein Inverter mit symmetrischer Kennlinie ($W_p = 2 \cdot W_n$) eine Lastkapazität von 250 fF entladen. Bei den Simulationen des Entladevorgangs wird die Anstiegszeit t_r variiert. Bild 4.23 zeigt die Ergebnisse der Simulationen. Dargestellt sind die Verläufe der Querströme I_{SC} , der Entladeströme I_C , mit denen der Kondensator entladen wird und der Gesamtströme I_{DD} während der Schaltvorgänge. Es wurde eine 1,0 μm -Technologie zu Grunde gelegt.

Man sieht deutlich, dass die Energie und damit die Verlustleistung aufgrund der Querströme dann minimal ist, wenn die Eingangsspannung sich schneller ändert als die Ausgangsspannung. Denn dann beträgt die Energie aufgrund des Querstroms nur 7,5% der Gesamtenergie des Entladevorgangs. Ändern sich die Ein- und Ausgangssignale etwa gleich schnell, steigt der vom Querstrom verursachte Anteil auf 11% an. Dagegen, wenn der Eingangssignalwechsel wesentlich langsamer als der Ausgangssignalwechsel erfolgt, erreicht die Verlustleistung aufgrund des Querstroms 37% der gesamten Verlustleistung. Entsprechend des höheren Anteils, der vom Querstrom verursacht wird, steigt die gesamte Verlustleistung an. Man sollte,

um Verlustleistung zu sparen, also darauf achten, dass am Eingang eines Gatters das Signal schneller als oder mindestens gleich schnell wie am Ausgang wechselt.

Integriert man den Querstrom I_{SC} über die Schaltzeit, erhält man die Ladung Q_{SC} (siehe Bild 4.25a). Vernachlässigt man die Leckströme, errechnet sich die gesamte Energie E_T beziehungsweise die gesamte Verlustleistung P_{tot} zu

$$E_T = (Q_C + 2 \cdot \overline{Q}_{SC}) \cdot U_{DD} \quad (4.75)$$

$$\begin{aligned} P_{tot} &= \alpha \cdot f_T \cdot (C_L \cdot U_{DD} + 2 \cdot \overline{Q}_{SC}) \cdot U_{DD} \\ &= P_{dyn} + P_{SC} = \alpha \cdot f_T \cdot E_{T,AC} \end{aligned} \quad (4.76)$$

Beide Verlustleistungsarten, P_{dyn} und P_{SC} , sind von der Schaltaktivität $\alpha \cdot f_T$ abhängig und werden deswegen als dynamische Verlustleistungen bezeichnet. Die Ladung Q_{SC} muss für den Auflade- und für den Entladevorgang berücksichtigt werden.

Es gibt noch eine weitere Quelle für die dynamische Verlustleistung, nämlich „falsches Schalten“ (Glitches). Dieses Thema wird in Kapitel 4.8.1.1.4 behandelt.

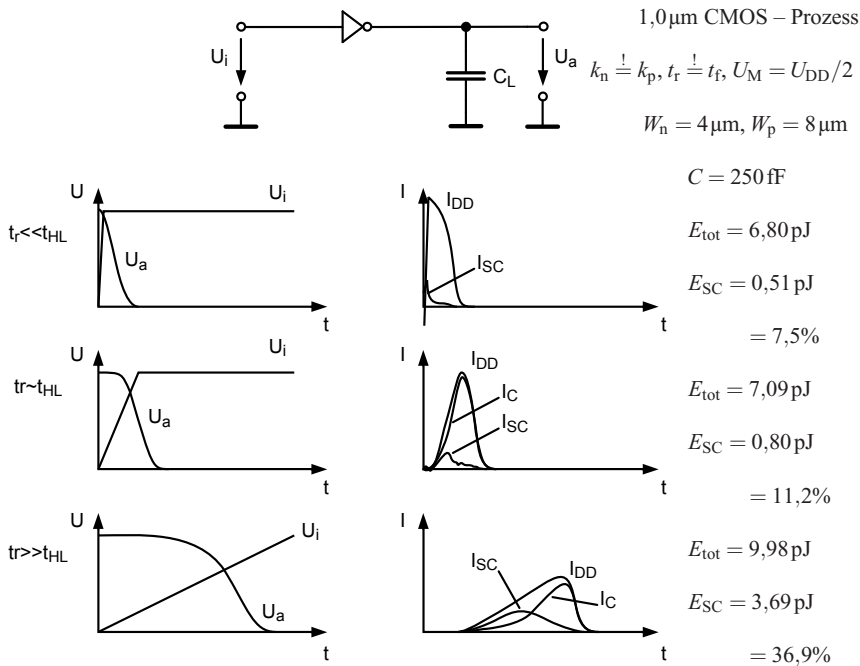


Bild 4.23 Verläufe des Ladestroms I_C , des Querstroms I_{SC} und des Gesamtstroms I_{DD} in Abhängigkeit von der Anstiegszeit t_r am Eingang des Inverters. $t_r = t_f$; $W_n = 4 \mu\text{m}$; $W_p = 8 \mu\text{m}$; $C_L = 250 \text{ fF}$; 1,0 μm CMOS-Prozess.

4.4.3 Verlustleistung P_{Leak} aufgrund von Leckströmen

In den Kapiteln 2.1.5 bis 2.1.8 wurden verschiedene Mechanismen besprochen, die zu Leckströmen führen. Mit immer feineren Strukturen nehmen die Leckströme zu. Die Leckströme sind von den zeitlichen Verläufen der Gate-, Drain- und Source-Spannungen abhängig und führen somit zu einer dynamischen Verlustleistung. Da diese Verlustleistung, wenn die Gatter ständig schalten, kleiner ist als die Verlustleistung P_C aufgrund von Lade- und Entladevorgängen und der Verlustleistung aufgrund von Querströmen P_{SC} stellt sich das Problem, wie diese Verlustleistung gemessen werden kann.

Man muss eine Besonderheit beachten. In statischen Logikgattern sperren entweder die Pull-Up- oder die Pull-Down-Pfade. Leckströme, wie zum Beispiel Unterschwellenströme der gesperrten Transistoren, bewirken einen Querstrom von U_{DD} nach Masse auch im eingeschwungenen Zustand.

Pro Taktperiode schalten in Prozessoren nur ein Bruchteil der Gatter, der weitaus größere Anteil ist in Ruhestellung. Daher ist es verständlich, dass in modernen Prozessoren die Verlustleistung wegen der Leckströme in der gleichen Größenordnung ist wie die Verlustleistungen P_C und P_{SC} (siehe Bild 4.24). Heute werden vermehrt technologische und schaltungstechnische Maßnahmen ergriffen, um die Verlustleistung aufgrund von Leckströmen zu minimieren (siehe Kapitel 2.1.11 und 4.8.3). Neben Mikroprozessoren gilt dies besonders für integrierte Schaltungen, die in tragbaren Geräten eingesetzt werden sollen.

Es wurde bereits das Problem angesprochen, wie die Verlustleistung P_{Leak} aufgrund von Leckströmen gemessen werden kann. Die Schwierigkeit rührt daher, dass bei hoher Schaltaktivität die Verlustleistungen P_{Dyn} und P_{SC} gegenüber P_{Leak} dominieren.

Eine Messmethode besteht darin, mittels „Clock Gating“ die Takte anzuhalten und so die verbleibende Verlustleistung zu messen. Auf diese Weise erhält man jedoch nur einen Schnappschuss und man misst eine statische Verlustleistung. Man müsste mehrmals unter möglichst verschiedenen Bedingungen die Takte anhalten und so charakteristische Mittelwerte finden. Dies ist notwendig, da die Leckströme von der jeweiligen Aufgabe abhängen. Man muss also einen Mittelwert aus mehreren Messungen von statischen Verlustleistungen ermitteln. Daher spricht man davon, dass die Leckströme eine statische Verlustleistung verursachen.

Die Alternative besteht darin, den zu untersuchenden Schaltungsblock bei unterschiedlichen Taktfrequenzen zu betreiben. In den Bildern 4.25a und 4.25b sind die Verhältnisse für zwei Signalfrequenzen schematisch dargestellt. Bei der hohen Signalfrequenz überwiegen P_{Dyn} und P_{SC} , gegenüber P_{Leak} , während bei niedrigeren Frequenzen die beiden Anteile eher gleich groß erscheinen. Für das Verständnis dieser Messmethode ist es nützlich, die gesamte Energie E_T oder die gesamte Verlustleistung P_{tot} pro Periode der Signalfrequenz zu betrachten. Aus den Gleichungen 4.75 und 4.76 folgt

$$E_T = (Q_C + Q_{Leak} + 2 \cdot \overline{Q}_{SC}) \cdot U_{DD} \quad (4.77)$$

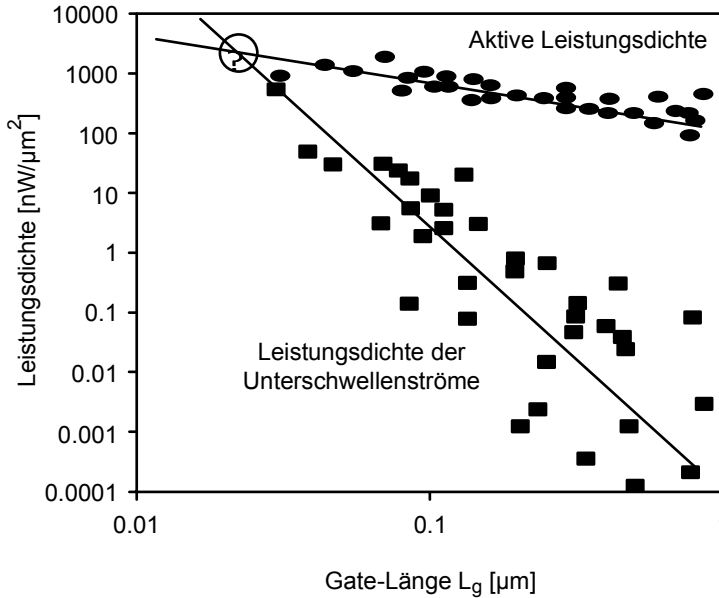


Bild 4.24 Extrapolation der Trends der Leistungsaufnahme durch aktive Schaltvorgänge und Unterschwellenströme von IS für Höchstgeschwindigkeitsanwendungen bei 25°C. Bei erhöhter Temperatur und unter Einbeziehung von Gate-Leckströmen erreichen die Leckströme die aktive Leistungsaufnahme viel früher [162].

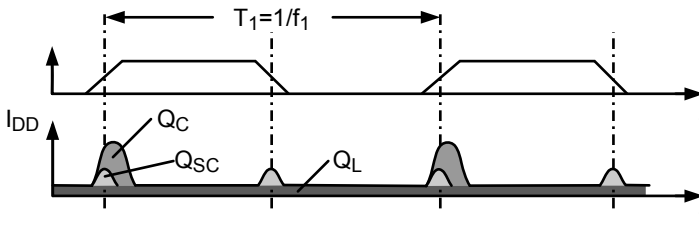


Bild 4.25a Verläufe von Strömen, die P_C , P_{SC} und P_{Leak} verursachen, bei einer niedrigen Signalfrequenz f_1 .

$$\begin{aligned}
 P_{\text{tot}} &= \alpha \cdot f_T \cdot (Q_L + U_{DD} + 2 \cdot \overline{Q_{SC}}) \cdot U_{DD} + \bar{I}_{\text{Leak}} \cdot U_{DD} \\
 &= \alpha \cdot f_T \cdot E_{T,AC} + P_{DC} \quad .
 \end{aligned} \tag{4.78}$$

Man sieht, dass P_{Dyn} und P_{SC} linear von der Signalfrequenz beziehungsweise von der Taktfrequenz, abhängig sind. Für die Messung wird vorausgesetzt, dass diese Anteile dominieren. Verbindet man die Messwerte für die verschiedenen Frequenzen, erhält man eine Gerade, deren Steigung durch $E_{T,AC}$ gegeben ist. Extrapoliert man diese Gerade zu dem Punkt $f_S = f_T = 0$, erhält man die gesuchte Verlustleistung $P_{\text{Leak}} = P_{DC}$ (siehe Bild 4.26), da an dieser Stelle gilt: $P_{\text{Dyn}} = P_{SC} = 0$. Diese Methode hat den Vorteil, dass sie auch einen Wert für P_{Leak} während der Schaltvor-

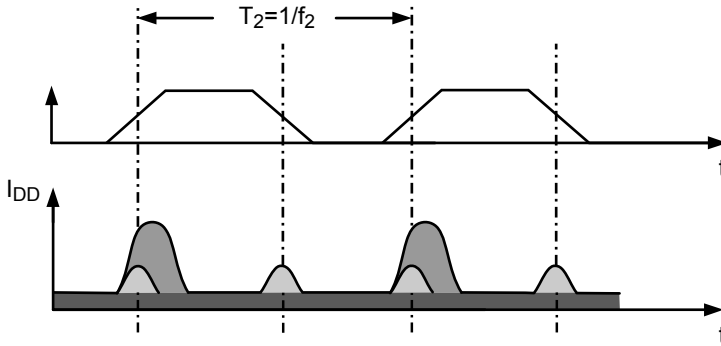


Bild 4.25b Verläufe von Strömen, die P_C , P_{SC} und P_{Leak} verursachen, bei einer höheren Signalfrequenz f_2 .

gänge liefert. Somit wird P_{Leak} bei realistischeren Temperaturen der pn-Übergänge gemessen.

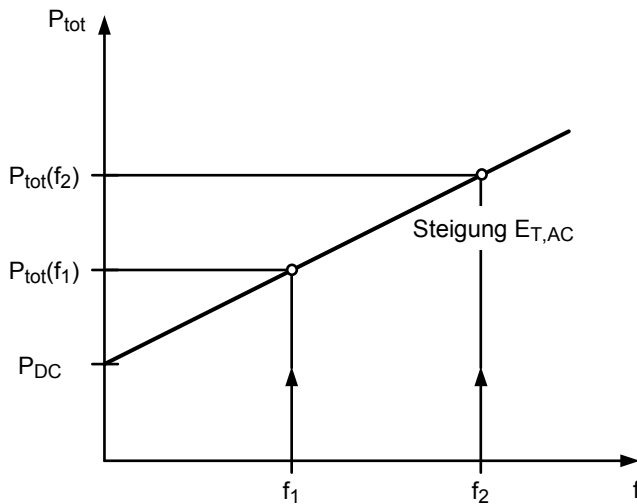


Bild 4.26 Bestimmung der Verlustleistung $P_{Leak} = P_{DS}$ mit der „Zwei-Signalfrequenz-Methode“.

4.5 Treiberschaltungen

In Kapitel 4.3.2.3, Gleichung 4.61, wurde bereits gezeigt, dass ein großes Verhältnis von Lastkapazität zu Gate-Kapazität stark die Verzögerungszeit der Gatter erhöht. Auch mit günstigen Chiparchitekturen lassen sich nicht immer große Lastka-

pazitäten vermeiden. Beispiele sind die Verteilung von Takt- oder Kontrollsignalen, das Lesen von Daten aus „On-Chip“-Speichern und deren Weiterleitung auf Bussen oder das Treiben von Verbindungsleitungen zwischen den Chips. In allen diesen Fällen müssen unter anderem große Lastkapazitäten innerhalb einer vorgegebenen Zeit geladen werden. Da üblicherweise die Transistoren, um Chipfläche und Verlustleistung zu sparen, mit minimalen Weiten und Längen dimensioniert werden, ergibt sich das Problem große Lastkapazitäten an kleine Gate-Kapazitäten anpassen zu müssen. Dieser Punkt wird zuerst behandelt. Dann wird besprochen, wie man verhindert, dass Sender sich gegenseitig stören.

4.5.1 Inverterkette

Intuitiv scheint es richtig zu sein, wenn ein minimal dimensionierter Inverter einen um den Faktor f Größeren treibt und dieser wiederum einem um den Faktor f Größeren, solange bis der letzte Inverter an die Lastkapazität angepasst ist (Bild 4.27). Vernachlässigt man die Lastkapazitäten der Verbindungsleitungen, so zeigt Gleichung 4.61, dass ein Inverter 1, der einen um den Faktor f größeren Inverter 2 treiben soll, näherungsweise ($f + 1 \approx f$) eine Verzögerungszeit $f \cdot t_{p0}$ benötigt. Wenn eine Kette mit N Stufen verwendet wird, beträgt die Verzögerungszeit t_{pK} der Kette entsprechend Gleichung 4.61

$$t_{pK} = N \cdot t_{p0} \cdot (1 + f) \approx N \cdot t_p \cdot f \quad (4.79)$$

t_{p0}	intrinsische Verzögerungszeit ($C_{L, \text{extern}} = 0$)
f	Vergrößerungsfaktor W_{i+1}/W_i für minimales L
t_{pK}	Verzögerungszeit der gesamten Kette
N	Anzahl der Stufen

Mit jeder Stufe wird eine um den Faktor f größere Zwischenlastkapazität geladen, das heißt nach N Stufen eine um f^N größere Last. Benutzt man einen kleinen Vergrößerungsfaktor f , so ist die Verzögerungszeit pro Stufe klein, aber man benötigt viele Stufen. Umgekehrt erfordert ein großer Faktor f nur wenige Stufen, aber mit größeren Verzögerungszeiten. Gesucht wird der optimale Vergrößerungsfaktor f [31].

Bei minimalen Kanallängen

$$f^N = \frac{C_L}{C_{\text{inv}, \text{min}}} \approx \left(\frac{W_{i+1}}{W_i} \right)^N \quad (4.80a)$$

und

$$N = \frac{\ln \frac{C_L}{C_{\text{inv}, \text{min}}}}{\ln f} \quad (4.80b)$$

Die Verzögerungszeit pro Stufe beträgt $f \cdot t_p$. Für die Kette aus N Stufen ergibt sich

$$N \cdot f \cdot t_{p0} = \frac{\ln\left(\frac{C_L}{C_{\text{inv,min}}}\right)}{\ln f} \cdot f \cdot t_{p0} \quad . \quad (4.81)$$

Die Verzögerungszeit der Kette ist also proportional zum Logarithmus C_L/C_{in} . In

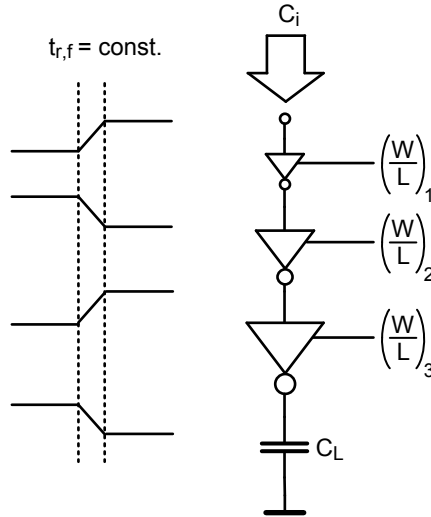


Bild 4.27 Konventionelle Inverterkette mit konstantem Vergrößerungsfaktor f und konstanten Anstiegs- und Abfallzeiten $t_{r,f}$.

Bild 4.28 ist $f/\ln f$ als Funktion von f dargestellt. Die Verzögerungszeit der Kette ist für $f = 2,71$ minimal. Da der Kurvenverlauf nach Bild 4.28 ein breites Minimum aufweist, können auch größere Werte für f gewählt werden. Für $f = e$ folgt aus Gleichung 4.80b für die Anzahl N der Stufen

$$N = \ln \frac{C_L}{C_{\text{inv,min}}} \quad . \quad (4.82)$$

Bisher wurde nur danach gestrebt, die Verzögerungszeit möglichst klein zu halten. Nun soll auch die Verlustleistung in die Überlegungen einbezogen werden. Bild 4.29 zeigt die Verzögerungszeit t_p und die dynamische Verlustleistung in Abhängigkeit vom Vergrößerungsfaktor f . Zunächst fällt auf, dass das Minimum der Verzögerungszeit bei einem Wert für f in der Nähe von vier und nicht bei $f = e$ liegt. Tatsächlich gilt für das Minimum $f = 3,75$ [238]. Die Ursache hierfür ist, dass bei der vorangehenden Ableitung die interne Lastkapazität $C_{L,\text{intern}}$ vernachlässigt wurde. An dieser Stelle muss auf Kapitel 4.8.1.1.2 verwiesen werden, in dem die Ket-

tenschaltung von komplexen Gattern behandelt wird. In diesem Kapitel wird das Thema vertieft und in einen breiteren Rahmen gestellt.

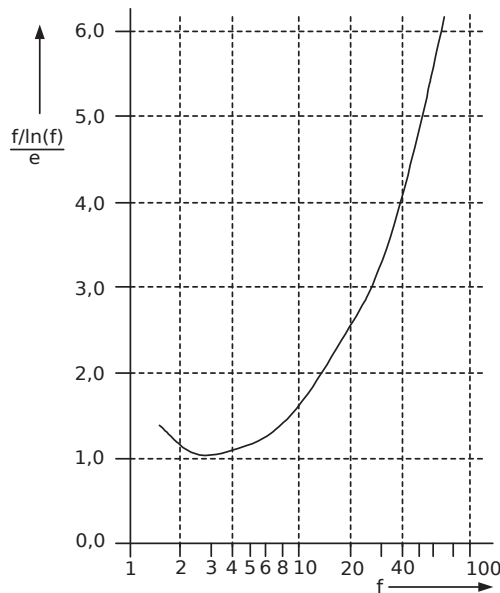


Bild 4.28 Darstellung der Funktion $f/\ln(f)$ [144].

Wählt man einen wesentlich größeren Faktor f , verringert sich die Zahl der notwendigen Stufen. Damit sinkt auch die Verlustleistung. Erhöht man den Faktor f von vier auf zehn, nimmt die Verzögerungszeit nur um den Faktor 1,18 zu, während die Verlustleistung um den Faktor 2,35 kleiner wird. Eine geringfügige Erhöhung der Schaltgeschwindigkeit bedingt eine erhebliche Abnahme der Verlustleistung. Daher sollte geprüft werden, ob Vergrößerungsfaktoren für f zwischen zehn und zwölf zulässig sind.

Die Verlustleistung kann man weiter reduzieren, wenn man sich daran erinnert, dass die Eingänge wegen des Querstroms schneller schalten sollen als die Ausgänge. Man wählt daher nicht für alle Stufen einen konstanten Vergrößerungsfaktor f , sondern man lässt den Faktor f von Stufe zu Stufe größer werden, also $f_1 < f_2 < f_3 < \dots$ [68].

Aus dem bisher Gesagten lassen sich einige Regeln, mit denen die Verlustleistung verringert werden kann, aufstellen.

- Erzwingte Lokalität, das heißt wenigstens für häufig wechselnde Signale sollten lange Leitungen vermieden werden. Logisch zusammengehörende Gatter sollten auf dem Chip nebeneinander liegen.
- Reduziere die Zahl der Pegeländerungen am Ausgang eines Gatters bis der Endwert erreicht ist. Dies wird erreicht, wenn alle Eingangssignale eines Gatters gleichzeitig eintreffen.

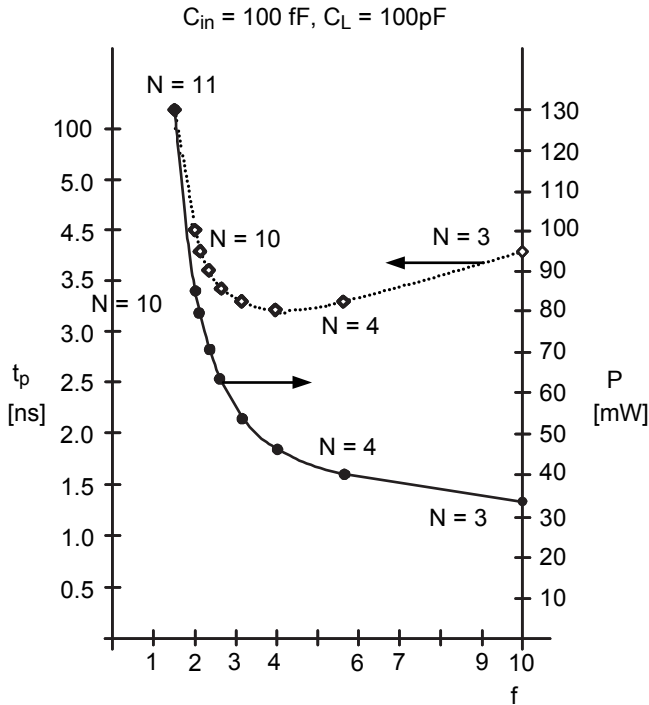


Bild 4.29 Verzögerungszeit t_p und Verlustleistung P in Abhängigkeit vom Vergrößerungsfaktor f , N Anzahl der Stufen.

- Verwende, wann immer es möglich ist, minimal dimensionierte Transistoren.
- Wähle für den Vergrößerungsfaktor f Werte zwischen zehn und zwölf, sowie eine Zunahme des Faktors f von Stufe zu Stufe.

4.5.2 Tristate-Treiber

Mit einem Bussystem werden mehrere Sender und Empfänger verbunden. Entsprechend dem jeweiligen Bedarf wird ein Sender ausgewählt, der Informationen an einen oder mehrere Empfänger übermitteln soll. Die Empfänger belasten das Bussystem nur kapazitiv. Die Sender, die aus Gattern und einem Inverter zum Treiben von langen Leitungen bestehen, weisen am Ausgang eine leitende Verbindung zu einem der Versorgungspotentiale U_{DD} oder U_{SS} auf. Daraus folgt, dass die nicht benötigten Sender einem gewünschten Signalwechsel auf einer Busleitung entgegenwirken können. Es wird daher ein zusätzlicher Zustand für die Ausgangsinverter benötigt, in dem sichergestellt ist, dass die Pull-Up- und Pull-Down-Pfade unterbrochen sind. Man sagt, dass der Ausgang im hochohmigen Zustand sein soll.

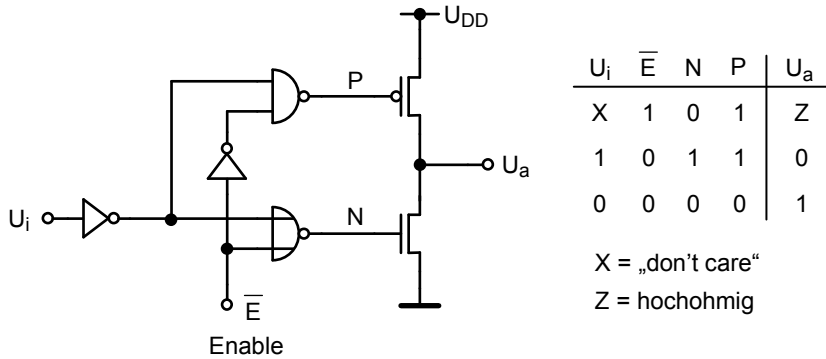


Bild 4.30 Tristate-Treiberschaltung: **a** Logikschaltbild der ersten Variante; **b** Wahrheitstabelle der ersten Variante.

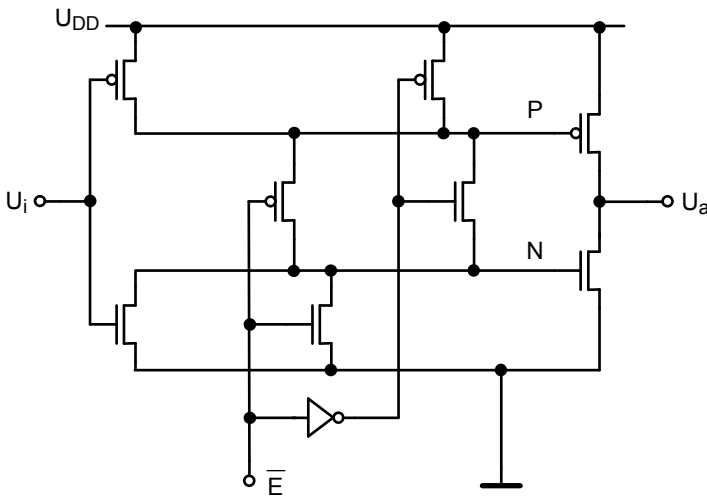


Bild 4.30c Zweite Variante mit weniger Transistoren.

Der hochohmige Zustand wird erreicht, indem man mittels eines Signals „Enable“ ($\bar{E}$) und mittels zusätzlicher Gatter das Gate des n-Kanal-Transistors an Masse und das Gate des p-Kanal-Transistors an U_{DD} legt. Somit sperren beide Transistoren der Treiberstufe (Bild 4.30a und 4.30b). Ein schaltungstechnische Variante, die weniger Transistoren benötigt zeigt Bild 4.30c.

Eine weitere Lösung für das Tristate-Treiberproblem ist die Verriegelungsschaltung nach Bild 4.59a. Man muss nur das Taktsignal durch das Steuersignal „Enable“ ($\bar{E}$) ersetzen.

In manchen Fällen will man frei wählen können, ob ein Gatter, das über einen Bus mit anderen Gattern verbunden ist, als Sender oder als Empfänger wirksam wird. In diesem Falle benötigt man eine bidirektionale Treiberstufe (siehe Bild

4.31). Neben der bekannten Tristate-Treiberstufe, die nun vom Signal „Read-Enable“ ($\overline{R}$) gesteuert wird, benötigt man einen zusätzlichen Signalpfad für die vom Bus her einzuschreibenden Daten.

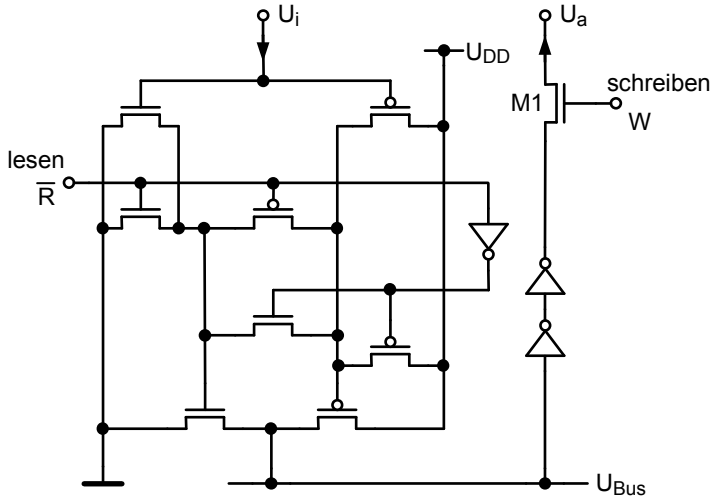


Bild 4.31 Bidirektionale Treiberschaltung.

4.5.3 Ein- und Ausgangsschaltungen

Ein- und Ausgangsschaltungen bilden die Schnittstellen zwischen den Chips und der elektronischen Umgebung. Derartige Schaltungen sind elektrostatischen Entladungen ausgesetzt, die ernsthafte Zuverlässigkeitsprobleme oder sogar Totalausfälle verursachen können. Daher müssen an den Ein- und Ausgängen Schutzschaltungen vorgesehen werden. Der Entwurf der Schutzschaltungen ist eine große Herausforderung, da technologische Bauelemente und Layout, spezifische, elektrische und thermische Gegebenheiten zu berücksichtigen sind. Traditionell betrachtete man den Entwurf von Ein- und Ausgangsschaltungen als eine eigenständige Designaufgabe. Da unvermeidbar die Schutzschaltungen den Signalpfad mit parasitären Elementen, wie Kapazitäten und Widerständen belasten, muss beim Entwurf von integrierten Schaltungen die Schutzstruktur in die Betrachtung mit einbezogen werden. Wegen der großen Probleme, die der Entwurf der Schutzstrukturen mit sich bringt, sollte man erprobte Bibliothekselemente, die vom IS-Hersteller empfohlen werden, verwenden.

In diesem Abschnitt werden die wichtigsten Prinzipien für den Entwurf von I/O-Schaltungen (I/O Input/Output) erläutert. Weitergehende Betrachtungen findet der Leser unter den Literaturstellen [236, 43, 116, 115].

Die Ein- und Ausgangsschaltungen enthalten Treiberschaltungen, wie sie im Prinzip bereits in den Kapiteln 4.5.1 und 4.5.2 beschrieben worden sind. Die Eingänge beziehungsweise die Ausgänge der Treiberschaltungen sind über Schutzschaltungen mit Metallplatten (Pads) verbunden, die wiederum mit dem Gehäuse verbunden sind. Am häufigsten werden für die Verbindung vom Chip zum Gehäuse Bonddrähte eingesetzt. Die Bonddrähte sollten möglichst kurz sein, damit induktive und kapazitive Effekte minimiert werden. Weiter soll vermieden werden, dass sich Leitungen überkreuzen. Daher werden die Pads in diesem Fall auf die Chipränder verteilt. Bei der Verdrahtung mit Bonddrähten haben die Pads heute etwa die Größe von $25 \times 25 \mu\text{m}^2$ und der Abstand zwischen zwei Pads beträgt $25 \mu\text{m}$.

Handelt es sich um ein „Flip Chip Array“ sind die Pads über der gesamten Chipfläche verteilt und der Pitch beträgt etwa $150 \mu\text{m}$ bis $130 \mu\text{m}$ bei organischen und keramischen Substraten [105]. Mit anderen Substraten sind Werte von $30 \mu\text{m}$ möglich. Die Anschlüsse zum Gehäuse werden mittels kleiner Lötperlen, die nebeneinander in einem Raster aus Zeilen und Spalten angebracht sind, hergestellt. Diese Perlen werden beim Löten in einem Lötoven aufgeschmolzen und verbinden sich mit dem Kupfer der Leiterplatte.

Über ein Pad darf nur ein begrenzter Strom fließen. Es kann daher notwendig sein, auf den Chips mehrere Netze für die Versorgungsspannungen zu entwerfen. Dies bedeutet, dass mehrere Pads für die Potentiale U_{DD} und U_{SS} benötigt werden.

Während der Schaltvorgänge treten in den Chips hohe Stromspitzen auf, die zu erheblichen Einbrüchen der „On-Chip“-Versorgungsspannung führen können. Obwohl deswegen zusätzliche Kapazitäten zwischen den U_{DD} - und U_{SS} -Leitungen geschaltet werden (siehe Kapitel 3.3), sollten für analoge und digitale Schaltungen, die gemeinsam auf einem Chip integriert sind, getrennte Versorgungsspannungsnetze vorgesehen werden.

Der Herstellungsprozess von VLSI-Bausteinen ist gegenwärtig auf Versorgungsspannungen von etwa 1,0 bis 1,2 V optimiert. An der Schnittstelle des Chips zur Außenwelt treten jedoch, wie bereits erwähnt wurde, wegen elektrostatischer Entladungen um bis zu drei Größenordnungen höhere Spannungen auf. Daher werden Schutzschaltungen (ESD, Electro Static Discharge Circuits) benötigt. Man spricht von einer elektrostatischen Entladung, wenn zwei Objekte mit unterschiedlichem elektrostatischen Potential so nahe zu einander gebracht werden, dass ein Ladungsausgleich stattfinden kann. Elektrostatische Entladungen kommen überall vor. Im Zusammenhang mit integrierten Schaltungen wird allgemein von Entladungen mit einer Zeitdauer von etwa 150 ns ausgegangen. Innerhalb dieser Zeitspanne können Ströme bis zu einigen zehn Ampere und Spannungen von einigen tausend Volt auftreten. Derartige schnelle und starke Ausgleichsvorgänge können die Chips ernsthaft schädigen.

4.5.3.1 ESD-Modelle

Um in einem Datenblatt über die Güte der ESD-Schutzstruktur berichten zu können, benötigt man allgemein akzeptierte Bedingungen, unter denen die integrierten

Schaltungen im Hinblick auf ESD getestet werden sollen. Weiter sind Modelle für den Entladevorgang nützlich. Es haben sich drei Modelle durchgesetzt.

Das gebräuchlichste Modell ist das HBM (Human-Body-Modell). Es ist bekannt, dass eine Entladung, die bei einer Annäherung eines aufgeladenen menschlichen Körpers entsteht, in dem zum Beispiel ein Finger zu nahe an einen geerdeten MOS-Chip kommt, den Chip zerstören kann. Bild 4.32 zeigt das Ersatzschaltbild für diesen Vorgang. Das Ersatzschaltbild enthält einen Kondensator von 100 pF , der auf 2000 V aufgeladen ist. Der Serienwiderstand beträgt $1,5\text{ k}\Omega$. Die Zahlenwerte stellen nur grobe Näherungen dar. Die bei 2000 V gespeicherte Energie beträgt $0,2\text{ mJ}$.

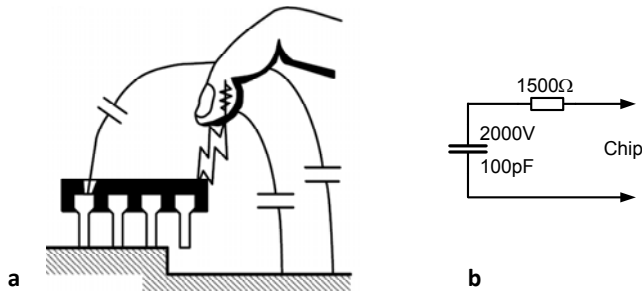


Bild 4.32 Elektronisches Modell: **a** physikalische Darstellung; **b** Ersatzschaltbild.

Beim Einbau von integrierten Schaltungen in das Gehäuse und beim Testen der integrierten Schaltungen kann es zu elektrostatischen Entladungen zwischen den aufgeladenen Gehäuseteilen und den geerdeten Chips kommen. Die Gefährdung kann nun noch größer sein, da kein Körperwiderstand die Entladung bremst. Beobachtet wurden Stromspitzen von 10 A innerhalb 8 ns . Diese Ereignisse versucht man mit dem MM- (Mechanical-Machinery-) Modell nachzuahmen. Das entsprechende Ersatzschaltbild enthält idealerweise keinen Widerstand und der Kondensator beträgt etwa 200 pF . Tatsächlich verursacht der Messaufbau vom Kondensator zum Chip einen Widerstand von einigen Ohm und eine Induktivität von mehreren Nanohenry. Die Entladung des Kondensators, der auf 200 V aufgeladen ist, bewirkt Stromspitzen von etwa $3,8\text{ A}$. Es tritt eine Schwingung von 16 MHz auf.

Im Charge Device Modell (CDM) versucht man die Situation zu modellieren, in der ein geladener Chip mit einem geerdeten Gegenstand in Kontakt kommt. Der Chip kann sich während der Herausnahme aus der Verpackung oder der Transportschiene aufladen. Das Ersatzschaltbild enthält einen Kondensator mit 4 pF , der auf 1000 V aufgeladen ist. Die Stromspitze beträgt etwa 15 A mit einer Anstiegszeit von nur 200 ps .

4.5.3.2 ESD-Tests

Welches Pad eine elektrostatische Entladung erleidet und ob in einem solchen Moment die Pads für die Versorgungsspannungen – U_{DD} und U_{SS} – angeschlossen sind, hängt vom Zufall ab. Es würde zu viel Zeit kosten alle möglichen Kombination von Pins, die einer elektrostatischen Entladung unterworfen werden, mit den anderen Pins, die an U_{DD} oder U_{SS} liegen können, zu untersuchen. Um die Zahl der Kombinationen zu vermindern, wurden Standards definiert.

Im Human-Body- und im Mechanical-Machinery-Modell können die Körper positiv oder negativ geladen sein. Im schlechtesten Fall unterliegt nur ein Pin einer elektrostatischen Entladung und nur ein U_{DD} - oder U_{SS} -Pin ist an das entsprechende Potential angeschlossen. Es gibt vier Kombinationen für elektrostatische Entladungen nach HBM/MM, bei denen die Versorgungspins involviert sind. Diese Kombinationen sind in Bild 4.33 dargestellt [43, 115]. Zunächst kann der Spannungspuls an einem einzelnen Eingangs- oder Ausgangs-Pad positiv (PS-Mode) oder negativ gegen das U_{SS} -Potential sein (NS-Mode). Ebenso kann der Spannungspuls positiv (PD-Mode) oder negativ (ND-Mode) gegen das U_{DD} -Potential sein.

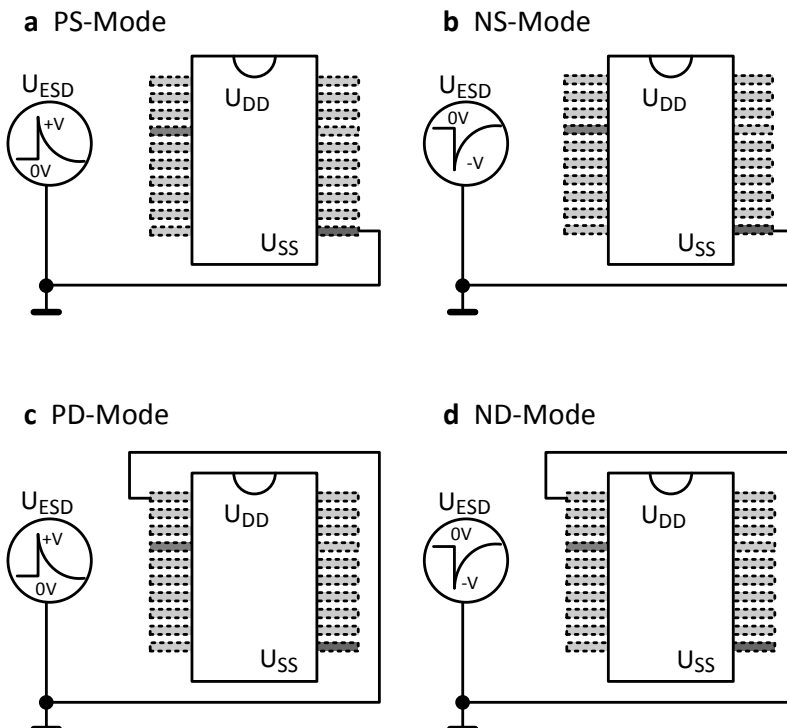


Bild 4.33 Die vier Pin-Kombinationen für einen elektrostatischen Puls an einem Eingangs- oder Ausgangs-Pad [115]: **a** positiv gegen U_{SS} (PS-Mode); **b** negativ gegen U_{SS} (NS-Mode); **c** positiv gegen U_{DD} (PD-Mode); **d** negativ gegen U_{DD} (ND-Mode).

Neben den betrachteten Möglichkeiten kann es noch vorkommen, dass durch ESD verursachte Ströme in ein Pad fließen und an einem anderem Pad, das nicht mit einer Versorgungsspannung, sondern das mit einer Signalleitung verbunden werden soll, wieder herausfließen. Der durch ESD verursachte Strom fließt also über irgendwelche Pads und kann unerwartete Schäden in den internen Schaltungen verursachen. Um dieser Situation gerecht zu werden, wurden zwei weitere Tests in die Standards aufgenommen. Dies sind der Pin zu Pin Test und der $(U_{DD} - U_{SS})$ -Test.

Beim Pin zu Pin Test wird der negative oder der positive ESD-Spannungspuls an ein ausgewähltes Eingangs- oder Ausgangspin angelegt, während alle anderen Signalpins an Masse liegen. Die Versorgungsleitungen sind jedoch nicht angeschlossen (siehe Bild 4.34). Beim $(U_{DD} - U_{SS})$ -Test werden positive oder negative ESD-Spannungspulse an das U_{DD} -Pin angelegt, wobei der U_{SS} -Anschluss an Masse liegt und alle Signalpins leerlaufen (siehe Bild 4.35).

Die beiden zuletzt angesprochen Tests sind sehr kritisch, da sie Schäden, die sehr schwer zu finden sind, in den internen Schaltungen verursachen können, obwohl ESD-Schutzstrukturen an den Ein- und Ausgängen eingesetzt werden.

Man versucht mit zusätzlichen Schutzstrukturen zwischen den Versorgungsspannungen ($(U_{DD} - U_{SS})$ -Begrenzung) dieses Problem zu lösen. Schaltungen mit mehreren Versorgungsspannungsnetzen oder gar mit unterschiedlichen U_{DD} -Potentialen erschweren zusätzlich das Problem. Zusätzlich zu den besprochen ESD-Tests sollten noch Tests für CDM vorgesehen werden. Weitere Information zu diesen Tests findet der Leser in der Literatur [43, 116, 115].

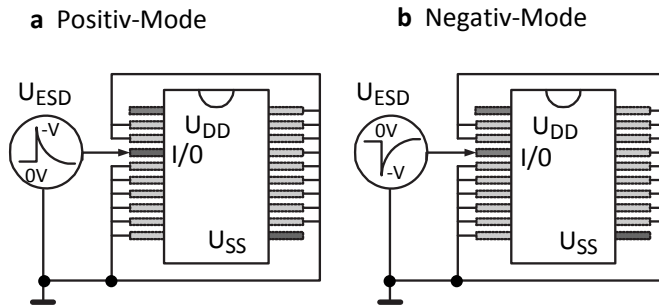


Bild 4.34 Pin zu Pin Test, an das ausgewählte Pin wird ein positiver oder negativer ESD-Puls angelegt, wobei alle anderen Signalpins an Masse liegen und die Pins für die Versorgungsspannungen nicht angeschlossen sind [115].

4.5.3.3 ESD-Schaltungen

Es gibt im Wesentlichen zwei Wege, wie eine statische Entladung den Chip zerstören kann. Am Eingang eines MOS-Chips sind die Durchbrüche des Gate-Oxids eine häufige Ausfallursache. Die kritische Feldstärke für einen Gate-Oxid-Durch-

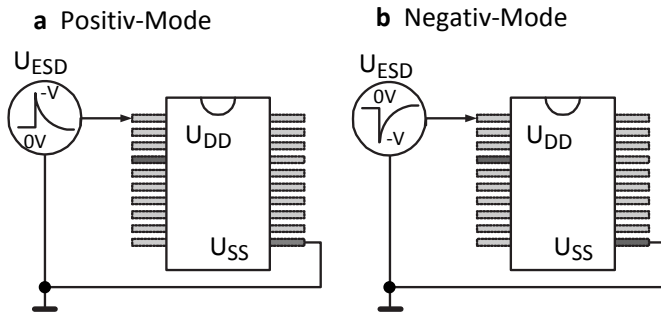


Bild 4.35 ($U_{DD} - U_{SS}$)-Test, an das U_{DD} -Pin wird ein positiver oder negativer ESD-Puls angelegt, wobei das U_{SS} -Pin an Masse liegt und alle anderen Signalpins nicht angeschlossen sind [115].

bruch beträgt etwa 8 bis 10 MV/cm. Die Oxidschicht mit einer Dicke von etwa 3 nm einer 0,18 μm -Technologie kann daher von einer Spannung, die kleiner als 4 V ist, beschädigt werden.

Thermisches Überhitzen von Silizium, insbesondere von pn-Übergängen an den Ausgängen, von Polysiliziumleitungen oder von Metallleitungen ist eine weitere Ausfallursache. Die auf dem Kondensator des Ersatzschaltbildes gespeicherte Ladung reicht aus, um ein großes Siliziumvolumen zu erhitzen (nach [66] etwa $45000 \mu\text{m}^3$). Die Ursache für das thermische Überhitzen sind die hohen Ströme, die während eines elektrostatischen Entladung fließen können. Verstärkt wird dieser Effekt noch dadurch, dass Silizium ein schlechter Wärmeleiter ist.

Wegen der beiden Ausfallursachen sollen Ein- und Ausgangsschutzschaltungen zwei Dinge bewirken. Zum einem sollen die hohen Entladeströme in niederohmigen Pfaden abgeleitet werden. Zum anderem sollen die Spannungen an den Bondpads an niedrige Spannungsniveaus festgeklemmt werden, um Durchbrüche der Gate-Oxide zu verhindern.

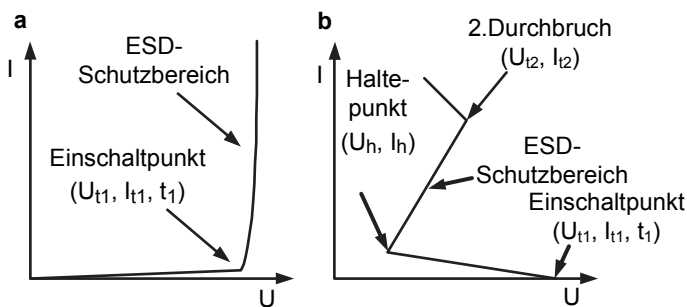


Bild 4.36 Typische Strom-Spannungs-Kennlinien für ESD-Schutzschaltungen [236]: **a** einfache Kennlinie; **b** Kennlinie mit negativem Ast.

Wie Bild 4.36 zeigt, gibt es zwei Konzepte, mit denen die angegebenen Ziele erreicht werden können. Die eine Option ist eine Schutzschaltung mit einer einfachen Kennlinie (Bild 4.36a). Der Schutz wirkt, wenn die Eingangsspannung einen Grenzwert U_{t1} überschreitet und ein niederohmiger Pfad geschaltet wird. Der Grenzwert U_{t1} sollte genügend klein sein, damit die dünnen Oxide geschützt sind. Andererseits sollte der Wert auch groß genug sein, zum Beispiel größer als U_{DD} , so dass der normale Betrieb nicht gestört wird. Der Strompfad muss genügend niederohmig sein, damit nicht zu viel Wärme generiert wird. Derartige Schutzschaltungen können leicht mit Schaltkreissimulatoren untersucht werden.

Die zweite Lösung basiert auf Strom-Spannungs-Kennlinien mit einem negativen Ast (Bild 4.36b). Am Einschaltpunkt (U_{t1} , I_{t1} und t_1) wird die Schutzschaltung eingeschaltet. Danach wird der Haltepunkt (U_h , I_h) erreicht. Je kleiner die Haltespannung U_h ist, um so weniger Leistung wird im Entladepfad in Wärme umgesetzt. Der Einschaltpunkt sollte entsprechend den Gegebenheiten der integrierten Schaltung gewählt werden. Die Leistungsfähigkeit der Schutzschaltung wird vom zweiten, dem thermischen Durchbruch (U_{t2} und I_{t2}) bestimmt.

Während früher vorrangig Schutzschaltungen nach dem Bild 4.36a konzipiert wurden, zum Beispiel indem pn-Übergänge als Dioden genutzt wurden, gewinnen heute Schutzschaltungen, deren Kennlinien einen negativen Ast enthalten (Bild 4.36b, immer mehr an Bedeutung. Es ist jedoch nachteilig, dass derartige Schutzschaltungen, wegen des negativen Astes der Kennlinie, nicht gemeinsam mit anderen Schaltungen mit den üblichen Schaltkreissimulatoren analysiert werden können.

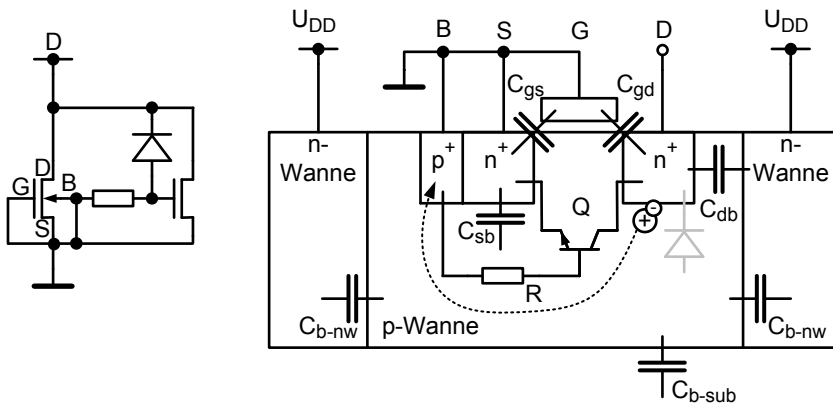


Bild 4.37 Querschnitt und Ersatzschaltbild für einen (grounded-gate) ggNMOS-Transistor.

Eine relativ einfache Schutzschaltung, die ohne zusätzliche Prozessschritte in der CMOS-Technologie zur Verfügung steht, ist die „grounded-gate NMOS“-Struktur (ggNMOS). Mit dieser Struktur wird eine Kennlinie mit negativem Ast erzielt. Drain ist mit dem I/O-Pad angeschlossen. Gate-, Source- und der Substratsanschluss sind mit Masse verbunden. Bild 4.37 illustriert eine derartige Struktur. Tritt im Verhältnis zu Masse ein positiver ESD-Spannungspuls auf, wird der Drain-Substrat-Übergang

in Sperrpolung betrieben. Überschreitet der Puls die Durchbruchspannung des pn-Übergangs tritt Lawinenmultiplikation auf. Die generierten Elektronen fließen zu Drain, während die Löcher über Substrat zum Substratanschluss abgeleitet werden. Da das Substrat einen Wannenwiderstand R aufweist, wird so eine Spannung U_R aufgebaut. Da außen der Substratanschluss und Source kurzgeschlossen sind, bildet sich eine positive Spannung am pn-Übergang zwischen Substrat und Source. Erreicht die Spannung U_R einen ausreichenden Wert, beginnt dieser pn-Übergang zu leiten und der parasitäre bipolare Transistor Q wird eingeschaltet. Der Einschalt- punkt der Schutzstruktur ist erreicht. Nun übernimmt der Emittterstrom des parasitären bipolaren Transistors den gesamten Stromfluss. Die Lawinenmultiplikation ist nun nicht mehr notwendig und die Drain-Source-Spannung kann wesentlich kleiner werden; der Haltepunkt ist erreicht.

Tritt ein negativer ESD-Spannungspuls am I/O-Pad auf, wird die Substrat-Drain-Diode in Vorwärtsrichtung betrieben. Der ESD-Strom wird somit abgeleitet. Damit im normalen Betrieb die Schutzschaltungen keine Leckströme verursachen, werden die Gate- und Source-Anschlüsse kurzgeschlossen.

Bild 4.38 zeigt eine typische Eingangsschutzstruktur, die sowohl für Eingänge als auch für Ausgänge geeignet ist. Der ggPMOS-Transistor übernimmt die Sicherung des Pads gegenüber U_{DD} . Allerdings ist der parasitäre pnp-Transistor weniger effektiv als der npn-Transistor der ggNMOS-Struktur, die die Sicherung gegenüber U_{SS} bewirkt. Daher muss der ggPMOS-Transistor wesentlich größer ausgelegt werden als der ggNMOS-Transistor. Bei einer Ausgangsschutzstruktur dreht man einfach die Reihenfolge der Schaltungen um; zuerst kommt der Treiber und dann die Schutzstruktur.

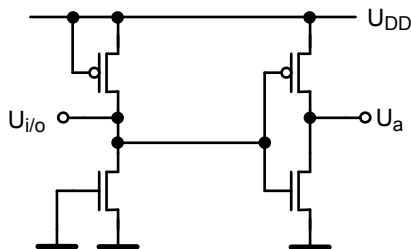


Bild 4.38 Vollständige ESD-Schutzstruktur für ein Eingangs-Pad, bestehend aus einem ggNMOS- und einem ggPMOS-Transistor, die gefolgt werden von einem Treiberinverter.

Es gibt noch andere Schutzstrukturen mit Kennlinien, die einen negativen Ast aufweisen, zum Beispiel parasitäre Feld-Oxid-Transistoren oder Thyristoren (SCR, Silicon Controlled Rectifier). Allerdings sind Thyristoren, die eine npnp-Struktur aufweisen, wegen der Gefahr des Latch-Up-Effektes im normalen Betrieb, schwierig zu entwerfen. Der Vorteil des Thyristors liegt in der Eigenschaft hohe ESD-Ströme bei kleiner Chipfläche ableiten zu können. Es gilt allgemein, wenn nach einer ESD-Attacke von außen keine Energie den verschiedenen Schutzstrukturen zugeführt wird, schalten sich diese ab.

Im Prinzip können die ESD-Schutzstrukturen für alle Pads benutzt werden. Jedoch sind Anpassungen an die jeweilige Aufgabe möglich. Zum Beispiel können bei Ausgangsschaltungen die großen Ausgangstransistoren als ESD-Schutz dienen. Unabhängig davon bleiben die Prinzipien, nach denen die Schutzstrukturen entworfen werden sollten, die Gleichen.

4.5.3.4 ESD-Schutzsysteme

Im letzten Abschnitt wurden einzelne Bauelemente, wie zum Beispiel ggNMOS-Transistoren zum Schutz gegen elektrostatische Entladungen besprochen. In der Vergangenheit waren diese Strukturen ausreichend. Jedoch werden mit dem Fortschreiten der CMOS-Technologie robustere und immer komplexere Schutzstrukturen notwendig. Wegen der gegenseitigen Beeinflussung von Schutzstrukturen und Kernschaltungen wird auf der Chipebene ein Systemansatz notwendig.

Häufig werden die Schutzstrukturen aus primären und aus sekundären Schutzstrukturen, die über einem Widerstand R verbunden sind, aufgebaut. Die primäre Schutzstruktur ESD_p hat die Aufgabe, den wesentlichen Teil des ESD-Stromes abzuleiten. Wie im Bild 4.39 gezeigt ist, kann diese Schutzstruktur mittels eines parasitären Feld-Oxid-Transistors realisiert werden. Hierfür werden auch Thyristoren,

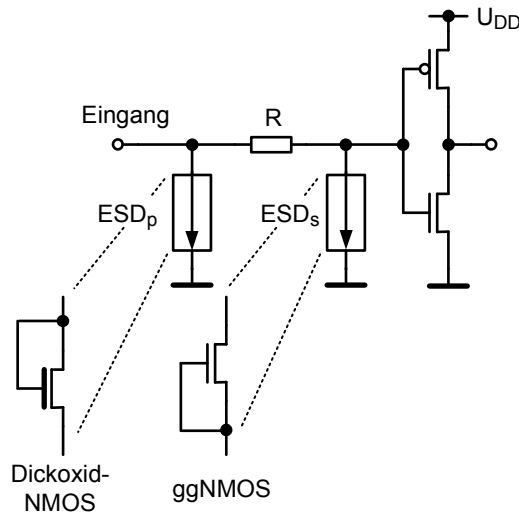


Bild 4.39 Schutzschaltung, die aus einer primären und aus einer sekundären Schutzstruktur sowie einem Widerstand R besteht [236].

wegen ihrer kleinen Chipfläche, eingesetzt. Die sekundäre Schutzstruktur, die aus einem ggNMOS-Transistor besteht, soll sicherstellen, dass die Eingangsspannung für die folgende CMOS-Schaltung auf einen ausreichend kleinen Wert festgeklammert wird. Da die primäre Schutzschaltung eine hohe Einschaltspannung U_{t1} besitzt, soll

der Widerstand R dazu beitragen, dass eine hohe Spannung für die primäre Schutzstruktur aufgebaut wird. Zusätzlich soll der Stromfluss begrenzt werden. Sobald ein positiver ESD-Puls auftritt, wird die sekundäre Schutzstruktur eingeschaltet und der Strom fließt über diesen niederohmigen Pfad nach Masse. An der linken Seite des Widerstandes wird eine Spannung aufgebaut, die möglicherweise die primäre Schutzstruktur einschaltet. Damit nun der Entladestrom über die primäre Struktur fließt, muss der primäre Pfad einen kleineren Widerstand als der sekundäre Pfad haben. Es wird daran gearbeitet dieses Konzept mit den beiden Schutzstrukturen durch eine einzige Struktur abzulösen. Dabei sollte beachtet werden, dass einfache Lösungen vorzuziehen sind.

Im Abschnitt 4.5.3.2 wurde bereits festgestellt, dass ESD-Tests zwischen allen Anschlüssen in beiden Richtungen möglich sein müssen. Daher muss ein leitender Pfad von einem Pad zu jedem anderem Pad auf einem Chip vorhanden sein.

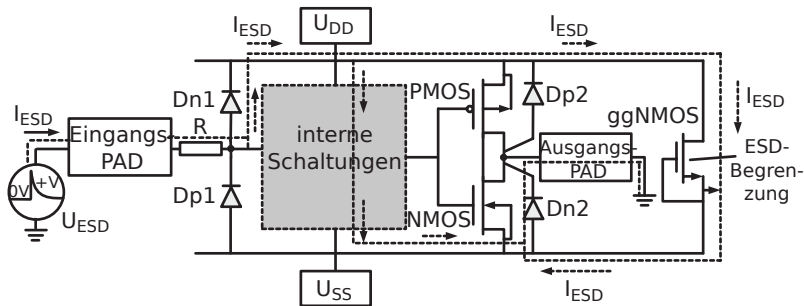


Bild 4.40 Entladepfad für eine elektrostatische Entladung bei Pin zu Pin Testbedingung. ESD Begrenzung zwischen der U_{DD} - und U_{SS} -Leitung erfolgt mittels ggNMOS-Transistor [70].

In Bild 4.40 ist ein Beispiel für eine Pin zu Pin ESD-Schutzstruktur, die den gesamten Chip einbezieht, dargestellt. Die Schutzstrukturen zwischen den Pads und der U_{DD} - beziehungsweise der U_{SS} -Leitung sind hier einfache Dioden. Die ESD-Begrenzung zwischen den beiden Versorgungsleitungen, die frei schwebend sind, wird von einem „grounded gate“-NMOS-Transistor übernommen. Bei der eingezeichneten ESD-Attacke soll der Entladestrom nicht über die internen Schaltungen, sondern, wie gezeigt, über die U_{DD} -Leitung, den ggNMOS-Transistor, der U_{SS} -Leitung und schließlich über die Diode D_{n2} und dem Ausgangs-Pad nach Masse fließen. Besonders kritisch in dieser Schaltung ist der Schutz bei $(U_{DD} - U_{SS})$ -Überspannung. Deswegen werden zusätzlich Schaltungen eingesetzt, die ESD-Pulse erkennen und entsprechend das Gate des NMOS-Transistors steuern [70].

4.6 Analoge Grundsaltungen

Logik- und Speicherchips enthalten auch analoge Schaltungen. Zum Beispiel müssen in Speicherschaltungen bei einem Lesevorgang kleine Signale von etwa 30 mV bis 200 mV auf den Bitleitungen verstärkt werden (siehe Kapitel 6.5.3, Bild 6.54). Diese kleinen Signale zuverlässig zu erkennen, ist eine schwierige Aufgabe. Ein anderes Beispiel sind spannungsgesteuerte Oszillatoren (Voltage Controlled Oscillator) VCO, die in Kapitel 5.4.1.1 im Rahmen von Phasenregelschleifen (PLL) erläutert werden. Schließlich basiert eine wichtige Logikfamilie, nämlich die „Current Mode Logic“ auf Differenzstufen. Eine gut verständliche und umfassende Darstellung der analogen Schaltungstechnik findet der Leser unter den Literaturstellen [69, 70, 126, 182]. Zum Verständnis von analogen Teilschaltungen in ansonsten digitalen Bausteinen wird vorrangig die Kenntnis von zwei Grundsaltungen – Stromspiegelschaltungen und Differenzstufen – benötigt. Diese werden nun näher beschrieben.

4.6.1 Stromspiegelschaltungen

Mit Stromspiegelschaltungen werden Stromquellen und aktive Lastwiderstände realisiert. Bild 4.41 zeigt das Schaltbild einer einfachen Stromspiegelschaltung. Mittels des Referenzstroms I_{Ref} wird im linken Zweig der Schaltung eine konstante Spannung U_{GS1} erzeugt. Die eindeutige Abhängigkeit der Gate-Source-Spannung von M1 vom Referenzstrom I_{Ref} wird vom Kurzschluss zwischen Gate und Drain von M1 erzwungen. Der Referenzstrom berechnet sich näherungsweise wie folgt

$$I_{\text{Ref}} = \frac{U_{\text{DD}} - U_{\text{GS1}}}{R_{\text{L}}} = \frac{U_{\text{DD}} - U_{\text{T1}} - \sqrt{\frac{2 \cdot I_{\text{D}}}{\beta_1}}}{R_{\text{L}}} \quad (4.83)$$

$$I_{\text{Ref}} \approx \frac{U_{\text{DD}} - U_{\text{T1}}}{R_{\text{L}}} \quad (4.84)$$

für

$$\beta \gg 1 \quad .$$

Der Transistor M1 hat ein großes W/L-Verhältnis, deswegen kann der Ausdruck unter der Wurzel in Gleichung 4.83 vernachlässigt werden. Der Transistor befindet sich wegen des Kurzschlussbügels in Sättigung, wenn ein Strom fließt.

Die Gate-Source-Spannung des Transistors M1 steuert das Gate des Transistors M2. Diese wiederum bewirkt einen Ausgangsstrom I_{a} , der ein Spiegelbild des Referenzstroms ist, wenn man die Kanallängenmodulation vernachlässigt. Der Transistor M1 dient dazu, den Referenzstrom, der auch intelligenter gewonnen werden kann [69], zu messen, während der Transistor M2 den „Spiegelstrom“ erzeugt.

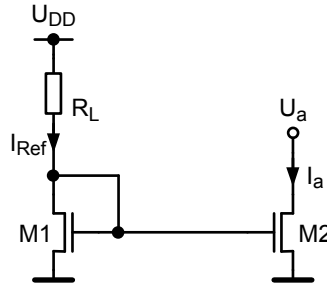


Bild 4.41 Einfache Stromspiegelschaltung.

Tatsächlich können die beiden Transistoren unterschiedlich dimensioniert werden. Die beiden Ströme haben dann ein konstantes Größenverhältnis zueinander

$$\frac{I_a}{I_{\text{Ref}}} \approx \frac{W_2/L_2}{W_1/L_1} \quad (4.85a)$$

In Stromspiegelschaltungen sind mehrere Störeffekte zu beachten. Aufgrund der Herstellungstoleranzen gelingt es auch für benachbarte Transistoren nicht identische Transistoren zu realisieren. Wegen der unterschiedlichen Einsatzspannungen und Kanallängen von M1 und M2 ist I_a nicht ein exaktes Spiegelbild von I_{Ref} . Wegen der Kanallängenmodulation hat der Transistor M2 einen endlichen Ausgangswiderstand. Damit ist der Strom I_a schwach von der Ausgangsspannung U_a abhängig. Weiter beeinflussen Schwankungen der Versorgungsspannung und der Temperatur den Ausgangsstrom.

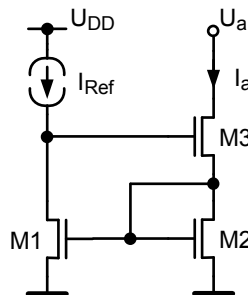


Bild 4.42 Wilson-Stromquelle.

Wie in der bipolaren Schaltungstechnik erzielt man auch in der MOS-Technik mit einer Wilson-Stromquelle eine Erhöhung des Ausgangswiderstands. Damit wird der Ausgangsstrom unempfindlicher gegen Schwankungen der Ausgangsspannung. Die Verbesserung beruht auf einer Gegenkopplung. Die Gate-Source-Spannung von M3 ist gleich der Drain-Gate-Spannung von M1. Eine qualitative Betrachtung zeigt, dass eine Erhöhung des Ausgangsstroms I_a die Gate-Source-Spannungen von M1

und M2 vergrößern. Dadurch wird, da der Referenzstrom konstant bleibt, die Gate-Source-Spannung von M3 und damit die Drain-Gate-Spannung von M1 kleiner. Die Wirkung ist entgegengesetzt zur Ursache. In der angegebenen Literatur findet man weitere Vorschläge, wie Stromspiegelschaltungen verbessert werden können.

4.6.2 Differenzstufen

4.6.2.1 Differenzstufe mit Ohm'scher Last

In Kapitel 4.3 wurde bereits erläutert, wie mittels Inverter kleine eingehende Signale verstärkt werden können. Bei einem Inverter sind die Eingangs- und die Ausgangssignale in Bezug auf Masse definiert. Üblicherweise denkt man sich das Eingangssignal zusammengesetzt aus einem Gleichanteil und einem Wechsignal, das dem Gleichanteil überlagert ist. Das Problem mit Invertern ist, dass sowohl die Schwankungen des Nutzsignals als auch die von Störungen verursachten Schwankungen des Gleichanteils gleichermaßen verstärkt werden. Das Ausgangssignal eines Inverters spiegelt unerwünschterweise beide Änderungen wieder.

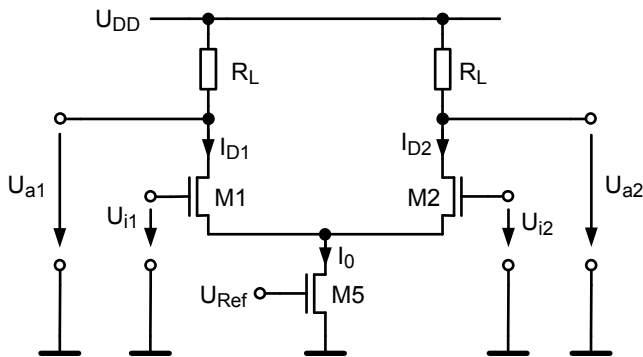


Bild 4.43 Differenzstufe mit Ohm'scher Last.

Mit Differenzstufen kann das Problem weitgehend entschärft werden. In der Literatur findet man unter [69, 70, 182] umfassende, klare und gut verständliche Darstellungen der Materie. Hier kann nur eine knappe Beschreibung eingefügt werden. Bild 4.43 zeigt die einfachste Struktur einer Differenzstufe. Die Eingänge werden von zwei n-Kanal-Transistoren (M1 und M2), deren Source-Anschlüsse miteinander und mit dem Drain des Transistors M5 verbunden sind, gebildet. Indem man die beiden Eingangstransistoren in eine eigene Wanne legt und indem man das gemeinsame Source-Potential als Wannenpotential nutzt, wird für die Transistoren M1 und M2 der Substratsteuereffekt vermieden. Im Kleinsignalersatzschaltbild für die Transistoren M1 und M2 kann somit die Stromquelle aufgrund des Substratsteuereffekts

tes ($a_{1,2} \cdot g_{m1,2} \cdot u_{SB1,2}$) weggelassen werden. Die beiden Ohm'schen Widerstände R_L dienen, wie bei den Invertern mit Ohm'schen Lasten, als Lastwiderstände.

Die Eingangs- (U_{ind}) und die Ausgangsspannung (U_{ausd}) wird nun nicht mehr in Bezug auf Masse, sondern als Differenz der auf Masse bezogenen Eingangs- und Ausgangsspannungen definiert (U_{in1} , U_{in2} , U_{aus1} und U_{aus2}). Es gilt

$$U_{ind} = U_{in1} - U_{in2} \quad (4.85b)$$

$$U_{ausd} = U_{aus1} - U_{aus2} \quad (4.85c)$$

Es ist für die weiteren Analysen sehr hilfreich sowohl am Eingang als auch am Ausgang zwei neue Spannungen – Gleichtaktsignal am Eingang U_{inc} (Common Mode Signal) und Gleichtaktsignal am Ausgang U_{ausc} – einzuführen

$$U_{inc} = \frac{1}{2} \cdot (U_{in1} + U_{in2}) \quad (4.85d)$$

$$U_{ausc} = \frac{1}{2} \cdot (U_{aus1} + U_{aus2}) \quad (4.85e)$$

In Bild 4.44 werden die Definitionen nach den Gleichungen 4.85b–4.85e veranschaulicht.

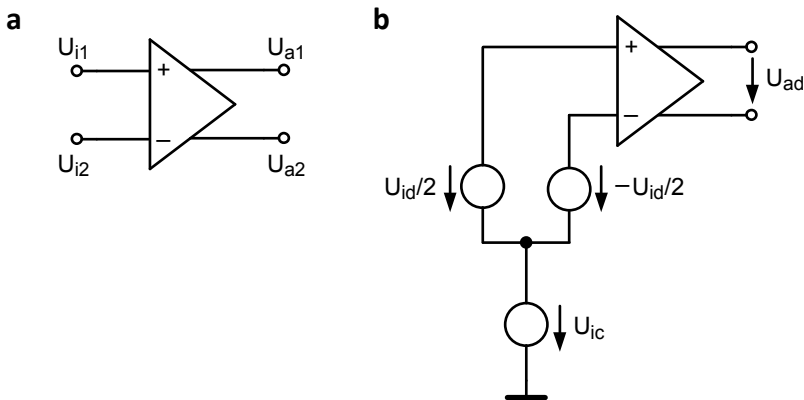


Bild 4.44 Differenzverstärker. **a** die Signale sind gegenüber Masse definiert, **b** die Eingangssignale werden mittels Gleichtaktspannung U_{inc} und Differenzspannung U_{ind} beschrieben [70].

Zunächst wird das Verhalten der Differenzstufe bei Aussteuerungen mit großen Signalen analysiert. Hierfür wird angenommen, dass für die Ausgangswiderstände der Transistoren M1, M2 und M5 gilt: $r_0 \rightarrow \infty$ ($\lambda_n = 0$). Anhand von Bild 4.43 erhält man folgende Gleichung

$$U_{in1} - U_{GS1} + U_{GS2} - U_{in2} = 0 \quad (4.86)$$

Es werden identische Transistoren M1 und M2 vorausgesetzt. Weiter sollen alle Transistoren im Sättigungsbereich arbeiten. Aus der Stromgleichung folgt

$$U_{GS1,2} = U_T + \frac{\sqrt{2 \cdot I_{D1,2}}}{\sqrt{\mu \cdot c_{ox} \cdot \left(\frac{W}{L}\right)}} \quad (4.87)$$

Dies in Gleichung 4.86 eingesetzt, ergibt

$$U_{ind} = U_{in1} - U_{in2} = \frac{\sqrt{2 \cdot I_{D1}} - \sqrt{2 \cdot I_{D2}}}{\sqrt{\mu \cdot c_{ox} \cdot \frac{W}{L}}} \quad (4.88)$$

Aus der Quellenfreiheit des Stroms folgt eine weitere Bestimmungsgleichung

$$I_{D1} + I_{D2} = I_0 = I_{D5} \quad (4.89)$$

Aus den Gleichungen 4.88 und 4.89, erhält man nach einigen Umformungen und indem man eine quadratische Gleichung löst

$$I_{D1} = \frac{I_0}{2} \pm \frac{\mu \cdot c_{ox} \cdot W}{4 \cdot L} \cdot U_{ind} \cdot \sqrt{\frac{4 \cdot I_0}{\frac{\mu \cdot c_{ox} \cdot W}{L}} - U_{ind}^2} \quad (4.90)$$

Da $I_{D1} > I_0/2$ für $U_{ind} > 0$ gilt nur das positive Vorzeichen in Gleichung 4.90 also [70]

$$I_{D1} = \frac{I_0}{2} + \frac{\mu \cdot c_{ox} \cdot W}{4 \cdot L} \cdot U_{ind} \cdot \sqrt{\frac{4 \cdot I_0}{\frac{\mu \cdot c_{ox} \cdot W}{L}} - U_{ind}^2} \quad (4.91)$$

Für den Strom I_{D2} erhält man

$$I_{D2} = \frac{I_0}{2} - \frac{\mu \cdot c_{ox} \cdot W}{4 \cdot L} \cdot U_{ind} \cdot \sqrt{\frac{4 \cdot I_0}{\frac{\mu \cdot c_{ox} \cdot W}{L}} - U_{ind}^2} \quad (4.92)$$

In der Praxis interessiert nicht der Strom I_{D1} oder I_{D2} , sondern die Differenz der beiden Ströme

$$\Delta I_D = I_{D1} - I_{D2} = \frac{\mu \cdot c_{ox} \cdot W}{2 \cdot L} \cdot U_{ind} \cdot \sqrt{\frac{4 \cdot I_0}{\frac{\mu \cdot c_{ox} \cdot W}{L}} - U_{ind}^2} \quad (4.93)$$

ΔI_D ist eine ungerade Funktion der Eingangsdifferenzspannung U_{ind} . Dies zeigt auch Bild 4.45. Wenn die Schaltung im Gleichgewicht ist, gilt: $\Delta I_D = 0$. Weiter lässt sich feststellen, dass eine Differenzstufe linearer ist als ein einfacher Inverter, da die geradzahlgigen Anteile der Taylor-Reihe, in die die Stromgleichung überführt werden kann, aufgrund der Differenzbildung fehlen.

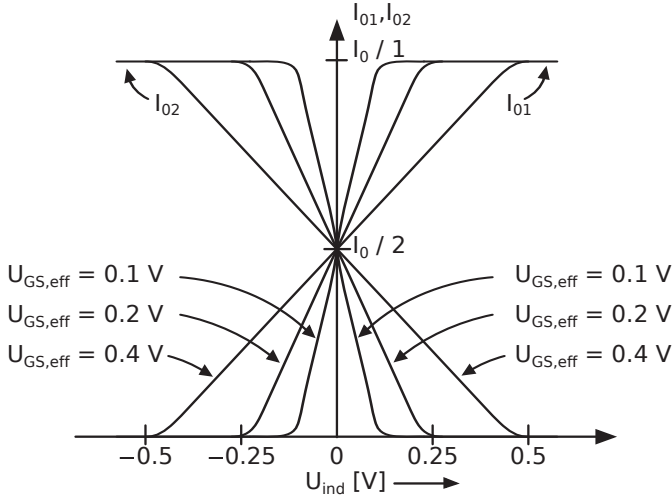


Bild 4.45 I_{D1} und I_{D2} in Abhängigkeit von der Eingangs differenzspannung U_{ind} mit der effektiven Gate-Source-Spannung $U_{GS1,2} - U_T$, die für $U_{ind} = 0$ bestimmt wird, als Parameter. I_0 Drain-Strom des Fußpunkttransistors M5 [70].

Die Ausgangsdifferenzspannung U_{ausd} lässt sich nun leicht angeben. Man erhält

$$\begin{aligned} U_{ausd} &= U_{aus1} - U_{aus2} = U_{DD} - I_{D1} \cdot R_L - U_{DD} + I_{D2} \cdot R_L \\ &= -\Delta I_D \cdot R_L \quad . \end{aligned} \quad (4.94)$$

Die Gleichungen 4.91 und 4.92 gelten nur wenn beide Transistoren M1 und M2 im Sättigungsbereich arbeiten. Aus Gleichung 4.88 folgt für den zulässigen Bereich, in dem die beiden Transistoren M1 und M2 in Sättigung sind,

$$|U_{ind}| \leq |U_{ind,max}| = \frac{\sqrt{2 \cdot I_0}}{\sqrt{\mu \cdot c_{ox} \cdot \left(\frac{W}{L}\right)}} \quad . \quad (4.95a)$$

Für $|U_{ind}| > U_{ind,max}$ fließt entsprechend dem Vorzeichen des Differenzsignals der gesamte vom Fußpunkttransistor M5 eingeprägte Strom I_0 entweder im linken oder im rechten Pfad. In beiden Fällen ist $|U_{ausd}| = I_0 \cdot R_L$. Der Strom in den Zuführungsleitungen ist immer konstant. In den Zuleitungen treten nur konstante Spannungsabfälle $I_0 \cdot R$ auf. Diese Betriebsart der Differenzstufe ist der Ausgangspunkt für CML (Current Mode Logic). Mit dieser Logikfamilie, die in Kapitel 4.8.1.4 behandelt wird, werden die höchsten Schaltgeschwindigkeiten erzielt.

Die letzte Gleichung kann umgeformt werden. Für $U_{ind} = 0$ ist $I_{D1} = I_{D2} = I_0/2$. Somit folgt aus Gleichung 4.95a

$$|U_{\text{ind,max}}| = \sqrt{2} \cdot \sqrt{\frac{2 \cdot I_{D1}}{\mu \cdot c_{\text{ox}} \cdot \left(\frac{W}{L}\right)}} \bigg|_{U_{\text{ind}}=0} = \sqrt{2} \cdot (U_{\text{GS1,2}} - U_{\text{T}}) \bigg|_{U_{\text{ind}}=0} . \quad (4.95b)$$

Gleichung 4.95b zeigt, dass der Bereich in dem beide Transistoren in Sättigung sind, proportional ist zur effektiven Gate-Source-Spannung $U_{\text{GS1,2}} - U_{\text{T}}$ für $U_{\text{ind}} = 0$. Diesen Zusammenhang stellt Bild 4.45 dar. Nimmt $U_{\text{GS}} - U_{\text{T}}$ ab, nimmt auch entsprechend der Bereich, in dem beide Transistoren M1 und M2 in Sättigung sind, ab. Ein typischer Wert ist $U_{\text{ind,max}} \approx 0,4 \text{ V}$. Dies ist kleiner als die Versorgungsspannung U_{DD} .

Eine ähnliche Betrachtung führt zu dem Bereich für U_{inc} , in dem die beiden Transistoren in Sättigung sind. Bedingung für Sättigung ist $U_{\text{GS}} - U_{\text{T}} < U_{\text{DS}}$. Daraus ergibt sich aus Bild 4.43

$$U_{\text{GS1}} + U_{\text{GS5}} - U_{\text{T5}} < U_{\text{inc}} < U_{\text{DD}} - R_{\text{L}} \cdot \frac{I_0}{2} + U_{\text{T}} . \quad (4.95c)$$

Die obere Grenze erhält man, wenn man bei einer symmetrischen Differenzstufe davon ausgeht, dass bei reiner Gleichtaktaussteuerung U_{aus1} und U_{aus2} nahezu konstant den Wert $U_{\text{DD}} - R_{\text{L}} \cdot I_0/2$ haben. Die untere Grenze folgt aus der Bedingung, dass der Transistor M5 in Sättigung sein soll.

Mit unserem Verständnis für die zur Verfügung stehenden Bereiche für das Eingangsgleichtaktsignal und das Eingangsdifferenzsignal, kann eine weitere wichtige Frage beantwortet werden. Nämlich, wenn die Differenzstufe als Verstärker arbeiten soll, wie groß kann bei gegebenen Eingangsgleichtaktsignal das differentielle Ausgangssignal sein? Die Antwort ist, damit M1 und M2 in Sättigung sind, kann jeder Ausgang U_{aus1} oder U_{aus2} so groß wie U_{DD} sein, aber in etwa nicht kleiner als $U_{\text{inc}} - U_{\text{T}}$. Das heißt, das Eingangsgleichtaktsignal sollte relativ klein sein. Es ist darauf zu achten, dass die positive und die negative Halbwelle des Ausgangssignals gleich groß sein können.

Nach der Großsignalanalyse werden nun die elektrischen Eigenschaften der Differenzstufe bei kleinen Aussteuerungen untersucht. Bei einer idealisierten Betrachtung geht man zunächst davon aus, dass die Differenzstufe vollkommen symmetrisch ist, das heißt die Transistoren M1 und M2 sowie die beiden Lastwiderstände sind identisch. Die beiden Transistoren sollen im Sättigungsbereich arbeiten. Somit werden die besten elektrischen Eigenschaften erzielt. Es ist für das Verständnis der Schaltung von zentraler Bedeutung, dass der Transistor M5 die Schaltung mit einem konstanten Strom $I_0 = I_{\text{D5}}$ versorgt; das heißt M5 soll als eine Konstantstromquelle wirken. Dieses Ziel wird mit $r_{05} \rightarrow \infty$ ($\lambda_{\text{n5}} = 0$) erreicht. Es gilt dann

$$I_{\text{D1}} + I_{\text{D2}} = I_0 = I_{\text{D5}} . \quad (4.95d)$$

Da bei einer Kleinsignalbetrachtung alle konstanten Potentiale als Masse aufgefasst und alle konstanten Ströme weggelassen werden können, folgt

$$i_{\text{D1}} + i_{\text{D2}} = 0 . \quad (4.96a)$$

Mit der Annahme, dass die Ausgangswiderstände der Transistoren M1 und M2 sehr groß sind ($r_{0n1,2} \rightarrow \infty$) und dass die Einsatzspannungen $U_{T1,2}$ unabhängig sind von den Source-Bulk-Spannungen ($g_{mb1,2} = 0$), erhält man aus den Kleinsignalersatzschaltbild für die Source-Ströme von M1 und M2

$$i_{D1} = g_{m1} \cdot (U_{in1} - U_{DS5}) \quad (4.96b)$$

$$i_{D2} = g_{m2} \cdot (U_{in2} - U_{DS5}) \quad (4.96c)$$

Die Summe der beiden Ströme ist Null, daher

$$U_{DS5} = \frac{1}{2} \cdot (U_{in1} + U_{in2}) = u_{inc} \quad (4.96d)$$

Die Differenz der beiden Ströme ergibt

$$i_{D1} = -i_{D2} = \frac{1}{2} \cdot g_{m1,2} \cdot (U_{in1} - U_{in2}) = \frac{1}{2} \cdot g_{m1,2} \cdot u_{ind} \quad (4.96e)$$

Wegen der Symmetrie der Schaltung gilt bei einer idealisierten Betrachtung, dass U_{DS5} nur von der Gleichtaktspannung U_{inc} abhängig ist. Bei konstantem Gleichtakt-signal U_{inc} ist auch U_{DS5} konstant. Die Eingangsdifferenzspannung U_{ind} beeinflusst die Aufteilung des eingepprägten Stroms I_0 auf den linken und rechten Zweig.

Ist die Differenzstufe vollkommen symmetrisch und wird der Transistor M5 als ideale Stromquelle aufgefasset, teilt sich der Strom $I_{D5} = I_0$ bei einer reinen Gleich-taktaussteuerung immer gleichmäßig auf beide Zweige auf. Über die Lastwiderstände fließen konstante Ströme. Deswegen sind die Ausgangsspannungen U_{aus1} , U_{aus2} und U_{ausd} ebenfalls konstant. Durch Störungen verursachte Schwankungen der Gleichtaktspannung U_{inc} werden unterdrückt. Hat der Transistor M5 einen endlichen Ausgangswiderstand, so variieren zwar die auf Masse bezogenen Ausgangsspannungen U_{aus1} und U_{aus2} aber nicht die Ausgangsdifferenzspannung U_{ausc} . Die Differenzstufe unterdrückt also Störungen des Eingangsgleichtaktsignals.

Liegt nur ein rein differentielles Eingangssignal vor, das heißt U_{in1} ändert sich von U_0 nach $U_0 + u_{in1}$ und U_{in2} von U_0 nach $U_0 - u_{in1}$, u_{in1} und u_{in2} haben die gleichen Beträge aber entgegengesetzte Vorzeichen, dann ändert sich nach Gleichung 4.96d die Spannung U_{DS5} nicht. Bei einer Kleinsignalbetrachtung liegen die Source von M1 und M2 sowie Drain von M5 somit an Masse. Die Differenzstufe zerfällt in zwei identische Inverter. Das gesamte Wissen über das Kleinsignalverhalten von Invertern, das in Kapitel 4.3.1 abgeleitet wurde, kann entsprechend auf die Differenzstufe übernommen werden (Half Circuit Technique) [70].

Anhand des Kleinsignalersatzschaltbildes von Bild 4.46 lässt sich die Übertragungsfunktion v_d für eine rein differentielle Aussteuerung mittels der Kirchhoff'schen Gleichung (Summe der hinlaufenden Ströme gleich Summe der weglaufenden Ströme) leicht ermitteln. Man erhält

$$v_d = \frac{U_{ausd}}{U_{ind}} = - \frac{g_m - j\omega \cdot C_{GD}}{\frac{1}{R_L} + j\omega \cdot (C_L + C_{GD})} \quad (4.97a)$$

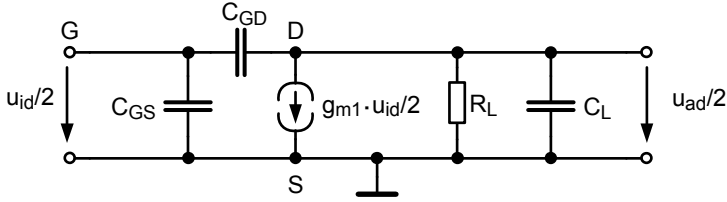


Bild 4.46 Kleinsignalersatzschaltbild einer Differenzstufe mit Ohm'scher Last bei reiner differentieller Aussteuerung und Anwendung der „Half Circuit Technique“ [70].

Für kleine Frequenzen ergibt sich

$$v_{d0} = -g_m \cdot R_L \quad (4.97b)$$

mit $g_m = g_{m1} = g_{m2}$ und $C_{GD} = C_{GD1} = C_{GD2}$.

Soll der Ausgangswiderstand der Transistoren M1 und M2 ebenfalls berücksichtigt werden, muss R_L durch die Parallelschaltung von R_L und $r_{on1,2}$ ersetzt werden.

Die Übertragungsfunktion v_d hat einen dominierenden Pol mit der Frequenz

$$\omega_{3dB} = \frac{1}{R_L \cdot C_L} \quad (4.97c)$$

und ein Verstärkungs-Bandbreite-Produkt von

$$\omega_u = |v_d| \cdot \omega_{3dB} = \frac{g_{m1,2}}{C_L^*} \quad (4.97d)$$

mit $C_L^* = C_L + C_{GD}$. Die ebenfalls vorhandene Nullstelle wird, wie bei den Invertiern, meistens vernachlässigt.

In Kapitel 4.3.2.2 wurde die Sprungantwort bereits abgeleitet. Man erhält

$$u_A \propto 1 - e^{-\tau/r} \quad (4.98a)$$

mit

$$\tau = \frac{1}{\omega_{3dB}} = \frac{v_{d0}}{\omega_u} \quad (4.98b)$$

Das Verstärkungs-Bandbreite-Produkt ω_u wird von der Verlustleistung und der gegebenen Technologie bestimmt. Wenn ein eingehendes Signal verstärkt werden muss, ist die 3 dB-Grenzfrequenz entsprechend kleiner als das Verstärkungs-Bandbreite-Produkt. Der Einschwingvorgang dauert länger. Für $\omega_{3dB} = \omega_u$ ist der Einschwingvorgang am kürzesten, jedoch wird das eingehende Signal nicht verstärkt. Schaltet man mehrere Differenzstufen in Reihe, kann man die Verstärkung pro Stufe kleiner gestalten und so die Einschwingzeit auf Kosten der Fläche und der Verlustleistung etwas verkürzen [182]. Bisher wurde nur eine rein differentielle Aussteuerung betrachtet. Nun wird eine reine Gleichtaktaussteuerung U_{inc} bei $u_{ind} = 0$

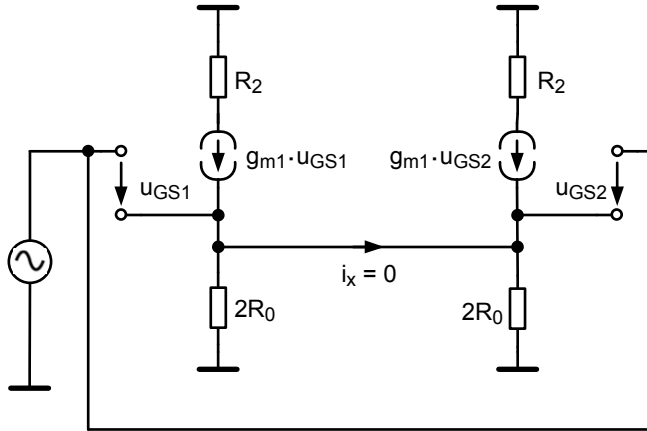


Bild 4.47 Ersatzschaltbild bei reinem Gleichtaktbetrieb.

untersucht. Der Fußpunkttransistor M5, der als Stromquelle dient, soll einen endlichen Ausgangswiderstand R_0 haben. Das Ersatzschaltbild zeigt Bild 4.47. In diesem Schaltbild wurden die Ausgangswiderstände der Transistoren M1 und M2 vernachlässigt. Der Ausgangswiderstand R_0 des Fußpunkttransistors M5 wurde durch zwei parallel geschaltete Widerstände $2 \cdot R_0$ ersetzt. Aus der Symmetrie der Schaltung nach Bild 4.47 folgt

$$i_x = 0 \quad . \quad (4.99)$$

Ohne dass sich das elektrische Verhalten ändert, kann der Draht, der die beiden Teile der Schaltung verbindet, durchtrennt werden. Wieder kann die Übertragungsfunktion u_{ac}/u_{inc} mittels einer halben Schaltung berechnet werden. Die sich ergebende Schaltung nennt man Inverter mit Source-Degeneration. Wird das Gleichtaktsignal U_{inc} erhöht, vergrößert sich zunächst die Gate-Source-Spannung zum Beispiel des Transistors M1, was einen höheren Querstrom im linken Pfad bedeutet. Damit fällt aber eine größere Spannung über dem Widerstand $2 \cdot R_0$ ab. Es ergibt sich eine Gegenkopplung, da die Wirkung der Ursache entgegengerichtet ist. Aus der Quellenfreiheit des Stromes folgt für den linken Zweig, wenn die Spannung $u_s = u_{DSS}$ über dem Widerstand $2 \cdot R_0$ abfällt,

$$(u_{inc} - u_s) \cdot g_m = \frac{u_s}{2 \cdot R_0} \quad (4.100a)$$

und

$$\frac{u_{ac}}{R_L} = - \frac{u_s}{2 \cdot R_0} \quad . \quad (4.100b)$$

Aus den letzten beiden Gleichungen ergibt sich

$$v_c = \frac{u_{ac}}{u_{inc}} = \frac{g_m \cdot R_L}{1 + 2 \cdot g_m \cdot R_0} \approx \frac{R_L}{2 \cdot R_0} \quad (4.100c)$$

für $g_m \cdot R_0 \gg 1$.

Mit $R_L < R_0$ wird wunschgemäß die eingehende Aussteuerung des Gleichtaktsignals nicht verstärkt sondern gedämpft.

Als Maß, wie stark die Änderung des Gleichtaktsignals u_{inc} das Ausgangssignal U_A beeinflusst, dient die Gleichtaktunterdrückung (*CMRR* Common Mode Rejection Ratio). Zur Definition der Gleichtaktunterdrückung wird das vollständige Differential, das die Abhängigkeit der Ausgangsspannungen U_A von den beiden Eingangsspannungen angibt, untersucht

$$\Delta U_A = \left. \frac{\partial U_A}{\partial u_{ind}} \right|_{u_{inc}=0} \cdot \Delta u_{ind} + \left. \frac{\partial U_A}{\partial u_{inc}} \right|_{u_{ind}=0} \cdot \Delta u_{inc} \quad (4.101a)$$

$$\Delta U_A = v_d \cdot \Delta u_{ind} + v_c \cdot \Delta u_{inc} = v_d \cdot \left(\Delta u_{ind} + \frac{v_c}{v_d} \cdot \Delta u_{inc} \right) \quad (4.101b)$$

$$\Delta U_a = v_d \cdot \left(u_{ind} + \frac{u_{inc}}{CMRR} \right) \quad (4.101c)$$

mit

$$CMRR = \left| \frac{v_d}{v_c} \right|. \quad (4.101d)$$

Je größer die Differenzverstärkung v_d im Vergleich zur Gleichtakt Verstärkung v_c ist, desto größer ist die Gleichtaktunterdrückung. Typische Werte für *CMRR* liegen zwischen 10^3 und 10^5 . Gleichung 4.101b enthält einen Klammerausdruck. Deswegen gibt die Gleichtaktunterdrückung auch an, welche Differenzspannung betragsmäßig aufgewendet werden muss, um die Wirkung einer Gleichtaktaussteuerung auf den Ausgang zu kompensieren

$$|u_{ind}| = \frac{v_c}{v_d} \cdot u_{inc} \quad (4.101e)$$

Für kleine Frequenzen folgt aus den Gleichungen 4.97b und 4.100c

$$CMRR = 1 + 2 \cdot g_m \cdot R_0 \quad (4.101f)$$

Mit größerem Ausgangswiderstand R_0 des Fußpunkttransistors M5 vergrößert sich das *CMRR*. Im Layout muss angestrebt werden, dass Störsignale gleichermaßen beide Eingänge einer Differenzstufe beeinflussen, da wegen des Differenzprinzips sich diese Störungen dann nur unmerklich auswirken können.

Bisher wurde immer angenommen, dass die Differenzstufe symmetrisch ist. Jedoch unterscheiden sich aufgrund von lokalen Herstellungstoleranzen (siehe Kapitel 2.2.3.5) die Bauelemente im linken Pfad von denjenigen im rechten Pfad. Auch wenn ein reines Gleichtaktsignal anliegt, erhält man eine Ausgangsdifferenzspannung. Dies ist zum Beispiel der Fall, wenn die beiden Lastwiderstände unterschied-

liche Werte aufweisen. Man muss am Eingang eine Differenzspannung, die sogenannte Offsetspannung U_{off} , anlegen, um zu erzwingen, dass die Ausgangsdifferenzspannung zu Null wird. Nicht nur die Lastwiderstände sondern auch die beiden benachbarten Eingangstristoren sind nicht identisch. Die Offsetspannung gibt an, welche kleinste Spannungsdifferenz noch richtig von der Differenzstufe erkannt werden kann. Im nächsten Schritt wird nun die Offsetspannung in Abhängigkeit von den Herstellungstoleranzen bestimmt.

Die herstellungsbedingten Abweichungen von den Sollparametern sind üblicherweise klein im Verhältnis zu den Sollwerten. Wie in [70] werden Durchschnittswerte und Abweichung wie folgt definiert

$$\begin{aligned}\Delta I_D &= I_{D1} - I_{D2} \\ I_D &= \frac{I_{D1} + I_{D2}}{2}\end{aligned}\quad (4.102a)$$

$$\begin{aligned}\Delta \frac{W}{L} &= \left(\frac{W}{L} \right)_1 - \left(\frac{W}{L} \right)_2 \\ \frac{W}{L} &= \frac{\left(\frac{W}{L} \right)_1 + \left(\frac{W}{L} \right)_2}{2}\end{aligned}\quad (4.102b)$$

$$\begin{aligned}\Delta U_T &= U_{T1} - U_{T2} \\ U_T &= \frac{U_{T1} + U_{T2}}{2}\end{aligned}\quad (4.102c)$$

$$\begin{aligned}\Delta R_L &= R_{L1} - R_{L2} \\ R_L &= \frac{R_{L1} + R_{L2}}{2}.\end{aligned}\quad (4.102d)$$

Aus dem Schaltbild 4.43 und der Gleichung 4.86 erhält man

$$U_{\text{ind}} = U_{\text{GS1}} - U_{\text{GS2}} \quad , \quad (4.103a)$$

berücksichtigt man weiter die Stromgleichung im Sättigungsbereich folgt

$$U_{\text{ind}} = U_n + \sqrt{\frac{2 \cdot I_{D1}}{\mu \cdot c_{\text{ox}} \cdot \left(\frac{W}{L} \right)_1}} - U_{T2} \cdot \sqrt{\frac{2 \cdot I_{D2}}{\mu \cdot c_{\text{ox}} \cdot \left(\frac{W}{L} \right)_2}} \quad . \quad (4.103b)$$

Um die unterschiedlichen Lastwiderstände auszugleichen, werden verschiedene Drain-Ströme der Transistoren M1 und M2 benötigt. Die Transistoren M1 und M2 haben unterschiedliche W/L-Verhältnisse und unterschiedliche Einsatzspannungen. Die Oxiddicken seien identisch.

Die Ausgangsdifferenzspannung U_{ad} wird für

$$I_{D1} \cdot R_{L1} = I_{D2} \cdot R_{L2} \quad (4.103c)$$

zu Null. In diesem Fall gilt $U_{\text{ind}} = U_{\text{off}}$.

Die Gleichungen 4.102a bis 4.102d in Gleichung 4.103c eingesetzt, ergibt

$$U_{\text{off}} = \Delta U_T + (U_{\text{GS}} - U_T) \cdot \left(\sqrt{\frac{1 + \frac{\Delta I_D}{2 \cdot I_D}}{1 + \frac{\Delta(\frac{W}{L})}{2 \cdot (\frac{W}{L})}}} - \sqrt{\frac{1 - \frac{\Delta I_D}{2 \cdot I_D}}{1 - \frac{\Delta(\frac{W}{L})}{2 \cdot (\frac{W}{L})}}} \right) \quad (4.104a)$$

Nach einigen Näherungen erhält man

$$U_{\text{off}} = \Delta U_T + \frac{U_{\text{GS}} - U_T}{2} \cdot \left(\frac{\Delta I_D}{I_D} - \frac{\Delta(\frac{W}{L})}{\frac{W}{L}} \right) \quad (4.104b)$$

Wenn in einem Zweig der Lastwiderstand zu groß ist, muss der Drain-Strom kleiner werden, also

$$\frac{\Delta I_D}{I_D} = -\frac{\Delta R_L}{R_L} \quad (4.104c)$$

Somit ergibt sich schließlich für die Offsetspannung

$$U_{\text{off}} = U_T + \frac{U_{\text{GS}} - U_T}{2} \cdot \left(\frac{-\Delta R_L}{R_L} - \frac{\Delta(\frac{W}{L})}{\frac{W}{L}} \right) \quad (4.104d)$$

Der erste Term in Gleichung 4.104d wird von den lokalen Schwankungen der Einsatzspannung verursacht. Gleichung 2.183 beschreibt, dass die Varianz der Einsatzspannung aufgrund von lokalen Schwankungen umgekehrt proportional zur Gate-Fläche ist. Würde man Bipolartransistoren verwenden, entfielen dieser Term und man würde um eine Größenordnung geringere Offsetspannungen realisieren können. Die Einflüsse der Abweichungen der Lastwiderstände und der W/L-Verhältnisse auf die Offsetspannung werden von der effektiven Soll-Gate-Source-Spannung $U_{\text{GS}} - U_T$ gewichtet.

Wie in Kapitel 2.1.3.6 gezeigt wurde, sind die Drain-Ströme $I_{d1,2}$ von M1 und M2 temperaturabhängig. Aber wegen der inhärenten Differenzbildung wird die Temperaturabhängigkeit von M1 und M2 in etwa unterdrückt. Dies gilt nicht für die Temperaturabhängigkeit von M5 oder von den aktiven oder passiven Lasten. Es wurde bereits gezeigt, dass Herstellungstoleranzen die Offsetspannung bedingen. Weiter verursachen herstellungsbedingte unsymmetrische Pfade, dass eine reine Gleichtaktaussteuerung auch eine Ausgangsdifferenzspannung bewirkt und dass eine reine differentieller Eingangssteuerung auch eine Gleichtaktaussteuerung am Ausgang zur Folge hat. Für weitere Angaben wird der Leser auf die Literaturstelle [70] verwiesen.

4.6.2.2 Differenzstufe mit Stromspiegelschaltung als Last

Ähnlich wie bei Invertern, eignet sich die Differenzstufe mit Ohm'schen Lastwiderständen gut für die Ableitung der wichtigsten elektrischen Eigenschaften. Da hochohmige Lastwiderstände besondere Prozessschritte während der Herstellung

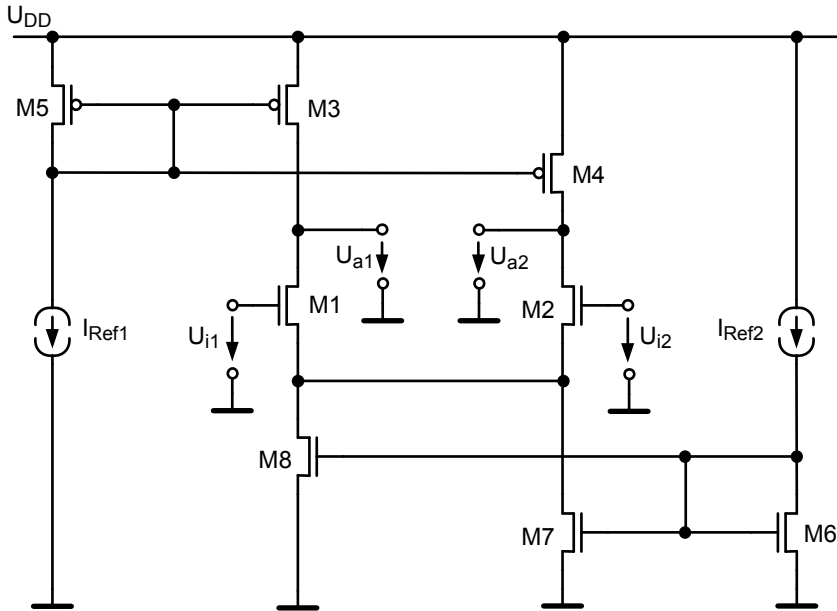


Bild 4.48 Differenzverstärker mit symmetrischer aktiver Last [70].

bedürfen, versucht man diese möglichst zu vermeiden. Als Ausweg bieten sich, wie bei Invertiern mit aktiver Last, p-Kanal-Transistoren an (siehe Bild 4.48, Transistoren M3 und M4). Nun stellt sich aber ein anderes Problem. Die Transistoren M3 und M4 sind wie die Transistoren M8 und M7 Stromquellen. Aufgrund von Herstellungstoleranzen gelingt es nicht identische Stromquellen zu realisieren. Um zu verhindern, dass die Stromquellen gegeneinander arbeiten, wird eine zusätzliche Gegenkopplung (Common Mode Feedback) eingesetzt. In integrierten Speichern, wie zum Beispiel SRAMs, sollte die benötigte Chipfläche möglichst klein sein. Daher ist der zusätzliche Platz für die Gegenkopplungsschaltungen von symmetrischen Verstärkern nicht vorhanden. Man verwendet stattdessen Differenzverstärker mit Stromspiegelschaltungen als Last nach Bild 4.49.

Bei einer Gleichtaktaussteuerung erzwingt die Stromspiegelschaltung der Transistoren M3 und M4, dass die beiden Drain-Ströme I_{D3} und I_{D4} identisch sind. Da die Summe der beiden Ströme dem Strom I_{D5} des Fußpunkttransistors M5 gleichen muss, folgt daraus, dass in jedem Zweig der aktiven Last der Strom $I_{D5}/2$ fließt. Eine zusätzliche Gegenkopplung ist nicht nötig, weil die Querströme nur von einer Stromquelle – dem Transistor M5 mit dem Strom I_{D5} – bestimmt werden.

Auf dem ersten Blick sieht man, dass in Bild 4.49 aufgrund der Stromspiegelschaltung die Symmetrie gebrochen ist. Weiter fällt auf, dass nun die Ausgangsspannung gegen Masse definiert ist. Die Schaltung hat einen differentiellen Eingang aber nur einen Ausgang (differential in, single ended out). Eine Kleinsignalrechnung für das Gleichtaktsignal und das Eingangsdifferenzsignal ist sehr mühsam. In

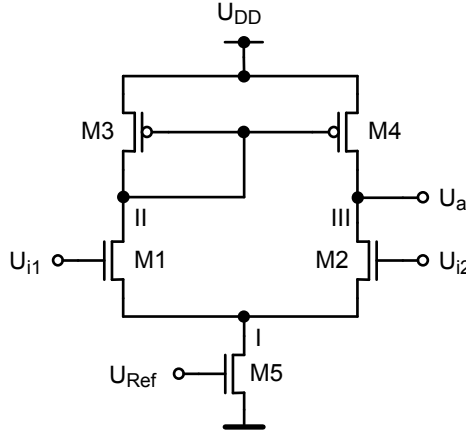


Bild 4.49 Differenzstufe mit Stromspiegel als Last: Schaltbild.

[70] werden die notwendigen Ableitungen ausführlich dargelegt. Mittels einer stark vereinfachten Betrachtung werden die dort ermittelten Ergebnisse verständlich.

Es existieren zwei Pfade von den Eingängen zu dem Ausgangsknoten III. Vom Knoten III aus gesehen, liegen die beiden Ausgangswiderstände der Transistoren M2 und M4 parallel, daher gilt für den Ausgangswiderstand R_A am Knoten III $R_A = r_{A2} || r_{A4}$. Wegen des Superpositionsprinzips tragen die Wirkungen der einzelnen Pfade additiv zum Gesamtergebnis bei. Die Gate-Source-Spannung des Transistors M1 moduliert den Drain-Strom I_{D1} , der wegen der Stromspiegelschaltung in den Knoten III phasengerecht eingespeist wird und mittels des Widerstands R_A wiederum in eine Spannung gewandelt wird. Vom Gate des Transistors M2 zum Ausgang ergibt sich eine Übertragungsfunktion wie bei einem Inverter. Insgesamt erhält man für die Übertragungsfunktion

$$v_d = \frac{u_A}{u_{\text{ind}}} = \frac{g_{m1,2}}{\frac{1}{R_A} + j\omega \cdot C_L} \quad (4.105a)$$

mit

$$R_A = \frac{r_{A2} \cdot r_{A4}}{r_{A2} + r_{A4}} \quad (4.105b)$$

Für $CMRR$ erhält man [70]

$$CMRR \approx g_{m1} \cdot r_{A5} \quad (4.105c)$$

Das $CMRR$ einer Differenzstufe mit Stromspiegelschaltung als Last ist nur halb so groß wie das $CMRR$ einer symmetrischen Differenzstufe.

Nach [70] errechnet sich die Offsetspannung der Differenzstufe mit Stromspiegelschaltung als Last (siehe Bild 4.49) zu

$$U_{\text{off}} = U_{T1} - U_{T2} + \frac{U_{\text{GSn0}} - U_{\text{TnS}}}{2} \cdot \left(\frac{U_{T3} - U_{T4}}{\frac{U_{\text{GSp0}} - U_{\text{TpS}}}{2}} + \frac{\Delta \frac{W_p}{L_p}}{\frac{W_p}{L_p}} - \frac{\Delta \frac{W_n}{L_n}}{\frac{W_n}{L_n}} \right) \quad (4.105d)$$

$U_{\text{GSn0}} - U_{\text{TnS}}$	Sollwert der effektiven Gate-Source-Spannung der n-Kanal-Transistoren
$U_{\text{GSp0}} - U_{\text{TpS}}$	Sollwert der effektiven Gate-Source-Spannung der p-Kanal-Transistoren
$U_{T1} - U_{T2}, U_{T3} - U_{T4}$	Abweichungen der Einsatzspannung benachbarter Transistoren
$\Delta(W_p/L_p), \Delta(W_n/L_n)$	Schwankungen der W/L-Verhältnisse von benachbarten n- und p-Kanal-Transistoren
$W_p/L_p, W_n/L_n$	Sollwerte der W/L-Verhältnisse

4.7 Latches, Flip-Flops und Register

Auf einem Chip müssen die Daten nicht nur verarbeitet sondern auch gespeichert werden. Hierfür steht eine Vielzahl von Speicherelementen zur Verfügung. Gegenwärtig werden fast ausschließlich getaktete Logikschaltungen, das sind synchrone Schaltungen, zum Beispiel in Mikroprozessoren eingesetzt. Das getaktete Speicherelement, sei es ein Paar von „Level Sensitive Latches“ oder ein flankengesteuertes Flip-Flop, ist daher wahrscheinlich das am häufigsten analysierte und diskutierte Schaltelement in einem Mikroprozessordesign.

Diese Behauptung ist gerechtfertigt, da die getakteten Speicherelemente helfen, die Daten zum richtigen Zeitpunkt einer weiteren Verarbeitung zuzuführen. Sie synchronisieren gleichzeitig arbeitende Logikpfade, die unterschiedliche Laufzeiten aufweisen. Getaktete Speicherelemente unterteilen Pipeline-Schaltungen. Sie speichern den gegenwärtigen Zustand und verhindern, dass dieser Zustand zu früh weitergeleitet wird. Jeder Logikpfad beginnt und endet mit einem getaktetem Speicherelement. Daher ist die Latenzzeit, das heißt die Gatterlaufzeit, des getakteten Speicherelements für die Taktperiode und damit für die Taktfrequenz von überragender Bedeutung.

Bei dem Entwurf eines Logikchips ist die Entscheidung ob ein Ein-Phasen-Taktsystem oder ob zwei nichtüberlappende oder gar mehrere Taktphasen verwendet werden und wie diese Signale auf dem Chip verteilt werden von grundlegender Bedeutung (siehe Kapitel 5). Von dieser Entscheidung hängt der Entwurf der getakteten Speicherelemente ab. Es sind sich zum Teil widersprechende Anforderungen zu erfüllen. Zum Beispiel sollte die Latenzzeit des Speicherelements und die Belastung der Takttreiberschaltungen gering sein. Natürlich wird zusätzlich eine geringe Verlustleistung angestrebt. Die Schaltungen sollten robust sein, das heißt die Funktion sollte möglichst unabhängig von Herstellungstoleranzen, Temperaturschwankungen und Schwankungen der Versorgungsspannung sein. Besonders wichtig ist, dass keine „Races“ auftreten, das heißt, dass in der Phase, in der der Ausgang des Speicher-

elements unabhängig von den Daten am Eingang sein soll, dies auch wirklich unter allen zulässigen Umständen gewährleistet wird. Andernfalls treten „Races“ auf. Es sollte angestrebt werden, dass Logikfunktionen zusätzlich in die Speicherelemente eingebaut werden können.

In diesem Kapitel werden zunächst nur die wichtigsten Grundsaltungen für getaktete Speicherelemente behandelt. Es werden ein Ein-Phasen-Taktsystem, ein komplementäres Ein-Phasen-Taktsystem, zwei nichtüberlappende Taktphasen oder zwei nichtüberlappende, komplementäre Taktphasen (pseudo Vier-Phasen-Takt) vorausgesetzt, wie sie in Bild 4.50 dargestellt sind. In Kapitel 5 werden die Vor- und Nachteile der verschiedenen Taktsysteme besprochen. In Bild 4.50b wird angezeigt, dass der inverse Takt $\overline{\Phi}$, der lokal oder zentral aus dem Takt Φ abgeleitet wird, in Bezug auf den Takt Φ zeitlichen Schwankungen unterworfen sein kann.

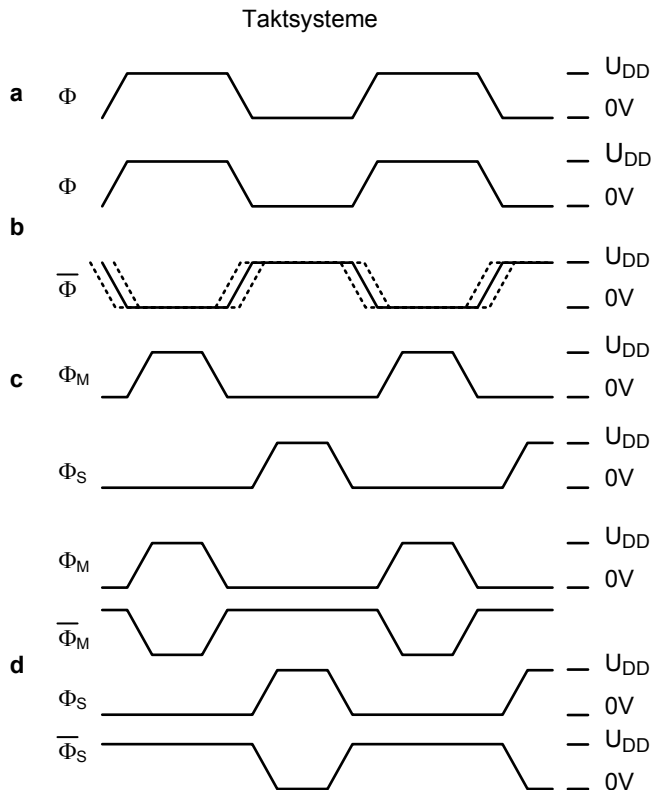


Bild 4.50 Taktsysteme: **a** Ein-Phasen-Takt; **b** komplementärer Ein-Phasen-Takt; **c** nicht überlappender Zwei-Phasen-Takt; **d** komplementärer Zwei-Phasen-Takt.

Man spricht von statischen oder von dynamischen Speicherelementen. Statische Speicherelemente haben im Kern eine bistabile Schaltung, das sind zwei mitgekoppelte Inverter oder Gatter. Diese Schaltungen bewahren ihre Information solange die

Versorgungsspannung eingeschaltet ist. Dynamische Speicher bewahren die Information in Form von Ladung für eine kurze Zeitspanne, vielleicht für Millisekunden auf einer Kapazität. Die logische Null entspricht einer entladenen Kapazität, während die auf die positive Versorgungsspannung aufgeladene Kapazität einer logischen Eins entspricht. Unglücklicherweise ist keine Kapazität ideal. Leckströme sind immer vorhanden. Eine gespeicherte Ladung kann daher nur für eine begrenzte Zeit bewahrt werden. Wenn für lange Zeit die Information erhalten werden soll, muss periodisch die gespeicherte Ladung erneuert werden (Refresh-Zyklen).

In der Literatur über sequentielle Schaltungen findet man oft mehrdeutige Definitionen für Latches, Flip-Flops und Register. In diesem Buch wird strikt an folgenden Definitionen festgehalten [182].

Ein Latch ist ein Bauelement, das zwei Eingänge C und D , sowie einen Ausgang Q hat. Oft wird auch der komplementäre Ausgang Q' generiert. Die Bezeichnung der Eingänge mit den Buchstaben C und D drückt aus, dass am Eingang D üblicherweise ein Datensignal angelegt wird, während am C -Eingang ein Taktsignal eingespeist wird. Wenn bei einem positiven Latch $C = 1$, dann folgt der Ausgang Q dem Wert des Eingangs D . Mit der fallenden Flanke des Signals C wird der zu dieser Zeit gültige Wert von D übernommen und der Ausgang bleibt von da an konstant solange gilt $C = 0$. Bei einem negativen Latch folgt der Ausgang dem Eingang für $C = 0$ und der Eingangswert wird mit der steigenden Flanke des Signals C übernommen. In der Literatur nennt man die beiden Schaltungen auch „Level Sensitive Latch“.

Ein flankengesteuertes Register hat die gleichen Ein- und Ausgänge wie ein Latch. Aber der Ausgang Q wechselt nur seinen Zustand bei der ansteigenden, der abfallenden oder bei beiden Flanken des C -Pulses. Das heißt bei ansteigenden oder abfallenden Flanken des C -Pulses übernimmt der Ausgang Q das Signal, das zu diesem Zeitpunkt am Eingang D anliegt. Zu allen anderen Zeitpunkten bleibt der Ausgang Q konstant.

Jede bistabile Schaltung, die mittels Mitkopplung von Invertern oder Gattern gebildet wird nennt man Flip-Flop. Flip-Flops können die Funktion eines Latches oder eines Registers haben.

Zunächst werden dynamische Latches und Register behandelt. Sodann werden statische Latches und Register besprochen. Einen Schwerpunkt bilden die Bewerter-schaltungen, die benötigt werden um einlaufende elektrische Signale logische Werte zuordnen. Ist das Eingangssignal zum Abtastzeitpunkt zu klein, kann Metastabilität auftreten. Mit diesem Thema wird das Kapitel abgeschlossen.

4.7.1 Einfache dynamische Latches

In der MOS-Technologie ist das Gate durch eine isolierende Schicht vom leitenden Kanal getrennt, das heißt die Eingangsadmittanz ist kapazitiv. Diese Tatsache wird in der dynamischen Schaltungstechnik genutzt um auf einfache Weise logische Zustände vorübergehend zu speichern. Allgemein werden der dynamischen Schaltungstechnik ein geringer Platzbedarf und eine hohe Schaltgeschwindigkeit zuge-

schrieben. In Bild 4.51 ist ein dynamisches Latch, bestehend aus einem Inverter und einem n-Kanal-Transistor, der als Transfertransistor dient, abgebildet. Wenn das Taktsignal Φ auf hohem Potential liegt, wird der gewünschte Spannungswert eingeschrieben. Der Ausgang Q folgt dem Eingangssignal D . Mit der fallenden Flanke des Taktsignals Φ wird das Eingangssignal D auf der Eingangskapazität C_{ein} gespeichert, da nun der Transfertransistor sperrt. Die Eingangskapazität C_{ein} setzt sich aus den Gate-Source- und Gate-Drain-Kapazitäten des Inverters, aus den Überlappkapazitäten und aus der ausgangsseitigen Sperrschichtkapazität des Transfertransistors, zusammen. Zu beachten ist, dass wegen der Sperr- und Leckströme der beteiligten Transistoren, die gespeicherte Ladung allmählich wieder abfließt.

Die Schaltung nach Bild 4.51 ist sehr gut geeignet eine logische Null einzuschreiben. Es wird angenommen, dass in einer vorhergehenden Taktphase die Eingangskapazität C_{ein} auf den Wert U_{DD} aufgeladen wurde. Nun soll während $\Phi = U_{\text{DD}}$ eine logische Null eingeschrieben werden. Während des gesamten Entladevorgangs bleibt die Gate-Source-Spannung des n-Kanal-Transistors konstant auf dem Wert U_{DD} , da die Gate-Source-Spannung von der Differenz $U_{\text{DD}} - U_{\text{in}}$ gegeben ist. Erst wenn die Drain-Source-Spannung Null ist, fließt kein Drain-Strom. Der Entladevorgang ist damit beendet. C_{ein} wird vollständig entladen.

Soll dagegen eine logische Eins eingeschrieben werden, das heißt eine gespeicherte Null soll überschrieben werden, bewirkt der Transfertransistor eine Pegelreduktion. In diesem Fall hat U_i den Wert U_{DD} und bestimmt das Potential des Drain-Anschlusses. Source liegt an Masse. Wenn am Gate ebenfalls U_{DD} anliegt, fließt über den Transfertransistor Strom und die Speicherkapazität C_{ein} wird aufgeladen. Das heißt die Gate-Source-Spannung des Transfertransistors nimmt ab. Wenn die Gate-Source-Spannung des Transfertransistors den Wert der Einsatzspannung U_{Tn} des Transfertransistors erreicht, sperrt dieser Transistor. Daraus folgt, dass die Speicherkapazität C_{ein} maximal auf den Wert $U_{\text{DD}} - U_{\text{Tn}}$ aufgeladen werden kann. Dies verringert den zur Verfügung stehenden Signalhub und damit die Störsicherheit. Auch deswegen wird der Inverter angeschlossen; er soll den Signalpegel regenerieren.

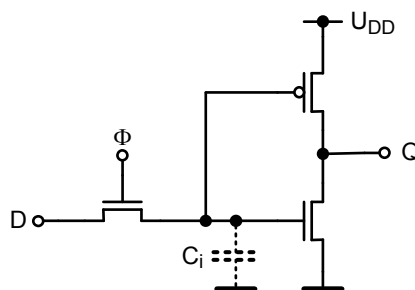


Bild 4.51 Dynamisches Latch mit einem Transfergatter (positives Latch).

Das Latch von Bild 4.51 ist ein positives Latch. Ersetzt man den n-Kanal-Transistor durch einen p-Kanal-Transistor handelt es sich um ein negatives Latch. Nur

während $\Phi = 0$ folgt der Ausgang dem Eingang. Wie leicht einzusehen ist, hat das negative Latch den Nachteil, dass nun eine logische Null nicht vollständig eingeschrieben werden kann. Die Speicherkapazität C_{ein} kann nur auf den Wert $|U_{\text{Tp}}|$ entladen werden. Dagegen kann nun eine logische Eins vollständig eingeschrieben werden.

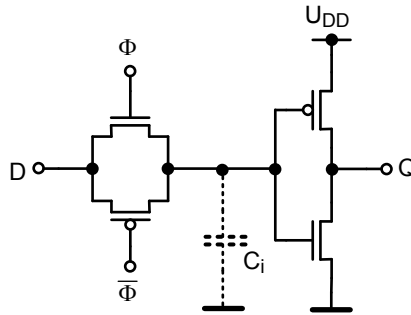


Bild 4.52a Dynamisches positives Latch mit einem Transmission-Gatter.

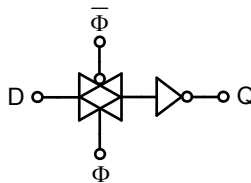


Bild 4.52b Schaltsymbol.

Schaltet man beide Transistortypen parallel, wie es in Bild 4.52a gezeigt ist, und legt die richtigen Taktsignale an die Gates, wird mittels des n-Kanal-Transistors der Low-Pegel und mittels des p-Kanal-Transistors der High-Pegel vollständig eingeschrieben. Die Schaltung mit nur einem Transistor nach Bild 4.51 nennt man „Transfergatter“ und die Schaltung mit den parallel liegenden Transistoren wird „Transmission-Gatter“ genannt. Der Inverter sollte auch beim Transmission-Gatter verwendet werden. Zum einen stellt er den wesentlichen Beitrag zur Speicherkapazität C_{ein} . Außerdem kann das Ausgangssignal mit dem Inverter besser zu dem anderen Gatter verteilt werden. Zusätzlich schirmt der Inverter den speichernden Knoten von Störsignalen auf der Ausgangsleitung ab. Bild 4.53 enthält die Schaltung eines negativen Latch mit Transmission-Gatter. Die Schaltsymbole beider Latches sind in den Bildern 4.54a und 4.54b dargestellt.

Die Signalverläufe des Bildes 4.55 beschreiben das zeitliche Verhalten eines positiven Latch. Wenn das Eingangssignal D vor der steigenden Flanke des Taktsignals gültig ist, wird die Latenzzeit t_{CQ} des Latch definiert durch die zeitliche Verzögerung

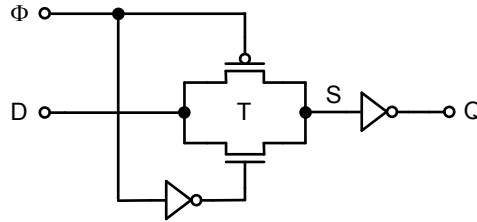


Bild 4.53 Negatives Latch mit Transmission-Gatter.

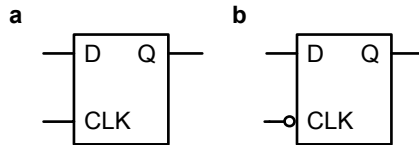


Bild 4.54 Schaltsymbole eines **a** positiven Latch; **b** negativen Latch.

rung zwischen der ansteigenden Flanke des Taktes und der Zeit, an der das Ausgangssignal Q gültig wird. Wenn dagegen das Eingangssignal wechselt, während das Taktsignal Eins ist, das heißt wenn das Latch transparent ist, wird die Latenzzeit t_{DQ} (Verzögerungszeit) bestimmt von der Zeit zwischen dem Eingangssignalwechsel und der Zeit, zu der Q gültig wird.

Eine kurze Zeitspanne vor und nach der fallenden Flanke des Signals Φ muss das Eingangssignal D stabil sein. Wegen der Herstellungstoleranzen und wegen anderer Störeinflüsse kann die Flanke des Taktsignals früher oder später als geplant eintreffen. Somit helfen die in Bild 4.55 gezeigten Set-up- und Hold-Zeiten (t_{su} und t_h) einen sicheren Betrieb zu gewährleisten. Set-up-Zeiten geben an, wie lange vor dem Signalwechsel eines Referenzsignals das betrachtete Signal stabil bleiben muss; während die Hold-Zeiten bestimmen, wie lange nach einem Signalwechsel des Referenzsignals das betrachtete Signal konstant sein muss.

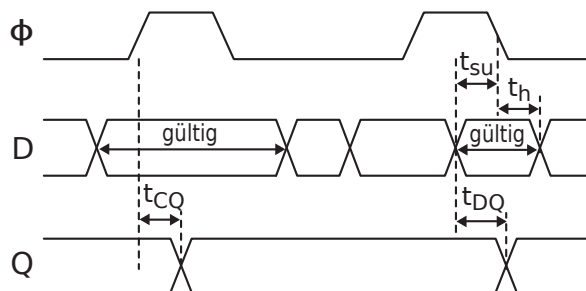


Bild 4.55 Signalverläufe und charakteristische Zeiten eines Latch.

Die bisher besprochenen Latches sind sehr einfach aufgebaut und benötigen deswegen wenig Platz. Deswegen sind sie sehr populär. Allerdings weisen sie prinzipiell einige Schwachstellen auf. In Bild 4.56 sind die Schwachstellen eingezeichnet.

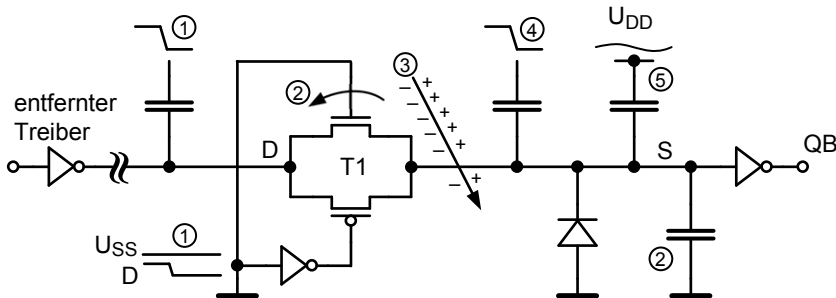


Bild 4.56 Schwachstellen des einfachen dynamischen Latch in der Haltephase; (1) Störsignale am Eingang, (2) Leckströme und Sperrströme, (3) Treffer eines Alphapartikels, (4) kapazitive Kopplung von Störsignalen auf dem speichernden Knoten, (5) Schwankungen der Versorgungsspannung.

Zunächst handelt es sich um dynamische Schaltungen. Man darf also ohne besondere Vorkehrungen das Taktsignal nicht anhalten. Bei bestimmten Programmschritten sind manchmal vorübergehend ganze Schaltungsblöcke zum Beispiel von Mikroprozessoren ohne Aufgabe. In diesen Zeiten würde man gerne diese Blöcke, um Verlustleistung zu sparen, von der Versorgungsspannung abtrennen oder wenigstens das Taktsignal anhalten. Beides ist mit reinen dynamischen Latches nicht möglich. Man muss vorübergehend die Informationen in statischen Latches speichern, um wenigstens die Taktsignale anhalten zu können.

Während der Haltephase soll eine logische Eins gespeichert sein und am Eingang des Latch soll eine Null anliegen. Wenn man weiter annimmt, dass der Treiber für das Eingangssignal weit entfernt ist, kann es vorkommen, dass ein negativer Signalwechsel von Eins nach Null in der Umgebung des Datensignal am Eingang des Transmission-Gatters aufgrund von kapazitiven Kopplungen unter Null Volt drückt und der n-Kanal-Transistor des Transmission-Gatters zumindest teilweise zu leiten beginnt. Somit kann der speichernde Knoten entladen werden. Vermeiden lässt sich dieser Effekt, wenn an den Eingang ein zusätzlicher Inverter geschaltet wird (Bild 4.69a oder 4.69b) oder wenn das Datensignal und der Takt an den Gates von zwei unterschiedlichen Transistoren und nicht am selben Transistor angreifen. Allerdings handelt man sich dadurch andere Nachteile ein (siehe Bild 4.59c).

Werden Source-Potentiale von n-Kanal-Transistoren unter Masse gedrückt, werden in Sperrrichtung betriebene Dioden teilweise in Vorwärtsrichtung umgepolt. Daher werden zusätzlich Elektronen in das Substrat injiziert, die benachbarte Knoten, die eine Eins speichern, zumindest teilweise entladen.

Leitungen weisen einen Widerstand auf. Es bilden sich deswegen auf dem Chip von den Sollwerten abweichende Potentiale aus. Gewünscht wird zum Beispiel eine Gate-Source-Spannung von Null Volt, aber tatsächlich existiert eine kleine Span-

nungsdifferenz. Arbeiten die Transistoren im Unterschwellenbereich, so bewirkt eine Änderung der effektiven Gate-Source-Spannung um 65 mV eine Änderung des Drain-Stroms um maximal den Faktor 10.

Mit fortschreitender Strukturverkleinerung werden die Abstände zwischen Leiterbahnen verringert. Gleichzeitig werden die Höhen der Leiterbahnen wegen „Elektromigration“ vergrößert. Insgesamt nehmen bei gleichbleibendem Isoliermaterial die Koppelkapazitäten um den Faktor S^2 zu (siehe Kapitel 3.2.5), wenn die Leitungslänge konstant bleibt. In der Haltephase ist der „freischwebende“ Knoten, der die Information in Form von Ladung speichert, weder mit Masse noch mit der Versorgungsspannung U_{DD} verbunden. Daher ist dieser Knoten sehr empfindlich im Hinblick auf kapazitive Kopplungen zu Signalen in der Umgebung. Auch der Eingang des Transmission-Gatters ist anfällig für kapazitive Kopplungen. Dies schränkt die erzielbare Störsicherheit ein. Die Platzierung von speichernden Elementen soll keinen besonderen Einschränkungen unterliegen, daher empfiehlt es sich, für die Kapazität des speichernden Knoten C_{ein} einen genügend großen minimalen Wert festzulegen.

Der „freischwebende“ Knoten ist auch Alphastrahlen ausgesetzt. Die Alphastrahlung geht von kleinsten Spuren radioaktiver Elemente aus, hauptsächlich Uran und Thorium, die im Gehäusematerial und in den Leitungen enthalten sind. Weiter löst die Höhenstrahlung im Silizium Kernprozesse aus, bei denen Alphateilchen emittiert werden. Ein Alphapartikel (Heliumkern, bestehend aus zwei Protonen und zwei Neutronen) erzeugt beim Durchgang durch Silizium Elektronen-Loch-Paare. Die Elektronen werden von benachbarten positiv vorgespannten pn-Übergängen angezogen. An freischwebenden Knoten verursachen die gesammelten Ladungen einen Spannungsabfall, der die gespeicherte Information verfälscht. Da der Fehler nur vorübergehend auftritt spricht man von „Soft-Error“. Auch dieser Mechanismus bedingt, dass die Kapazität des speichernden Knotens C_{ein} einen minimalen Wert nicht unterschreiten darf. Im Zusammenhang mit dynamischen Speicherschaltungen wird die Wirkung von Alphastrahlen eingehend behandelt (siehe Kapitel 6.4.3).

Eine weitere Störung des dynamischen Latch wird hervorgerufen durch Schwankungen der Versorgungsspannung. Ändert sich während der Haltephase die Versorgungsspannung, so ändert sich die relative Lage des Potentials des speichernden Knotens zu den charakteristischen Spannungen des nachfolgenden Inverters, wie zum Beispiel der Schaltschwelle. Wieder kommt es zu einer Einschränkung der Störsicherheit.

4.7.2 Einfache dynamische Register

Bei einem Latch folgt der Ausgang dem Eingangssignal D während das Taktsignal einen hohen oder einen niedrigen Wert aufweist. Dagegen soll bei einem Register der Ausgang Q möglichst nur zu einem bestimmten Zeitpunkt, der entweder von der fallenden Flanke oder der ansteigenden Flanke des Taktsignals bestimmt wird, dem Eingangssignal D folgen. Folgt der Ausgang dem Eingang mit der positiven Flanke

des Taktsignals, spricht man von einem positiven flankengesteuerten Register. Wenn die Übernahme des Eingangssignals mit der negativen Flanke erfolgt, nennt man das Register negativ flankengesteuert. Bild 4.57a zeigt die Schaltung eines einfachen dynamischen Registers, das aus zwei Latches besteht und von einem Taktsignal Φ gesteuert wird. Das erste Latch, das sogenannte Master-Latch ist ein negatives Latch, während das zweite Latch – das Slave-Latch – ein positives Latch ist.

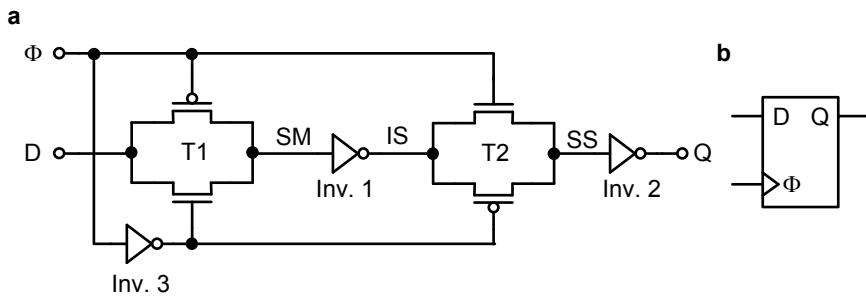


Bild 4.57 Einfaches dynamisches Register bestehend aus Master- und Slave-Latch (a) Schaltbild, (b) Schaltsymbol.

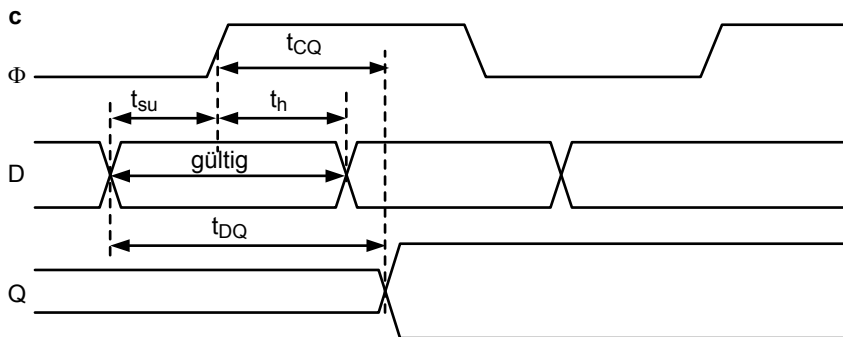


Bild 4.57c Einfaches dynamisches Register bestehend aus Master- und Slave-Latch: typische Verläufe der Signale.

Die Schaltung arbeitet wie folgt. Für $\Phi = 0$ ist das Master-Latch transparent. Der Ausgang IS folgt dem Eingangssignal D. Dies wird jedoch vom Slave-Latch ignoriert, da es sich in der Haltephase befindet. Somit bleibt der Ausgang Q konstant. Mit der steigenden Flanke des Taktsignals Φ wird das Master-Latch undurchlässig und hält nun den Zustand von IS konstant. Inzwischen ist das Slave-Latch transparent geworden. Der Ausgang Q folgt dem konstanten Signal von IS. Obwohl das Slave-Latch, solange das Taktsignal Φ seinen Wert hält, transparent ist, kann das Ausgangssignal Q nicht wechseln, da IS seinen Wert beibehält. Somit wird das

Ausgangssignal Q nur einmal während einer Taktperiode mit der steigenden Flanke des Taktsignals erneuert.

Das Schaltsymbol eines Registers ist in Bild 4.57b dargestellt. Typische Verläufe der Signale und charakteristische Zeiten wie t_{CQ} , t_{DQ} , t_{DC} (in diesem Fall gilt $t_{DC} = t_{su}$) und Set-up- und Hold-Zeiten sind in Bild 4.57d eingezeichnet. Set-up- und Hold-Zeiten werden gerade noch eingehalten.

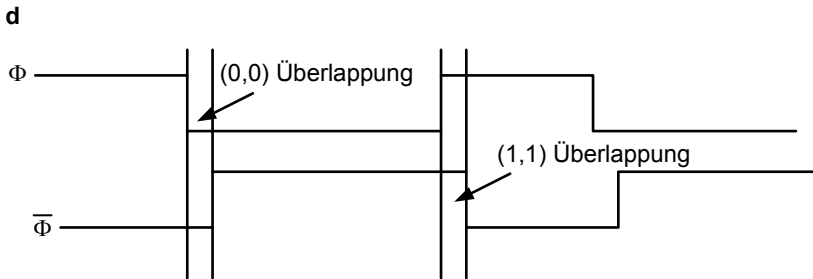


Bild 4.57d Einfaches dynamisches Register bestehend aus Master- und Slave-Latch: überlappende Taktphasen.

Das Register nach Bild 4.57a hat neben den bereits besprochenen prinzipiellen Schwachstellen der Latches, aus denen es aufgebaut ist, noch zusätzlich eine weitere Schwachstelle. Bei den nachfolgenden Überlegungen wird davon ausgegangen, dass die Taktsignale, wie es in Bild 4.57a gezeigt ist, erzeugt werden. Für $\Phi = 0$ leitet der n-Kanal-Transistor des Transmission-Gatter T1. Mit der steigenden Flanke des Taktes wird zuerst der n-Kanal-Transistor des Transmission-Gatter T2 eingeschaltet und um die Gatterlaufzeit des Inverters 3 verzögert der n-Kanal-Transistor des Transmission-Gatters T1 abgeschaltet. Die beiden Taktphasen Φ und $\overline{\Phi}$ überlappen sich (1 – 1 Überlappung, siehe Bild 4.57d). Während der Überlappzeit, dies ist die Gatterlaufzeit des Inverters 3, sind also beide Latches transparent. Falls die Gatterlaufzeit des Inverters 3 größer ist als die Summe der Laufzeiten der Transmission-Gatter 1 und 2 plus der Gatterlaufzeit des Inverters 1 können nicht erwünschte Signale vom Eingang D zum Ausgang Q gelangen und den Zustand des Registers stören („Race“-Problem). Dieser Effekt ist besonders zu beachten, wenn die Taktflanken sich nur langsam ändern. Auch aus diesem Grund wird eine Hold-Zeit benötigt, während der das angelegte Signal konstant bleiben muss. Die Set-up-Zeit soll auch gewährleisten, dass das Eingangssignal über die RC-Schaltung sicher eingeleiten werden kann.

Ähnliche Verhältnisse stellen sich bei einem $1 \rightarrow 0$ Wechsel des Taktsignals ein. Man spricht nun von einer 0 – 0 Überlappung. In dem Beispiel von Bild 4.57a wird die Überlappzeit wieder vom Inverter 3 verursacht. Der p-Kanal-Transistor des Transmission-Gatters T1 wird sofort leitend. Der p-Kanal-Transistor des Transmission-Gatters T2 leitet aber vorübergehend auch. Wieder existiert ein „Race“-Problem, das nun aber nicht durch Set-up- oder Hold-Zeiten vermieden werden kann, da diese Zeiten mit der positiven Flanke des Taktsignals verbunden sind. Es muss

eine zusätzliche Bedingung eingehalten werden

$$t_{\text{püberlapp0-0}} < t_{\text{pT1}} + t_{\text{pInv1}} + t_{\text{pT2}} \quad . \quad (4.106a)$$

Verwendet man anstatt eines Ein-Phasen-Taktsignal Φ zwei nicht überlappende Taktphasen Φ_M und Φ_S , wie es die Bilder 4.58 und 4.50 zeigen, kann das „Race“-Problem vermieden werden. Man muss nur die Zeitdauer zwischen der fallenden Flanke des einen Taktes und der ansteigenden Flanke des nachfolgenden Taktes genügend groß wählen, so dass auch bei verschobenen Taktsignalen und bei Taktsignalen mit langsamen Flanken die Nichtüberlappung der beiden Taktphasen gewährleistet ist. In Bild 4.58 wird das eingehende Datensignal mit der fallenden Flanke des Taktes Φ_M bewertet. Der Signalwechsel am Ausgang des Registers erfolgt um eine RC-Zeitkonstante verzögert mit der steigenden Flanke von Φ_S . Tatsächlich werden immer Transmission-Gatter verwendet, so dass ein komplementärer Zwei-Phasen-Takt nach Bild 4.50d eingesetzt werden muss.

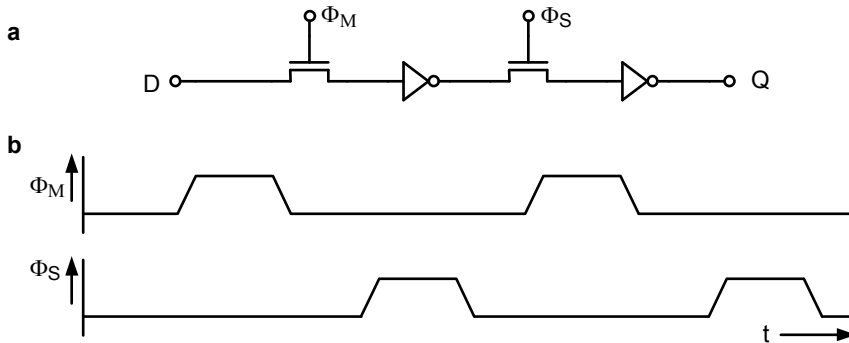


Bild 4.58 Dynamisches Register, das mit zwei nicht überlappenden Taktphasen geschaltet wird: **a** Schaltplan; **b** zeitliche Verläufe der nicht überlappenden Taktsignale.

4.7.3 Verriegelungsschaltung und modifiziertes Svensson-Latch

Es wurde festgestellt, dass es wünschenswert wäre, wenn das Datensignal und der Takt an unterschiedlichen Transistoren angreifen. Die Verriegelungsschaltung (C²MOS-Schaltung) nach Bild 4.59c erfüllt diese Bedingung. Die Verriegelungsschaltung ist prinzipiell wie ein CMOS-Inverter aufgebaut. Zusätzlich befindet sich ein n-Kanal-Transistor im Pull-Down-Pfad und ein p-Kanal-Transistor im Pull-Up-Pfad. Liegt das Taktsignal Φ an hohem Potential, leiten die beiden inneren Transistoren. Die Schaltung wirkt wie ein Inverter. Für $\Phi = 0\text{ V}$ werden jedoch die Pfade zu den Versorgungspotentialen unterbrochen. Die auf der Lastkapazität C_L gespei-

gisters ist, dass es, solange die Taktflanken genügend steil sind, unempfindlicher gegenüber 0-0 und 1-1 Taktüberlappungen ist. Bei einer 0-0 Taktüberlappung, die entsteht, weil das Taktsignal $\overline{\Phi}$ nicht sofort dem $1 \rightarrow 0$ Wechsel des Taktsignals Φ folgen kann, sind die Pull-Down-Pfade M1, M3 und M7, M5 gesperrt. Der Zwischenknoten X kann während der Überlappung nur einen $0 \rightarrow 1$ Wechsel durchführen. Jedoch gelangt dieser Signalwechsel nicht an den Ausgang Q , da der Transistor M7 sperrt. Am Ende der Überlappphase wechselt $\overline{\Phi}$ nach 1. Nun sperren die Transistoren M7 und M8 und bringen das zweite Latch in den Haltemodus. Jeder Eingangssignalwechsel während einer 0-0 Überlappung gelangt nicht an den Ausgang Q . Die Randbedingung 4.106a entfällt bei Register, die mit Verriegelungsschaltungen realisiert werden.

Der Fall einer 1-1 Überlappung, das heißt das Taktsignal wechselt von $0 \rightarrow 1$, ist etwas komplizierter. Während der Überlappphase leiten die Transistoren M3 und M7, das heißt der Knoten X kann, wenn D gleichzeitig von $0 \rightarrow 1$ wechselt, einen $1 \rightarrow 0$ Wechsel durchführen. Da M8 sperrt, gelangt dieser Signalwechsel zunächst nicht an den Ausgang Q . Aber sobald die Überlappphase vorbei ist, leitet der Transistor M8 und die Null des Knotens X ändert unerwünschterweise den Ausgang Q . Wie im Falle des „Race“-Problems von Register mit Transmission-Gatter, wird dieses Problem mittels Set-up- und Hold-Zeitbedingungen für die Eingangsdaten D gelöst. Allerdings könnten die Set-up und Hold-Zeiten ohne diesen Fehler geringer gehalten werden.

Verriegelungsschaltungen sind unempfindlicher gegen Taktüberlappungen, da entweder nur die Pull-Up- oder die Pull-Down-Pfade der Register leitend werden. Um diese Eigenschaft zu erhalten, sollten keine invertierenden Logikblöcke mit kurzen Laufzeiten zwischen den beiden Latches geschaltet werden. Jedoch, wie in [179] festgestellt wird, falls die Anstiegs- oder die Abfallzeiten der Taktflanken etwa das Fünffache der Registerlaufzeit aufweisen, leiten vorübergehend sowohl die Pull-Up- als auch die Pull-Down-Pfade. Es existiert nun ein leitender Pfad vom Eingang des Registers zum Ausgang. Die daraus folgende Einschränkung bezüglich der zulässigen Taktflanken muss beim Design der Schaltung sorgfältig bedacht werden.

Aus der Beschreibung der Wirkungsweise der Verriegelungsschaltung gehen sofort die Nachteile dieser Schaltung hervor. Der speichernde Knoten wird nun von der Lastkapazität gebildet. Unter Umständen muss das Ausgangssignal Q zu entfernten Gattern geleitet werden. Damit ist das Problem der Störsignaleinkopplung auf den freischwebenden Knoten während der Haltephase erhöht. Man müsste mit einem zusätzlichen Inverter den speichernden Knoten schützen. Dadurch erhöht sich die Anzahl der benötigten Transistoren für ein Latch aber um 50%.

Im Pull-Up- und im Pull-Down-Pfad sind zwei Transistoren in Serie geschaltet. Bei einer vereinfachten Betrachtung kann ein Transistor als Widerstand aufgefasst werden. Eine Serienschaltung von Transistoren ist also äquivalent zu einer Serienschaltung von Widerständen. Die RC-Zeitkonstante und damit die Gatterlaufzeit wird dadurch mindestens um den Faktor zwei erhöht. Als Ausgleich könnte man die Weite der in Serie geschalteten Transistoren verdoppeln, was aber die Belastung der treibenden Gatter und damit die Verlustleistung erhöht. Die Transistoren des Trans-

mission-Gatters liegen dagegen parallel. Deswegen weist das Latch nach Bild 4.52a eine entsprechend kleinere Gatterlaufzeit auf.

Beim Entwurf der Verriegelungsschaltung ist darauf zu achten, dass die Transistoren, die von den Taktsignalen bzw. von den Enable-Signalen gesteuert werden, direkt mit dem Ausgang verbunden sind. Sonst kann die Ausgangsspannung aufgrund von „Charge-Sharing“-Effekten verfälscht sein. In die falsch entworfene Verriegelungsschaltung (Bild 4.60) sind parasitäre Kapazitäten eingezeichnet. Die parasitären Kondensatoren setzen sich aus Gate-Source-, Gate-Drain- und Diffusionskapazitäten zusammen. Eine typische Signalfolge zeigt Bild 4.60b. Mit Einschalten des Taktsignals ($\Phi = 1$) zieht der Pull-Up-Zweig den Ausgang wie gewünscht auf U_{DD} . Gleichzeitig wird aber der Knoten 1 entladen. Wird nun das Taktsignal wieder abgeschaltet, so behält der Ausgang das hohe Potential. Ein nachfolgender Wechsel des Eingangssignals, der keinen Einfluss auf den Ausgang haben sollte, bewirkt eine leitende Verbindung zwischen dem Ausgang und dem Knoten 1. Zwischen den Kapazitäten C_{p1} und C_L kommt es zu einem Ladungsausgleich („Charge-Sharing“), der die Ausgangsspannung verringert.

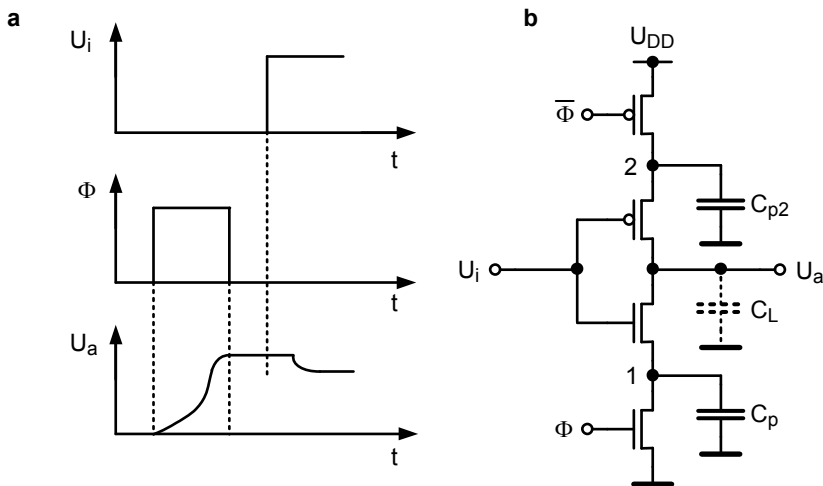


Bild 4.60 Zeitdiagramm zur Erklärung des „Charge-Sharing“-Effektes. (a) Signalverläufe, (b) falsch entworfene Verriegelungsschaltung.

Bei einem ungünstigen Verhältnis der Kapazitäten ist die Störsicherheit nicht mehr gewährleistet. Die Schaltung nach Bild 4.59c zeigt diesen Effekt nicht, da bei gleicher Signalfolge der Knoten 1 auf hohes Potential gezogen wird.

Die bisher besprochenen Latches sind sehr einfach aufgebaut und benötigen deswegen wenig Platz. Deswegen waren sie in der Vergangenheit populär. Moderne Technologien weisen eine hohe Variabilität bezüglich einiger Transistorparameter auf. Besonders gilt dies für die Einsatzspannung. Wenn die Einsatzspannung betragsmäßig zu klein wird, fließt in dem betroffenen Latch im Haltemodus ein zu

großer Unterschwellenstrom und der speichernde Knoten kann ganz oder teilweise entladen werden. Ein einziges Latch mit diesem Fehler entwertet einen ganzen Chip. Da moderne Chips Millionen oder gar Milliarden an Latches aufweisen, ist die Wahrscheinlichkeit für diesen Fehler zu hoch (siehe Kapitel 6.4.3.5). Deswegen werden derartige Latches in einem komplexen Chip, der in einer modernen Technologie ($< 90\text{ nm}$) realisiert werden soll, vermieden.

Die Register nach den Bildern 4.57 und 4.58 benötigen entweder mindestens einen zusätzlichen Inverter um das invertierte Taktsignal zu erzeugen oder basieren auf einem nicht überlappenden, komplementären Takt. Daher suchte man nach Latches und Register, die mit nur einem Taktsignal betrieben werden können. 1987 wurden ausgehend von der Verriegelungsschaltung dynamische Latches und Register vorgeschlagen, die nur ein Taktsignal benötigten [158]. Man nannte diese Schaltungen unter anderem nach ihrem Erfinder Svensson-Latches. Von D. Dobberpuhl und von anderen wurden 1992 Verbesserungen an diesen TSPC- (True Single Phase Clocked) Latches und Register, wie sie auch genannt werden, vorgenommen [215]. Bild 4.61a zeigt modifizierte positive und negative Latches nach [215], die im Mikroprozessor Alpha 21064 verwendet wurden.

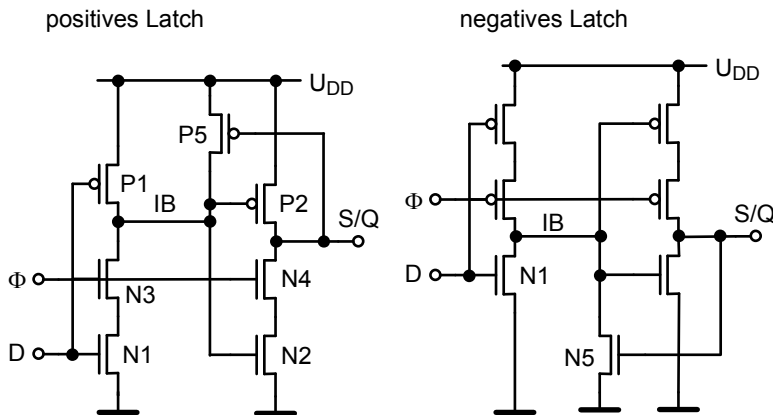


Bild 4.61a Modifizierte positive und negative Svensson-Latches [215].

Das positive modifizierte Svensson-Latch arbeitet wie folgt: Für $\Phi = 1$ ist das Latch transparent und es verhält sich wie zwei in Reihe geschaltete Inverter. Für $\Phi = 0$ werden die Pull-Down-Pfade $N1/N3$ und $N2/N4$ unterbrochen. Falls während $\Phi = 1$ am Ausgang S/Q eine logische Null gespeichert wurde, hält der p-Kanal-Transistor $P5$ den Zwischenknoten IB auf einer logischen „Eins“. In der ursprünglichen Schaltung nach C. Svensson fehlte der Transistor $P5$. Dies hatte zur Folge, dass eine Abnahme des Potentials des Knoten IB um eine Einsatzspannung aufgrund von Störsignalen den Transistor $P2$ aktivierte. Somit konnte der Zustand des Latches zerstört werden.

Nun soll während $\Phi = 1$ am Ausgang eine „Eins“ gespeichert werden. Während der Haltephase ist der Pull-Down-Pfad $N2/N4$ unterbrochen.

Daher kann ein $1 \rightarrow 0$ Wechsel während $\Phi = 0$ den Ausgang nicht ändern. Dies gilt, obwohl das Potential des Knoten IB Werte zwischen Masse und U_{DD} aufweisen kann. Entsprechendes gilt für das negative Latch nach Bild 4.61b. Schaltet man die beiden Latches in Reihe (zuerst das positive Latch) erhält man ein Register, das mit der negativen Flanke des Taktsignals Φ den Zustand am Ausgang ändert.

Das TSPC-Latch bietet die interessante Möglichkeit Logikfunktionen zusätzlich zur speichernden Wirkung einzubauen, wie Bild 4.61b zeigt. An Stelle der Transistoren P1 und N1 des Latches nach Bild 4.61a, werden nun die Pull-Up- beziehungsweise die Pull-Down-Pfade von statischen CMOS-Logikgattern eingesetzt. In Bild 4.61c ist ein TSPC-Latch mit einer eingebetteten logischen AND-Funktion dargestellt. Indem man die logische Funktion in ein Latch einbettet, kann man insgesamt die Laufzeit, das heißt die Laufzeit des Logikblocks plus die Laufzeit des Latches, reduzieren. Diese Methode wurde exzessiv beim Entwurf des Mikroprozessors EV4 DEC Alpha eingesetzt [55].

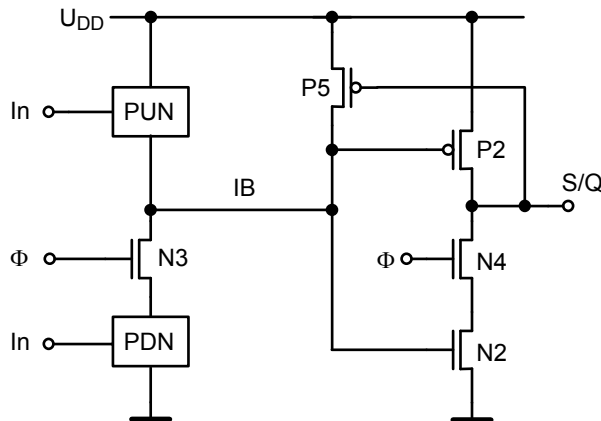


Bild 4.61b Positives TSPC-Latch mit eingebetteter Logik.

Leider haben TSPC-Latches und -Register auch gravierende Nachteile. Zunächst ist festzustellen, dass die modifizierten Svensson-Register vierzehn Transistoren benötigen. Acht Transistoren, jeweils vier n-Kanal- und vier p-Kanal-Transistoren, liegen in zweifachen Serienschaltungen und müssen deswegen mit der doppelten Weite ausgestattet werden. Das Taktsignal greift an zwei n- und an zwei p-Kanal-Transistoren an, die in den Serienschaltungen liegen.

Üblicherweise versucht man minimal dimensionierte Transistoren einzusetzen. Das heißt, dass die n-Kanal-Transistoren mit minimal zulässigen Weiten und Längen dimensioniert werden. Wegen der geringeren Beweglichkeit der Löcher müssen die p-Kanal-Transistoren mit einer zwei bis dreifachen Weite, im Vergleich zu den n-Kanal-Transistoren, ausgelegt werden. Befinden sich die Transistoren in einer zweifachen Serienschaltungen, müssen die Weiten der jeweiligen Transistoren verdoppelt werden, um eine hohe Schaltgeschwindigkeit zu erzielen (siehe Kapitel

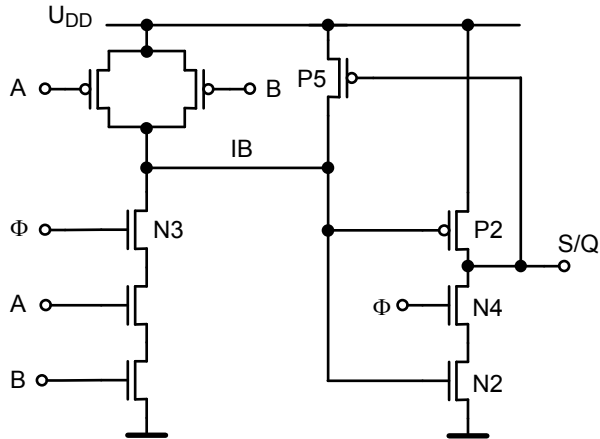


Bild 4.61c TSPC-Latch mit eingebetteter AND-Funktion.

4.8.1.1.2). Daher weisen die modifizierten Svensson-Register eine hohe Lastkapazität für das Taktsignal auf.

Das Register nach Bild 4.57 enthält nur zehn Transistoren, wobei die n-Kanal-Transistoren minimal dimensioniert sein können. Die p-Kanal-Transistoren sind, wegen der geringeren Beweglichkeit der Löcher, zwei- bis dreimal soweit ausgelegt wie die entsprechenden n-Kanal-Transistoren. Das Taktsignal liegt an zwei n-Kanal- und an zwei p-Kanal-Transistoren. Im Vergleich zu der Schaltung nach Bild 4.61a ist die Belastung durch die angeschlossenen Transistoren halbiert. Das dynamische Register mit zwei Taktphasen (Bild 4.58) benötigt nur acht Transistoren, wenn man Transmission-Gatter einsetzt. Die Belastung der Taktsignale gleicht derjenigen des Registers nach Bild 4.57.

Weiter zeigen die modifizierten Svensson-Register, ähnlich wie die Verriegelungsschaltungen, Fehlverhalten, wenn die Taktsignale lange Flanken aufweisen. Langsam veränderliche Taktflanken bewirken, dass sowohl die mit den Taktsignalen verbundenen n-Kanal-Transistoren wie auch die p-Kanal-Transistoren leiten. Daraus ergeben sich undefinierte Zustände, die zu „Races“ führen können. Die Flanken der Taktsignale müssen also sorgfältig kontrolliert werden. Wenn notwendig müssen lokale „Repeater“ (Inverter) zur Signalverbesserung eingesetzt werden.

Schließlich speichern die Svensson-Latches, wie die Verriegelungsschaltungen, die Information in Form von Ladungen auf der Lastkapazität C_L und nicht auf einer internen Kapazität, die von einem nachfolgenden Inverter geschützt ist. Somit sind diese Latches empfindlicher im Hinblick auf Einkoppelungen von Störsignalen.

Die Rückholtransistoren P5 oder N5 bewirken eine große Unempfindlichkeit dieser Latches gegenüber extrem unwahrscheinliche Ausreißer zum Beispiel bezüglich der Einsatzspannung.

Wegen der Nachteile haben sich die Svensson-Latches und Register im Allgemeinen nicht durchgesetzt. Jedoch für sehr zeitkritische Logikpfade sollten derarti-

ge Register und Latches wegen der kleinen Verzögerungszeit in Betracht gezogen werden.

4.7.4 Bootstrap-Schaltung

In Schaltungen mit geschalteten Kapazitäten (Switched Capacitor Circuits) oder in Gleichspannungswandlern (DC-DC-Converter, siehe Kapitel 4.8.3.2.2) werden Schaltungen benötigt, die es erlauben, auf dem Chip Versorgungsspannungen größer als U_{DD} oder kleiner als Masse zu generieren. Wegen der größeren Einfachheit wird dieses Prinzip anhand einer Schaltung erläutert, die früher aber heute nicht mehr in DRAMs eingesetzt wurde.

Das Transmission-Gatter nach Bild 4.52a benötigt mehr Fläche als ein Transfergatter. Manchmal steht die zusätzliche Fläche nicht zur Verfügung. In diesen Fällen wird eine andere Lösung benötigt. Besonders schwerwiegend ist dieses Problem für den Entwurf von hochkomplexen dynamischen Speichern (DRAM), da aus Kostengründen in den Speicherzellen kein zusätzlicher Platz für den zweiten Transistor aufgewendet werden soll. Trotzdem soll die auf der Kapazität gespeicherte Ladung möglichst groß sein, damit das Nutzsignal gegenüber Störungen immun wird. Im Zellenfeld eines DRAM werden die n-Kanal-Transfertransistoren mittels Wortleitungen geschaltet. Mit Bootstrap-Schaltungen (Münchhausen-Schaltungen) gelingt es, die Wortleitungen auf ein Potential größer als $U_{DD} + U_{Tn}$ zu ziehen, so dass der volle Signalhub U_{DD} in die Zelle eingeschrieben werden kann.

Mit der in Bild 4.62 dargestellten Schaltung gelingt dies. Der Knoten 1 ist über die Kapazität C_{Boot} mit dem Taktsignal Φ verbunden. Außerdem liegt der Knoten 1 mit einem als Diode geschalteten Transistor an U_{DD} . Für $\Phi = 0$ lädt der Transistor M2 den Knoten 1 auf ein Potential von $U_{DD} - U_{Tn}$. Wird das Taktsignal auf das Potential U_{DD} angehoben, steigt die Spannung am Knoten 1 ebenfalls an, da nun M2 sperrt ($U_{GS2} < 0$). Der Knoten 1 und damit die Gate-Spannung von M1 erreicht maximal den Wert $2 \cdot U_{DD} - U_{Tn}$. Nun kann die Kapazität auf den vollen Hub U_{DD} geladen werden. Der Bootstrap-Effekt beruht also darauf, dass zunächst eine Kapazität aufgeladen wird, wobei eine Platte des Kondensators an 0 V gelegt wird. Im nächsten Schritt wird die zweite Platte isoliert und die andere Platte auf ein höheres Potential, zum Beispiel U_{DD} gebracht. Damit steht nun für eine Taktphase am isolierten Knoten eine Spannung von etwa $2 \cdot U_{DD}$ zur Verfügung.

Zu prüfen ist, ob Zuverlässigkeitsprobleme auftreten. Wenn eine logische Null eingeschrieben werden soll, wird das dünne Gate-Oxid des Transistors M3 in Bild 4.62 zeitweilig mit einer Spannung von etwa $2 \cdot U_{DD}$ belastet. Dies kann im Laufe des Betriebs zu Ausfällen führen.

Soll eine Gleichspannung kleiner als Masse erzeugt werden, muss man eine entsprechende Schaltung mit einem PMOS-Transistor aufbauen. An Stelle des „Diode connected“-NMOS-Transistors wird nun ein PMOS-Transistor verwendet, dessen Gate- und Drain-Anschlüsse an Masse liegen. Der NMOS-Transfertransistor, der

weiterhin eingesetzt wird, wird mittels eines Taktsignals zunächst mit U_{DD} verbunden und dann auf Masse gezogen.

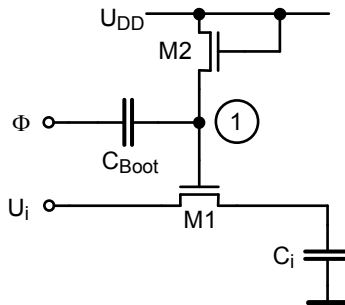


Bild 4.62 Bootstrap-Schaltung.

4.7.5 Statische Latches und Register

Statische Speicherelemente benutzen eine Mitkopplung, um eine bistabile Schaltung zu realisieren. Eine bistabile Schaltung hat nur zwei stabile Zustände, die eine logische „Eins“ beziehungsweise eine logische „Null“ repräsentieren. Charakteristisch für statische Speicher ist, dass sie ihre Information bewahren, solange die Versorgungsspannung aufrecht erhalten wird. Bei einer nicht zu großen Störung wird aufgrund der Mitkopplung das gespeicherte Signal erneuert, indem der Versorgungsspannungsquelle Leistung entnommen wird. Mit dynamischen Latches, wie sie in Kapitel 4.7.1 beschrieben sind, ist eine Signalerneuerung während der Haltephase nicht möglich.

4.7.5.1 Flip-Flop

Die einfachste Form eines statischen Flip-Flops enthält zwei mitgekoppelte Inverter (Bild 4.63a und 4.63b). Das linke Bild in 4.63c zeigt die Übertragungskennlinie des Inverters I1, während das rechte Bild die Kennlinie von Inverter I2 darstellt. Da aufgrund der Mitkopplung der Ausgang des einen Inverters den Eingang des anderen steuert, können die beiden Ordinaten zusammengefasst werden. Indem die Abszisse der einen Kennlinie auf die Abszisse der anderen Kennlinie geklappt wird, erhält man, wie es in Bild 4.63d gezeigt ist, die beiden stabilen Zustände und den instabilen Zustand des Flip-Flops. Die Punkte $U_1 = 0\text{ V}$, $U_2 = U_{DD}$ und $U_1 = U_{DD}$, $U_2 = 0\text{ V}$ sind stabil, weil in diesen Fällen die Schleifenverstärkung und damit auch die Beträge der Verstärkungen der einzelnen Inverter kleiner als eins sind. Der dritte Punkt ($U_1 = U_2 = U_{DD}/2$ für symmetrische Inverter) ist instabil, da die Beträge

der Inverterverstärkungen größer als eins sind und die Schaltung eine Mitkopplung aufweist. Jede noch so kleine Störung, die zum Beispiel durch Rauschen hervorgerufen wird, führt dazu, dass das Flip-Flop vom instabilen Punkt in einen der beiden stabilen Punkte fällt. Mittels der Spannung U_1 und U_2 kann der Zustand des Flip-Flops von außen eingeschrieben werden.

Für die Erklärung des Kippvorgangs vom instabilen Zustand aus wird angenommen, dass eine kleine Störung eine höhere Spannung U_1 am Eingang des Inverter I_1 bewirkt. Nun fließt im Pull-Down-Zweig dieses Inverters ein größerer Strom, der die Eingangskapazität des Inverters I_2 entlädt und somit die Ausgangsspannung U_2 erniedrigt. Aufgrund der Kennlinie des Inverters I_2 bedeutet dies, dass die Spannung U_1 vergrößert wird. Wegen der Mitkopplung wird die ursprüngliche Ursache verstärkt. Mit einer größeren Aussteuerung startet erneut der Kreislauf. Erst wenn der stabile Punkte erreicht ist, endet der Prozess, da dann die Schleifenverstärkung kleiner als eins ist.

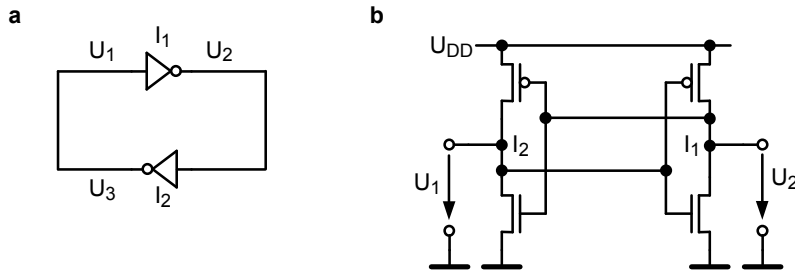


Bild 4.63 Statisches Flip-Flop: **a** Logikschaltbild; **b** Transistorschaltbild.

Im nächsten Schritt soll nun der zeitliche Ablauf des Kippvorgangs näher untersucht werden. Das Flip-Flop habe den Gleichgewichtszustand des instabilen Punktes. Zum Zeitpunkt $t = 0$ wird nun eine kleine Störung $\Delta U_0 = U_2 - U_1$ angenommen. Ein vereinfachtes Kleinsignalersatzschaltbild für das Flip-Flop im instabilen Punkt zeigt Bild 4.63d. Für die Steilheit g_m beziehungsweise den Ausgangswiderstand r_0 gilt

$$g_m = g_{mn} + g_{mp} \quad (4.106b)$$

$$r_0 = r_{on} \parallel r_{op} \quad (4.107)$$

Aus den Strombilanzen an den Ausgängen folgt

$$g_m \cdot u_1 + \frac{u_2}{r_0} + C_L \cdot \frac{du_2}{dt} = 0 \quad (4.108)$$

$$g_m \cdot u_2 + \frac{u_1}{r_0} + C_L \cdot \frac{du_1}{dt} = 0 \quad (4.109)$$

Subtrahiert man die beiden letzten Gleichungen, erhält man

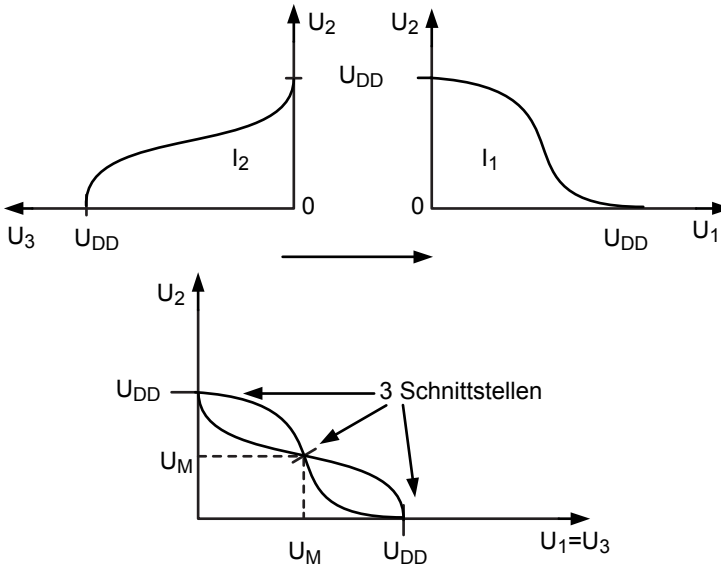


Bild 4.63c Statisches Flip-Flop Ableitung der Übertragungskennlinie.

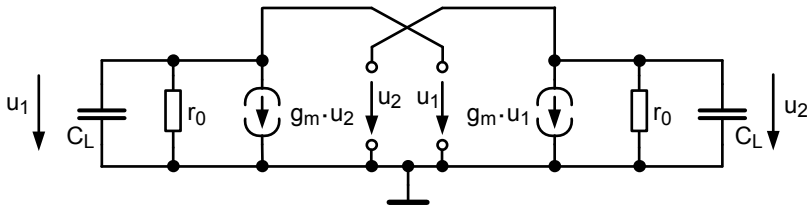


Bild 4.63d Statisches Flip-Flop Kleinsignalersatzschaltbild.

$$\frac{d}{dt}\Delta u(t) = \Delta u(t) \cdot \frac{1}{C_L} \cdot \left(g_m - \frac{1}{r_0} \right) \quad (4.110)$$

$$\Delta u(t) = u_2(t) - u_1(t) \quad (4.111)$$

Die Lösung der Differentialgleichung 4.110 lautet

$$\Delta u(t) = \Delta U_0 \cdot \exp \left[\left(g_m - \frac{1}{r_0} \right) \cdot \frac{t}{C_L} \right] \quad (4.112)$$

ΔU_0 Störung zum Zeitpunkt $t = 0$.

Die Gleichung 4.112 beweist, dass für die Instabilität eine Anfangsstörung $\Delta U_0 \neq 0$ und eine Verstärkung $|v| = g_m \cdot r_0 > 1$ notwendig sind. Für die Zeit t_p , die benötigt wird, um eine Spannungsdifferenz ΔU_{end} zu erreichen, erhält man näherungsweise

$$\begin{aligned}
 t_p &= \frac{C_L}{g_m - \frac{1}{\gamma_0}} \cdot \ln \left(\frac{\Delta U_{\text{end}}}{\Delta U_0} \right) \approx \frac{C_L}{g_m} \cdot \ln \left(\frac{\Delta U_{\text{end}}}{\Delta U_0} \right) \\
 t_p &= \frac{1}{\omega_u} \cdot \ln \left(\frac{\Delta U_{\text{end}}}{\Delta U_0} \right) = \frac{1}{\omega_u} \cdot \ln(v_d) \quad .
 \end{aligned}
 \tag{4.113}$$

Für $|v_d| = g_m \cdot r_0 \gg 1$.

Die Gatterlaufzeit t_p nähert sich unendlich, wenn ΔU_0 immer kleiner wird (Bild 4.64). Soll das Flip-Flop innerhalb einer vorgegebenen Zeit „entscheiden“, muss die anfängliche Aussteuerung genügend groß sein. Wenn genügend Zeit vorhanden ist, fällt das Flip-Flop immer in einen der beiden stabilen Zustände. Es gilt dann: $\Delta U_{\text{end}} = U_{\text{DD}}$.

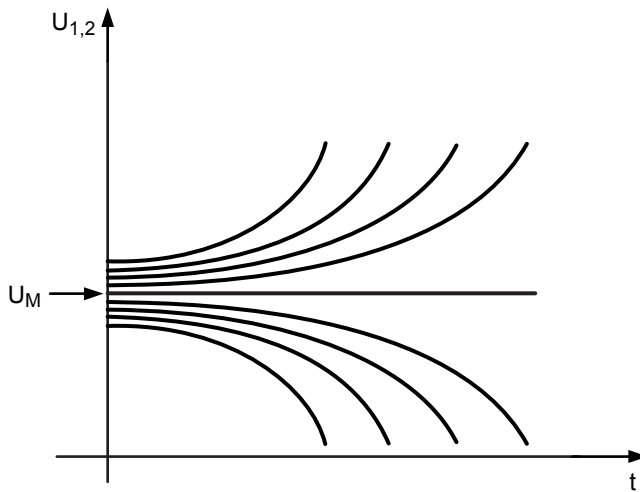


Bild 4.64 Zeitlicher Verlauf des Kippvorgangs.

Ein Vergleich der Gleichung 4.113 mit der Gleichung 4.31 des Kapitels 4.3.2.2, die das lineare Einschwingverhalten eines CMOS-Inverters beschreibt, oder der Gleichung 4.97c des Kapitels 4.6.2.1, die das lineare Einschwingverhalten einer Differenzstufe mit Ohm'scher Last angibt, zeigt, weil in Gleichung 4.113 der Einfluss der Verstärkung v_{d0} durch den Logarithmus wesentlich gedämpft wird, dass mit bistabilen Schaltungen am schnellsten Signale vergrößert werden können. Allerdings geht dabei die Information über die Größe des Eingangssignals verloren. Daher eignen sich bistabile Schaltungen besonders gut als Kerne von Komparatoren.

Das Flip-Flop nach Bild 4.63 bildet die Basis für ein statisches Latch, wie es in Bild 4.65a dargestellt ist. Das Latch besteht aus einer Differenzstufe mit Ohm'schen Lasten, die als Vorverstärker dient, und dem Flip-Flop. Der Vorverstärker besteht aus den Transistoren M1 – M3 und den beiden Lastwiderständen. Das Flip-Flop enthält die Transistoren M6 bis M8. Der Vorverstärker trennt das Flip-Flop von den Zuleitungen und damit auch von deren Kapazitäten. Vorverstärker und Flip-Flop

bilden ein Latch, das mit der fallenden Flanke des Taktsignals den Eingangswert übernimmt. Diese Schaltung hat den Vorteil, dass das Fallen des Flip-Flops kaum die Eingangssignale beeinflusst. Um die, im Verhältnis zu den n-Kanal-Transistoren, langsamen p-Kanal-Transistoren zu vermeiden, werden Ohm'sche Widerstände eingesetzt. Sollen aus Platzgründen doch p-Kanal-Transistoren verwendet werden, müssten deren Gates und Drains kurzgeschlossen sein. Die Schaltung nach Bild 4.65a stellt auch eine einfache Komparatorschaltung dar.

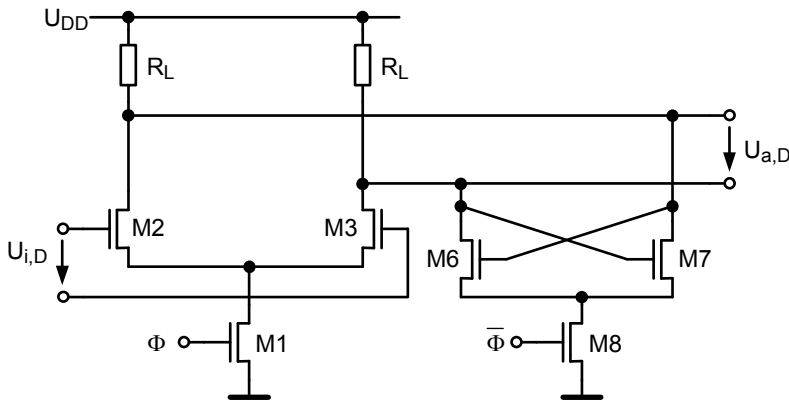


Bild 4.65a Latch mit einem Flip-Flop und einem Vorverstärker.

Die Funktionsweise des Vorverstärkers wurde bereits in Kapitel 4.6.2.1 erläutert. Es gilt bei kleinen Frequenzen

$$\frac{u_{\text{outD}}}{u_{\text{indD}}} = -g_{m2,3} \cdot R_L = -v_{d0} \quad (4.114a)$$

R_L ist der Lastwiderstand

$$\omega_{3\text{dB}} = \frac{1}{R_L \cdot C_L} = \frac{g_m}{|v_{d0}| \cdot C_L} \quad (4.114b)$$

Um eine hohe 3 dB-Grenzfrequenz $\omega_{3\text{dB}}$ zu erreichen, sollte die Verstärkung v_{d0} klein sein.

Betrachtet man nur das Flip-Flop, so sieht man, dass eine kurze Gatterlaufzeit durch eine kleine Lastkapazität und eine große Steilheit der Transistoren M6 und M7 erzielt werden kann. Kleine Lastkapazitäten können mit kleinen Transistoren erreicht werden. Aber man würde damit auch deren Steilheit g_m minimieren. Man behilft sich, indem man, wie bei der Differenzstufe, einen Fußpunkttransistor (M8) einfügt. Man kann nun gleichzeitig kleine Lastkapazitäten, die von der Dimensionierung der Transistoren M6 und M7 abhängen und große Steilheiten, die vom Querstrom bestimmt sind, erzielen. Ist das Flip-Flop gefallen, fließt der Drain-Strom I_{D8} des Fußpunkttransistors M8 entweder über den linken Lastwiderstand oder über den

Rechten. Der jeweils andere Ausgangsknoten liegt an U_{DD} . Der Signalhub beträgt $I_{D8} \cdot R_L$. Der Ausgangssignalhub ist reduziert. Dies und der Einsatz von Ohm'schen Widerständen ergibt kurze Gatterlaufzeiten. Im Zusammenhang mit der „Current Mode Logic“ (CML) wird dieses Thema in Kapitel 4.8.1.4 vertieft dargestellt.

Zusätzlich zu den bisherigen Überlegungen müssen noch die Herstellungstoleranzen berücksichtigt werden. In Kapitel 2.2.3.5, Gleichungen 2.183 und 2.184, wurde gezeigt, dass die Varianz der Einsatzspannung U_T und des Verstärkungsfaktors β umgekehrt proportional zur Gate-Fläche ist. Soll ein minimales Eingangssignal ΔU_0 sicher bewertet werden, muss die Offsetspannung aufgrund der Herstellungstoleranzen kleiner sein als das zu bewertende Signal ΔU_0 . Dem entsprechend müssen die Gate-Flächen der Transistoren dimensioniert werden, was die Geschwindigkeit des Kippvorgangs beeinflusst. In Kapitel 4.6.2.1 wurde die Offsetspannung einer Differenzstufe mit Ohm'schen Lasten abgeleitet, siehe Gleichung 4.104d. Auch hier hilft die Schaltung nach Bild 4.65a das Problem zu entschärfen, indem während $\Phi = 1$ das eingehende Signal entsprechend verstärkt wird.

Das statische Latch ist im Hinblick auf extrem seltene stochastische Ausreißer, zum Beispiel bezüglich der Einsatzspannung unempfindlich. Da trotz Abweichungen für jeden Knoten immer eine niederohmige Verbindung entweder zu U_{DD} oder U_{SS} besteht. Dies ist ein weiterer wichtiger Vorteil von statischen Schaltungen.

Die Schaltung nach Bild 4.65a ist eine einfache Komparatorschaltung und stellt ein Latch dar. Eine sehr beliebte Komparatorschaltung, die als Register wirkt, ist in Bild 4.65b dargestellt. Die neue Schaltung benötigt keinen Vorverstärker und verbraucht deswegen weniger Verlustleistung; daher die große Beliebtheit. Auf den ersten Blick fällt auf, dass nun vier Transistoren gestapelt sind, während in der Schaltung nach Bild 4.65a nur zwei Transistoren und ein Widerstand, der durch einen Transistor ersetzt werden kann, übereinander liegen. Jeder Transistor sollte im Sättigungsbereich arbeiten. Deswegen ist es für kleine Versorgungsspannungen vorteilhaft nur wenige Transistoren zu stapeln. In den beiden Zweigen der Bewerterschaltung befinden sich nun sechs anstatt vier Transistoren. Dies erhöht die Asymmetrie aufgrund von Herstellungstoleranzen zwischen den beiden Zweigen. Die Offsetspannung wird größer.

Für $\Phi = 0$ sperrt der Transistor M1, während die Transistoren M6 und M9 leiten. In dieser Phase liegen die beiden Ausgangsknoten an U_{DD} . Daraus folgt, dass die Source-Anschlüsse von M4 und M5 eine Spannung von $U_{DD} - U_{Tn}$ haben. Entsprechend gilt für die Source-Potentiale von M2 und M3: $U_{DD} - 2 \cdot U_{Tn}$. Wenn das Taktsignal von Null nach Eins wechselt, beginnt die Bewertungsphase. Für $D = 1$ zieht der Transistor M2 Strom, während der Transistor M3 sperrt. Somit sollte nur der Ausgangsknoten Q entladen werden. Jedoch wegen des p-Kanal-Transistors M10 fließt auch im rechten Zweig ein Strom. Da M10 ein kleines W/L-Verhältnis aufweist, ist dieser Strom sehr klein. Der Ausgangsknoten Q im linken Zweig wird schneller entladen als der Ausgangsknoten $\bar{Q}$ im rechten Zweig. Das Flip-Flop fällt. Die Rückwirkung auf die Eingangsdatenleitungen ist ähnlich gering wie bei der Schaltung nach Bild 4.65a. Mit abnehmender Ausgangsspannung Q wird die Gate-Source-Spannung von M8 größer. Der Transistor M8 zieht den Ausgang $\bar{Q}$ wieder nach U_{DD} zurück. Der Ausgang Q des linken Zweigs wird nach Masse entladen.

Damit das Register für $\Phi = 1$ seinen Zustand beibehält, auch wenn das Datensignal wieder wechselt, wird der Transistor M10 eingesetzt. Da nach einem Datenwechsel nun der Transistor M2 sperrt, hält der p-Kanal-Transistor M10 die leitende Verbindung vom Ausgangsknoten Q über M3 nach Masse aufrecht.

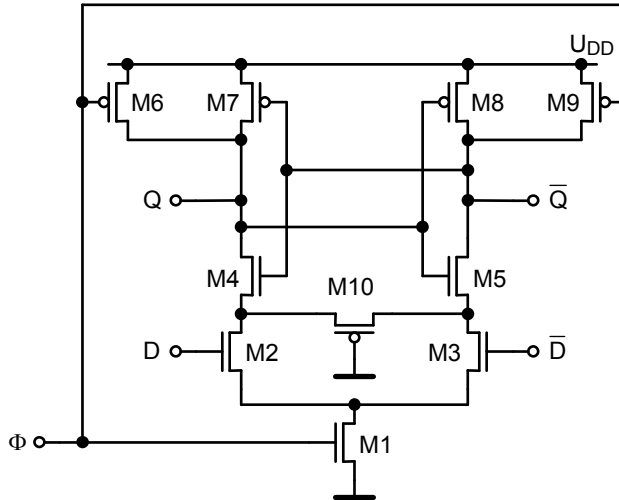


Bild 4.65b Komparatorschaltung, die ein Register darstellt [199].

4.7.5.2 Bewerterschaltung (Sense Amplifier)

In dynamischen Speichern (siehe Kapitel 6.5) werden Schaltungen benötigt, die die kleinen Signale der Bitleitungen bewerten, regenerieren und zurückschreiben können. Differenzverstärker sind für diese Aufgabe ungeeignet, da sie das Eingangssignal unverändert lassen. Außerdem sind Differenzverstärker zu langsam, wie im letzten Kapitel gezeigt wurde. Daher verwendet man eine Schaltung, die aus dem Flip-Flop mit Fußpunkttransistor (Bild 4.65a) hervorgeht. Bild 4.66 stellt eine vereinfachte Bewerterschaltung dar, anhand der das Prinzip erläutert wird [212, 86]. Die beiden Lastkapazitäten repräsentieren die Bitleitungen. Die beiden Knoten I und II sind sowohl die Eingänge wie auch die Ausgänge der Schaltung.

Mit der Bewerterschaltung sollen kleine Spannungsunterschiede an Lastkapazitäten erkannt werden. Entsprechend der Polarität der Spannungsdifferenz soll eine der beiden Lastkapazitäten auf Null Volt entladen werden, während die Spannung der anderen zunächst möglichst unverändert bleiben und am Ende nach U_{DD} gezogen werden soll.

Die Bewerterschaltung ist eine dynamische Schaltung. In der Vorladephase liegen die Signale Φ_L und Φ_S an Masse. Der Transistor M5 sperrt also. Die Knoten I und II werden auf die Spannung $U_{Pr} = U_{DD}/2$ vorgeladen.

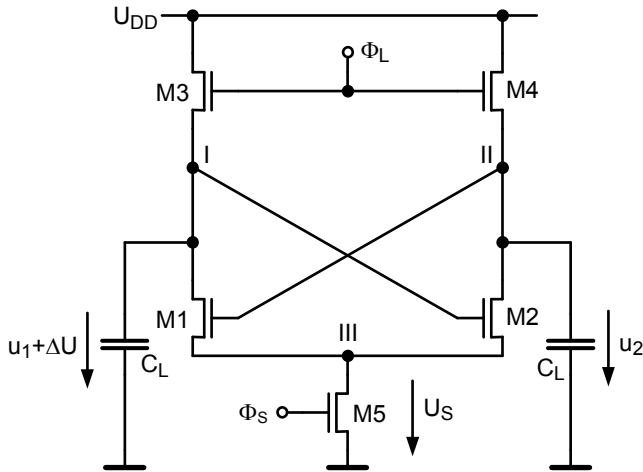


Bild 4.66 Vereinfachtes Transistorschaltbild einer Bewerterschaltung.

Die Vorgänge während der Bewertungsphase ($\Phi_S = U_{DD}$, $\Phi_L = 0$) können besser erklärt werden, wenn zunächst zwischen den Lastkapazitäten keine Differenzspannung ΔU angenommen wird. Die beiden Zweige der Schaltung seien identisch. Es soll kein Rauschen und keine Störung vorhanden sein. Im idealen Gleichtaktbetrieb ($\Delta U = 0$) teilt sich der Strom des Fußpunkttransistors M5, der als ideale Stromquelle angenommen wird, zu gleichen Teilen auf beide Seiten auf. Die Gate-Source-Spannungen der Transistoren M1 und M2 sind mit diesen Annahmen identisch und weisen konstante Werte auf. Das heißt die Spannungen der Knoten I, II und III werden mit der gleichen Rate kleiner. Es lässt sich eine Gleichtaktspannung $u_C(t)$ definieren

$$u_C(t) = \frac{1}{2} \cdot (u_1(t) + u_2(t)) \quad .$$

Im nächsten Schritt wird nun zu Beginn der Bewertungsphase eine kleine Aussteuerung ΔU von etwa 100 bis 200 mV angenommen. Diese Spannungsänderung wird von der ausgewählten Speicherzelle verursacht. Es sei die Spannung $u_1(t)$ um diesen Betrag größer als $u_2(t)$. Deswegen zieht der Transistor M2 mehr Strom als M1, das heißt der Knoten II wird schneller als der Knoten I entladen. Wie vorher, als eine ideale Gleichtaktaussteuerung angenommen wurde, folgt $u_S(t)$ dem Gleichtaktsignal $u_C(t)$. Diesem Vorgang ist eine Differenzspannung $\Delta U = u_1 - u_2$ überlagert, die während des Kippvorgangs verstärkt wird.

Die Spannungen $u_1(t)$ und $u_2(t)$ werden kleiner und die Differenz $u_1 - u_2$ wird gleichzeitig größer. Schließlich wird der Transistor M1 gesperrt. Etwa zu dieser Zeit wird der Takt Φ_L aktiviert ($\Phi_L = U_{DD}$). Was bewirkt, dass der Knoten I nach U_{DD} gezogen wird, da der Transistor M1 sperrt. Bei geeigneter Dimensionierung der Transistoren M1 bis M4 wird der Knoten II weiter entladen. Allerdings wird der

Knoten II nicht vollständig entladen, da der Transistor M4 Strom leitet. In diesem Zustand befindet sich Transistor M2 im Triodenbereich.

Daher wird im Pull-Up-Zweig an Stelle der Transistoren M3 und M4 eine zweite Bewerterschaltung eingesetzt. Diese zweite Bewerterschaltung besteht aus zwei kreuzgekoppelten p-Kanal-Transistoren und einem weiteren gesteuerten Fußpunkttransistor. Die zweite Bewerterschaltung aus p-Kanal-Transistoren ist ein Spiegelbild der anderen Bewerterschaltung aus n-Kanal-Transistoren. Üblicherweise werden die beiden Fußpunkttransistoren zeitlich versetzt aktiviert [103]. Das heißt zunächst vergrößert die Bewerterschaltung aus n-Kanal-Transistoren die Eingangsdifferenzspannung. Später wird die zweite Bewerterschaltung zusätzlich eingeschaltet. Die Knoten I und II werden nun auf U_{DD} , beziehungsweise auf Masse gezogen (siehe Bild 4.67). Nun kann die Information der Zelle, die beim Auslesen zerstört wurde, wieder zurück in die Zelle geschrieben werden.

Da das Eingangssignal während des Bewertungsvorgangs verändert wird, ist die Bewerterschaltung kein Verstärker im strengen Wortsinn. Trotzdem wird diese Schaltung häufig „Sense Amplifier“ genannt. Die Schaltgeschwindigkeit der Bewerterschaltung hängt von der Größe der Lastkapazitäten ab. Deswegen werden Transfertransistoren benutzt, um zu Beginn der Bewertungsphase den „Sense Amplifier“ von den langen Bitleitungen zu trennen.

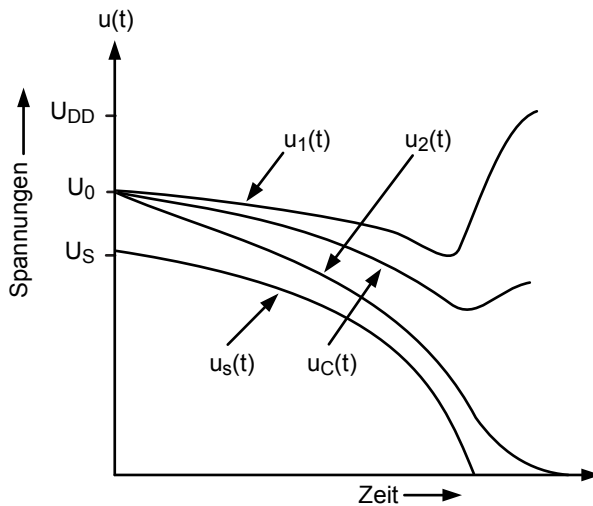


Bild 4.67 Eingangs- und Ausgangssignale, Gleichtaktspannung und Source-Potentiale der Transistoren M1 und M2 in Abhängigkeit von der Zeit [86].

In [131] wird vorgeschlagen, die beiden Bewerterschaltungen möglichst gleichzeitig zu aktivieren. Dies ist nur möglich, wenn die beiden Fußpunkttransistoren keine Stromquellen darstellen. Sondern sie sollen eine niederohmige Verbindung zu der jeweiligen Versorgungsleitung sicherstellen. Im eingeschalteten Zustand sollen

diese Widerstände etwa ein Zehntel des Widerstands von $M1$ oder $M2$ betragen, wenn diese im Triodenbereich arbeiten.

Das gleichzeitige Aktivieren könnte drei Vorteile haben. Offensichtlich ist, dass wegen der beiden Bewertererschaltungen sich das maßgebliche g_m verdoppelt, während die kapazitive Belastung der Knoten I und II nahezu unverändert bleibt. Somit wird der Kippvorgang beschleunigt. Die Lastkapazitäten an den Knoten I und II sind wegen Herstellungstoleranzen und wegen Spannungsabhängigkeiten nicht identisch. Das gleichzeitige Aktivieren hilft die Auswirkung der unsymmetrischen Belastung zu minimieren. Schließlich konnte in [131] gezeigt werden, dass die lokalen Schwankungen der Einsatzspannungen von benachbarten Transistoren sich weniger auf die Ausbeute auswirken, als es bei zeitlich versetzter Aktivierung der Fall wäre. Dies ist eine interessante Idee. Es bleibt abzuwarten, ob sie sich in der Praxis bewährt.

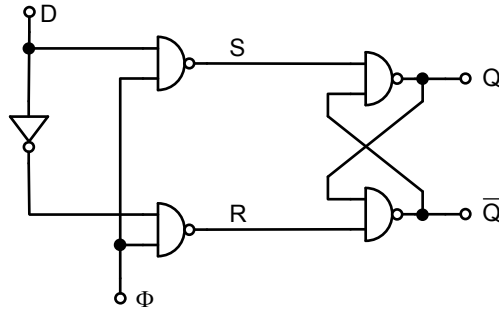
4.7.5.3 Einschreiben von Daten

Das Bild 4.63 stellt ein einfaches Flip-Flop dar. Es stellt sich die Frage, wie man von außen gegen die Rückkopplung neue Daten einschreiben kann? Das Problem ist, wenn mittels eines Inverters ein neues Datum eingeschrieben werden soll, das heißt das gespeicherte Datum soll geändert werden, der Inverter im Rückkoppelpfad dagegen arbeitet. Es arbeitet immer ein n-Kanal-Transistor im Pull-Down-Pfad gegen einen p-Kanal-Transistor im Pull-Up-Pfad.

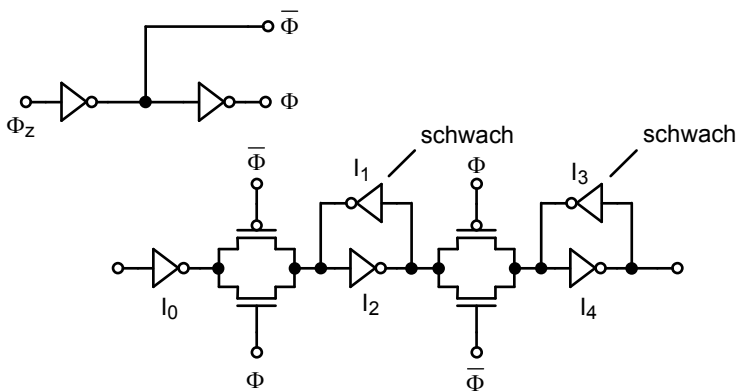
Die Schaltungen nach den Bildern 4.65a bis 4.65b zeigen Lösungen für dieses Problem. Andere Lösungen findet man in Elektroniklehrbüchern. Dort werden sehr häufig Schaltungen für Latches beschrieben, die aus RS-Flip-Flops aufgebaut sind. Wie es in Bild 4.68 dargestellt ist, wird nun das Flip-Flop aus zwei NAND-Gattern aufgebaut. Die beiden anderen NAND-Gatter und der Inverter dienen zur Ansteuerung des Latches. Während $\Phi = 0$ haben beide Eingänge des Latches ein hohes Potential ($R = S = 1$). Somit bewahrt das Flip-Flop seinen gespeicherten Zustand. Für $\Phi = 1$ ist das Latch transparent; der Ausgang folgt dem Eingangssignal. Mit $S = 0$ wird das Latch gesetzt ($Q = 1$). Mit $R = 0$ wird das Latch zurückgesetzt ($Q = 0$). Der Inverter wird benötigt, um den verbotenen Zustand ($R = 0, S = 0$) zu vermeiden. Das Schreiben der Daten wird durch die logische Funktion der Gatter ermöglicht.

In der integrierten Schaltungstechnik vermeidet man derartige Schaltungen, obwohl sie mit einfachen CMOS-Gatter realisierbar sind. Der Hauptgrund ist, dass die Lastkapazitäten an den Ausgängen der NAND-Gatter, die rückgekoppelt sind, im Vergleich zu denen in Flip-Flops, die aus Invertern aufgebaut sind, sehr groß sind. Somit ändert das Flip-Flop aus NAND-Gatter nur relativ langsam seinen Zustand. Es sollten daher nur Flip-Flops eingesetzt werden, die aus Invertern bestehen.

Oft wird eine Kombination aus dynamischem Latch und Flip-Flop, das aus Invertern aufgebaut ist, verwendet. Aus Latches ergibt sich wieder ein Register. Für die Schaltung nach dem Bild 4.69a gilt, dass wegen des Inverters I0 am Eingang und wegen der Flip-Flops (I1/I2 beziehungsweise I3/I4) die wichtigsten Nachteile

**Bild 4.68** NAND-basiertes D-Latch.

des rein dynamischen Registers nach Bild 4.57 vermieden werden. Die Schaltungen sind unempfindlicher gegen kapazitive Kopplungen auf die Eingangsleitungen. Wegen der statischen Flip-Flops gibt es nun keine frei schwebenden Knoten.

**Bild 4.69a** Pseudo-statisches Register für Ein-Phasen-Taktsysteme. Aus dem zentralen Taktsignal Φ_z werden für jedes Register die beiden Taktphasen abgeleitet.

Aber jedes Mal, wenn die Daten in die pseudo-statischen Latches eingeschrieben werden sollen, stellt sich das Problem, dass die Inverter in den Rückkopplpfaden gegen die Inverter in den Vorwärtspfaden arbeiten. Daher müssen die Inverter in den Rückkopplpfaden (I1 und I3 in Bild 4.69a) mit einer geringeren Treiberfähigkeit als die Inverter im Vorwärtspfad ausgestattet werden.

Erreicht wird dies, indem man die Transistoren der Inverter in den Rückkopplpfaden mit kleineren W/L-Verhältnissen als die anderen Transistoren dimensioniert. Trotz Temperaturschwankungen, Herstellungstoleranzen und Schwankungen der Versorgungsspannung müssen die Flip-Flops sicher und ausreichend schnell fallen. Es sollte ein Puls mit der Dauer von zwei Inverterlaufzeiten ausreichen, um das Flip-Flop zum Kippen zu bringen.

Das Designproblem kann auf Kosten einer erhöhten Zahl an Transistoren entschärft werden, wie Bild 4.69b zeigt. Mittels Verriegelungsschaltungen (C²MOS-Schaltungen, Bild 4.59) werden während der Einschreibvorgänge die jeweiligen Rückkoppelpfade der Latches unterbrochen. Somit ist das Einschreiben wesentlich einfacher. Man kann die Inverter nun gleich dimensionieren. In der Haltephase sind die Rückkoppelpfade aktiv.

Man könnte die Verriegelungsschaltungen in den Rückkoppelpfaden durch Serienschaltungen von Inverter und Transmission-Gatter ersetzen. Jedoch hat sich dies in der Praxis nicht durchgesetzt. Zellenbibliotheken für moderne Technologien (zum Beispiel 40 nm Technologie) enthalten Register bei denen zumindest teilweise die Transmission-Gatter mit Inverter in den Vorwärtspfaden durch eine Verriegelungsschaltung ersetzt werden (Bild 4.69c). Dieses Register hat noch eine weitere wichtige Eigenschaft.

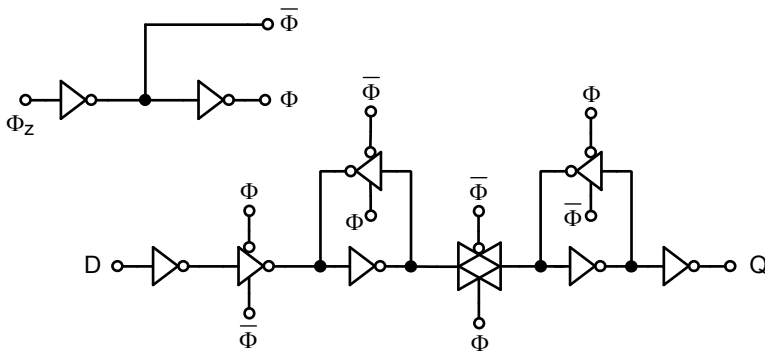


Bild 4.69b Pseudo-statisches Register mit unterbrechbaren Rückkoppelpfaden mittels Transmission-Gatter.

Testen von integrierten Schaltungen stellt ein großes Problem dar. Deswegen werden Testhilfen mit auf den Chips integriert. Eine einfache Methode das Testen der Schaltungen zu erleichtern ist es, im Testmodus Register in den Rückkoppelpfaden von sequentiellen Netzwerken zu Schieberegister zusammen zu schalten. Man kann so Testvektoren einlesen und die Testergebnisse auslesen [80]. Man spricht von einem „Scan-Path“. Im Normalbetrieb werden diese Register in die Rückkoppelpfade der sequentiellen Logik geschaltet.

Damit die Register zwischen den beiden Funktionen hin- und hergeschaltet werden können, benötigt man einen Multiplexer (siehe Kapitel 4.8.1.4). Ein Steuersignal S_e , das an zwei zusätzliche Verriegelungsschaltungen angreift, schleust entweder das Datensignal D oder das Ausgangssignal S_i des vorhergehenden Registers in das betrachtete Register (siehe Bild 4.69c), dessen Ausgang auch mit dem Eingang des nächsten Registers verbunden ist.

Das Einschreiben von Daten in ein Flip-Flop ist problematisch. In Kapitel 6.4 über SRAM-Zellen wird das Problem erneut behandelt.

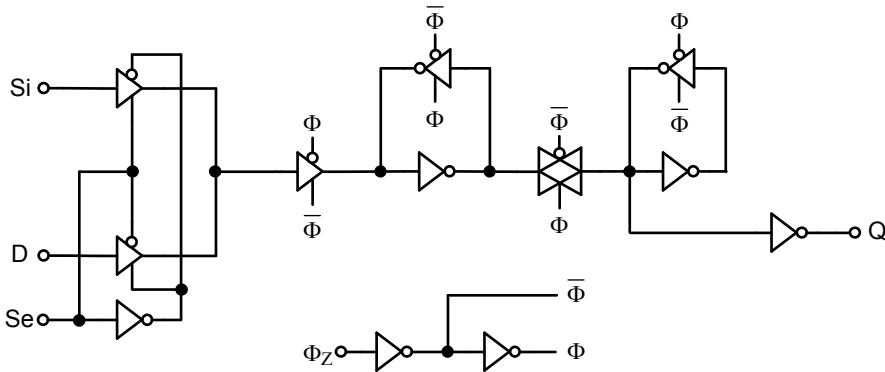


Bild 4.69c Pseudo-statistisches Register mit Verriegelungsschaltungen.

Mit Pulsen lässt sich ebenfalls ein Register realisieren. Die Grundidee ist einen kurzen Puls mit der steigenden oder der fallenden Taktflanke zu generieren. Dieser Puls wird als Taktsignal für das Einschreiben von Daten in ein Flip-Flop eingesetzt. In Bild 4.70 wird eine Variante des Pulsregisters gezeigt, die im K6 Mikroprozessor von AMD vorrangig eingesetzt wurde [19]. In diesem Fall ist der Pulsgenerator in das Register integriert. Für $CLK = 0$ sperren die Transistoren N1 und N3. Dagegen leitet der Transistor P1 und lädt den Knoten IB auf U_{DD} . Der Knoten S ist von Knoten IB entkoppelt und hält zusammen mit dem Ausgang des Flip-Flops seinen vorherigen Zustand. Das Signal $CLKB$ ist das um drei Inverterlaufzeiten verzögertes und invertierte Taktsignal CLK . Mit der steigenden Taktflanke werden die Transistoren N1 und N3 aktiviert während die Transistoren N2 und N4 für eine kurze Zeit, die von der Laufzeit der drei Inverter bestimmt wird, leitend bleiben. Während dieses Intervalls ist die Schaltung transparent und der Ausgang S beziehungsweise QB folgt dem Eingang D .

Die Zeit in der das Register transparent ist, bestimmt auch die Haltezeit t_h (hold time). Dieses Zeitfenster muss weit genug sein, so dass Daten vom Eingang zum Ausgang gelangen können. Bei dieser Schaltung kann die Set-up-Zeit t_{su} auch negativ sein. Dies ist immer dann der Fall, wenn die Zeit, in der das Register transparent ist, größer ist als die Laufzeit der Signale vom Eingang zum Ausgang. Das ist eine sehr attraktive Eigenschaft. Die Eingangssignale können auch noch nach der steigenden Taktflanke eintreffen. Die vorhergehende Taktphase kann etwas länger dauern. Nachteilig ist wieder die hohe Verlustleistung und die große Anzahl der benötigten Transistoren.

4.7.6 Metastabilität

Der Datenaustausch zwischen digitalen Untereinheiten wird bei synchronen Schaltungen mittels eines zentralen Taktsignals geregelt. Bei mesochronen Systemen ha-

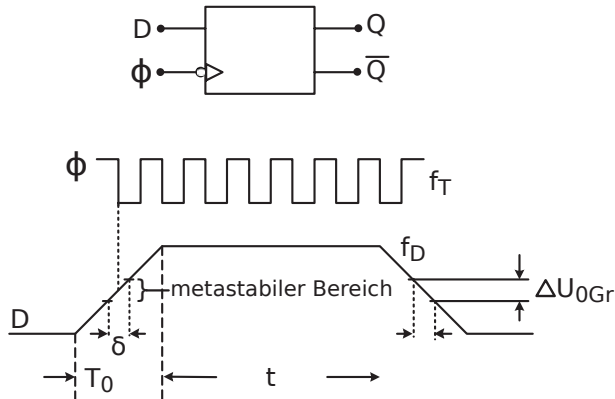


Bild 4.71 Abtastung der Eingangsdaten D bei asynchroner Datenübertragung mit der fallenden Flanke des Taktsignals Φ . δ : Zeitbereich der Metastabilität ΔU_{0Gr} : Spannungsbereich der Metastabilität f_T : Taktfrequenz f_D : Frequenz des Datensignals T_0 : Anstiegs- oder Abfallzeit des Datensignals.

$$\omega_u = 1/\tau = g_m/C_L \quad \text{Unity-Gain-Frequenz} \quad .$$

Für die einzelnen Knotenspannungen der Schaltung nach Bild 4.63d ergibt sich für die Spannungen u_1 und u_2 , die auf den instabilen (metastabilen) Punkt U_M bezogen sind,

$$u_1(t) = U_M + \frac{\Delta U_0}{2} \cdot \exp\left(\frac{t}{\tau}\right) \quad (4.115b)$$

$$u_2(t) = U_M - \frac{\Delta U_0}{2} \cdot \exp\left(\frac{t}{\tau}\right) \quad (4.115c)$$

mit

$$\frac{\Delta U_0}{2} = u_{in1}(0) - U_M = U_M - u_{in2}(0) \quad (4.115d)$$

$$u_{in1,2}(0) \quad \text{Anfangswerte} \quad .$$

Die Gatterlaufzeit t_p des Flip-Flops berechnet sich zu

$$t_p = \frac{C_L}{g_m - r_0^{-1}} \cdot \ln \frac{\Delta U_{\text{end}}}{\Delta U_0} = \tau \cdot \ln \frac{\Delta U_{\text{end}}}{\Delta U_0} \quad (\text{wh 4.113})$$

ΔU_{end} Differenzspannung am Ende des Bewertervorganges z. B. Differenzspannung zwischen „0“ und „1“

ΔU_0 Anfangsdifferenzspannung .

Für $\Delta U_0 = \Delta U_{\text{end}}$ ist wegen der Kleinsignalberechnung $t_p = 0$

Verwendet man anstatt eines Flip-Flops ein dynamisches Latch oder Register nach den Bildern 4.69a oder wie es in Kapitel 4.7.1 beschrieben ist, minimales Ein-

gangssignal genügend verstärken kann. Allerdings benötigen derartige Schaltungen mehr Zeit bis die speichernde Schaltung den richtigen Endwert bei kleinen Eingangssignalen liefern kann, da die Zeitkonstante τ nun von der 3 dB Grenzfrequenz ω_{3dB} gegeben ist. Es gilt für die Gatterlaufzeit t_{pd} eines dynamischen Latches oder Register mit einem Inverter zur Verstärkung des Eingangssignals

$$t_{pd} = \frac{C_L}{g_m} \cdot \frac{\Delta U_{end}}{\Delta U_0} = \frac{1}{\omega_u} = \tau \cdot v_{d0} \quad . \quad (4.116)$$

Die Gatterlaufzeit des dynamischen Latches oder Register ist näherungsweise um die Kleinsignalverstärkung v_{d0} größer als die entsprechende Gatterlaufzeit eines Flip-Flops. Deshalb sollten an asynchronen Schnittstellen immer Flip-Flops zur Bewertung der Eingangssignale eingesetzt werden. Die nachfolgenden Überlegungen gelten zunächst nur für Flip-Flops. Will man die Ergebnisse auf dynamische Latches und Register übertragen, muss man die richtige Zeitkonstante auswählen.

Bei linearen Anstiegs- und Abfallflanken des Datensignals und für $\Delta U_{end} = U_{IH} - U_{IL}$ nach Bild 4.1, folgt aus Gleichung 4.113 und Bild 4.71 für die minimal benötigte Zeit t_{Gr} , um die Metastabilität zu vermeiden,

$$e^{-t_{Gr}/\tau} = \frac{\Delta U_{0Gr}}{\Delta U_{end}} = \frac{\Delta U_{0Gr}}{U_{IH} - U_{IL}} = \frac{\delta}{T_0^*} \quad (4.117a)$$

$$T_0^* = T_0 \cdot \frac{U_{IH} - U_{IL}}{U_{DD}} \quad . \quad (4.117b)$$

Damit die Metastabilität sicher vermieden wird, muss dem Flip-Flop genügend Zeit $T > t_{Gr}$ für die Entscheidung gegeben werden. Der Bereich an Eingangsspannungen ΔU_{0Gr} , der Metastabilität verursacht, nimmt exponentiell mit der Wartezeit T ab.

Aus Gleichung 4.117a ergibt sich der Zusammenhang zwischen der Gatterlaufzeit t_p des Flip-Flops und dem Abtastzeitpunkt. Δt sei der zeitliche Abstand des Abtastzeitpunktes vom metastabilen Punkt t_{meta} , der bei Flip-Flops mit symmetrischen Invertern im Spannungsbereich bei $U_M = U_{DD}/2$ liegt. Es gilt näherungsweise

$$e^{-t_p/\tau} \approx \frac{\Delta t}{T_0/2} = \frac{\Delta U_0}{\Delta U_{end}} \quad . \quad (4.118a)$$

Δt ist der zeitliche Abstand des Abtastvorgangs zum metastabilen Punkt t_{meta} .

Daraus folgt

$$\ln T_0/2 - \ln \Delta t = t_p/\tau \quad . \quad (4.118b)$$

Bild 4.72 zeigt in halblogarithmischer Darstellung die Abhängigkeit der Gatterlaufzeit t_p des Flip-Flops vom zeitlichen Abstand Δt des Abtastvorgangs von der Zeit t_{meta} , bei der die Abtastung am metastabilen Punkt erfolgen würde. Entsprechend Gleichung 4.118b erhält man eine Gerade mit der Steigung τ . Der Schnittpunkt mit der x-Achse liegt bei $T_0/2$.

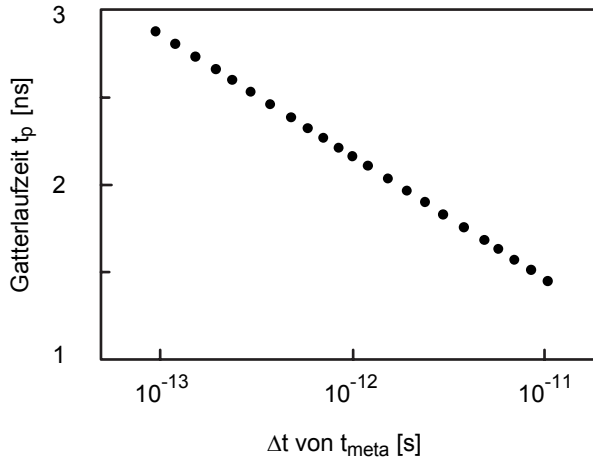


Bild 4.72 Abhängigkeit der Gatterlaufzeit t_p des Flip-Flops in halblogarithmischer Darstellung vom zeitlichen Abstand Δt des Abtastvorgangs zum metastabilen Punkt t_{meta} .

Obwohl der Gleichung 4.118b nur eine vereinfachte Kleinsignalbetrachtung zu Grunde liegt, beschreibt diese Gleichung tendenziell die Verhältnisse richtig, wie Experimente bestätigen. Wenn dem Flip-Flop ein neues Datum eingeschrieben werden soll, das heißt ein vorhandenes Datum soll überschrieben werden, ist die Gatterlaufzeit t_p , auch wenn der volle Eingangssignalhub zur Verfügung steht, nicht Null, sondern weist einen konstanten Wert auf. Die Bilder 4.73a und 4.73b zeigen im linearen Maßstab realistischere Abhängigkeiten der Gatterlaufzeit t_p vom zeitlichen Abstand Δt . Bild 4.73b enthält die Größen von Bild 4.71, wie δ , T_0 und τ .

Da das Flip-Flop am Ausgang Spannungswerte für eine logische „Null“ oder „Eins“ liefern soll, wäre eine Großsignalrechnung angebracht. Dies gilt um so mehr, da es sich um eine Exponentialfunktion handelt. Es sollten genaue Simulationen, die auch Parameterschwankungen, Variationen der Versorgungsspannung und Temperaturschwankungen berücksichtigen, durchgeführt werden, wenn es gilt, Zahlenwerte für die Zeitkonstante τ und für die Gatterlaufzeit t_p zu finden.

Die Datensignale sind statistisch unabhängig von dem Taktsignal. Deswegen errechnet sich die Wahrscheinlichkeit für das Auftreten eines metastabilen Zustandes zu

$$P = \delta \cdot f_D \quad . \quad (4.119a)$$

Für die Wahrscheinlichkeit, dass innerhalb einer Sekunde ein Fehler auftritt (Bitfehlertrate), erhält man

$$P = \delta \cdot f_D \cdot f_{CL} \quad (4.119b)$$

$$P = f_D \cdot f_{CL} \cdot T_0^* \cdot e^{-T/\tau} \quad (4.119c)$$

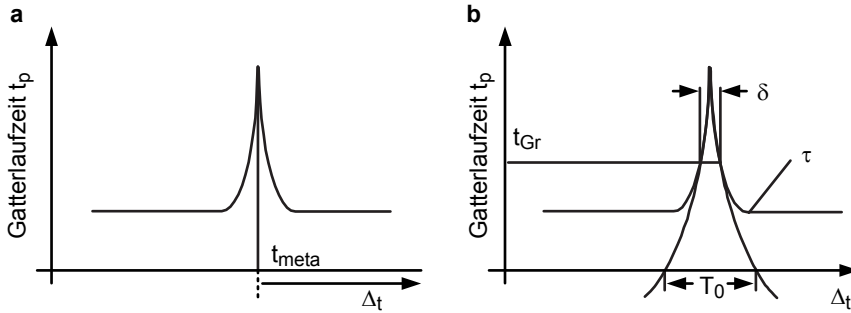


Bild 4.73 Im linearen Maßstab Zeit t_p für die Entscheidung in Abhängigkeit vom Abstand Δt des Abtastzeitpunkt zum metastabilen Punkt t_{meta} [176]. In Bild 4.73b sind auch die Größen von Bild 4.71 eingezeichnet.

T Wartezeit, Zeit, die dem Flip-Flop zur Entscheidung zur Verfügung steht.

Schließlich erhält man für die Zeit zwischen zwei Fehlern

$$MTBF = \frac{1}{f_{CL} \cdot f_D \cdot T_0^* \cdot e^{-T/\tau}} \quad (4.119d)$$

Eine wesentliche Größe für $MTBF$ (Mean Time Between Failures) ist für Flip-Flops die Unity-Gain-Frequenz ω_u , die von der zur Verfügung stehenden Technologie und der Verlustleistung abhängt. Fehler, die durch Metastabilität verursacht sind, sind nur sehr schwer zu identifizieren. Auch wenn man die mittlere Zeit zwischen zwei Fehlern sehr groß wählt, werden Fehler nicht gänzlich verhindert. Daher sollte die Anzahl der asynchronen Schnittstellen, die Synchronisierer benötigen, möglichst klein gehalten werden. Nach [179] sind ein bis zwei Synchronisierer pro System zulässig.

4.8 Elementare Logikgatter

In Kapitel 4.3 wurden die Designüberlegungen für einfache Inverter dargestellt. Nun wird die Diskussion auf Logikgatter, wie NAND-, NOR- oder EXOR-Gatter ausgedehnt. Die Betrachtung bezieht sich auf kombinatorische Logikgatter. Das sind Schaltungen, bei denen, wenn man von den Einschwingvorgängen absieht, der Ausgang eindeutig aufgrund einer Boole'schen Gleichung von den Eingängen abhängt. Bei sequentiellen Schaltungen hängen die Ausgänge nicht nur von den jeweiligen Eingangssignalen sondern auch aufgrund von Rückkopplungen von den vorhergehenden Eingangssignalen ab. Sequentielle Schaltungen weisen einen Speichereffekt auf.

Die Wahl der Schaltungstopologie, mit der bestimmte logische Funktionen realisiert werden, entscheidet über den Erfolg einer integrierten Schaltung. Neben elek-

trische Eigenschaften, wie Schaltgeschwindigkeit, Verlustleistung, Zuverlässigkeit und Unabhängigkeit von Herstellungstoleranzen und von Störungen, entscheiden auch die Kosten, die für den Entwurf, die Herstellung und das Testen der integrierten Schaltung anfallen, über den Erfolg. Man kann nicht erwarten, dass mit einer einzigen Schaltungstopologie alle Aspekte von unterschiedlichen Logikfunktionen abgedeckt werden. Im Gegenteil: es gibt für eine bestimmte Logikfunktion mehrere alternative Topologien. Entwickler von integrierten Schaltungen sollten daher immer alle möglichen Schaltungsalternativen beachten. Weiter sollte sicher gestellt sein, dass die notwendige Unterstützung durch Entwurfs- und Synthesewerkzeuge (CAD-Werkzeuge) gegeben ist [34]. Insgesamt ist festzustellen, dass der neue Chip innerhalb einer vorgegebenen Designzeit und eines vorgegebenen Kostenrahmens mit einer spezifizierten Funktion, Verlustleistung, Fläche und Taktfrequenz entworfen werden muss. Das Testkonzept sollte von Beginn an feststehen und sollte konsequent umgesetzt werden.

Im ersten Schritt werden nun die wichtigsten statischen Logikfamilien, wie CMOS-Logik, Pseudo-NMOS-Logik, DCVS-Logik (Differential Cascode Voltage Switch-Logic), CML (Current Mode Logic) und Pass-Transistor-Logik, die dem Designer in der CMOS-Technologie zur Verfügung stehen, behandelt. Besonderes Augenmerk gilt dem Problem, wie man Logikgatter kaskadiert. Darin schließt sich eine Behandlung der dynamischen Logikgatter an. Ein wichtiger Schwerpunkt stellt die Frage dar, wie die Verlustleistung von Logikschaltungen minimiert werden kann. Am Schluss dieses Kapitels wird die „adiabatische Logik“ behandelt. Bei relativ niedrigen Frequenzen kann möglicherweise mit dieser Logik wesentlich Verlustleistung gespart werden.

Statische CMOS-Logiken arbeiten noch korrekt für $U_{DD} < U_T$. In diesem Arbeitsbereich werden die Transistoren im Unterschwellenbereich betrieben (subthreshold logic). Es sind beim Entwurf derartiger Schaltungen einige Besonderheiten zu beachten. In der Literatur wird von einem FFT-Chip (Fast Fourier Transform) berichtet, der in einer 180nm CMOS-Technologie realisiert wurde, und der bei einer Taktfrequenz von 10kHz eine Verlustleistung von etwa 155 nJ aufweist. Diese Verlustleistung ist um den Faktor 350 geringer, als man es mit einem Prozessor in statischer CMOS-Logik erreichen könnte und um den Faktor 8 effizienter, als man es mit einem ASIC (Application Specific IC) erzielen kann. Die maximal erzielbare Taktfrequenz beträgt 6MHz. Unterschwellenbereichslogik ist eine Alternative zur adiabatischen Logik. Allerdings ist diese Logik empfindlich im Hinblick auf externe Störsignale. In diesem Buch wird auf diese Logik nicht näher eingegangen.

4.8.1 Statische Logikgatter

Statische Schaltungen bewahren ihren logischen Zustand, solange die Versorgungsspannung aufrecht erhalten bleibt. Man nennt diese Logikfamilien auch nicht getaktete Logikfamilien, da sie die gewünschte Funktion ohne ein Taktsignal ausführen

können. Zu jedem Zeitpunkt sind in statischen Schaltungen die Gatterausgänge niederohmig entweder mit U_{DD} oder mit Masse verbunden.

Im Gegensatz hierzu benötigen dynamische Logikgatter oder getaktete Gatter für die gewünschte Funktion unbedingt ein Taktsignal. In dynamische Schaltungen wird die Information in Form von Ladungen vorübergehend gespeichert. Die statischen Logikfamilien sind wegen einer Vielzahl von Gründen die dominierenden Logikfamilien. Im Allgemeinen brauchen sie weniger Verlustleistung und können leichter mit CAD- (Computer Aided Design-) Werkzeugen entworfen werden. Zudem weisen sie eine höhere Zuverlässigkeit auf und haben eine größere Immunität gegen Störungen und Herstellungstoleranzen. Einmal entworfene Schaltungen können leichter von einer Technologiegeneration zur nächsten transportiert werden.

Unter den statischen Logikfamilien ist die CMOS-Logik, die am häufigsten eingesetzte Logikfamilie. Deswegen hat sich auch die Bezeichnung statische CMOS-Logik für diese Logikfamilie durchgesetzt, obwohl auch eine Reihe anderer Logikfamilien statische Gatter bilden. Das einfachste Gatter der statischen CMOS-Logik ist der CMOS-Inverter. Dynamische Logikgatter sind schneller; sie weisen eine geringere Gatterlaufzeit auf.

4.8.1.1 Statische CMOS-Logikgatter

4.8.1.1.1 Gleichstromverhalten

In der CMOS-Technologie stehen komplementäre Transistoren zur Verfügung. Eine Serienschaltung von Transistoren entspricht einer logischen AND-Funktion, während mit parallel liegenden Transistoren eine logische OR-Funktion implementiert werden kann. Das Ausgangssignal eines Gatters soll entweder an U_{DD} liegen oder Massepotential aufweisen. Daraus folgt, dass entweder ein leitender Pfad zu U_{DD} oder zur Masse geschaltet sein soll. Daraus ergibt sich die Struktur der statischen CMOS-Logikgatter. Eine Serienschaltung von n-Kanal-Transistoren im Pull-Down-Pfad und eine entsprechende Parallelschaltung von p-Kanal-Transistoren im Pull-Up-Pfad ergibt ein NAND-Gatter (siehe Bild 4.74a).

Ein NOR-Gatter erhält man, wenn man im Pull-Down-Pfad die n-Kanal-Transistoren parallel und im Pull-Up-Pfad die p-Kanal-Transistoren in Serie schaltet (Bild 4.74b). Wie Bild 4.74c zeigt, können auch Mischgatter realisiert werden. Das heißt beide Pfade enthalten AND- und OR-Schaltungen.

Allen gezeigten Gattern ist gemeinsam, dass die Strukturen des Pull-Down- und des Pull-Up-Pfades zueinander dual sind, das heißt eine Serienschaltung in einem Pfad entspricht einer Parallelschaltung in dem Anderen. Dies gilt auch für die Teilschaltungen aus denen Mischgatter aufgebaut sind. Aus der Struktur der statischen CMOS-Logikgatter folgt, dass die Zahl der benötigten Transistoren doppelt so groß ist wie die Zahl F_i der logischen Eingangsvariablen.

Statische CMOS-Gatter haben die vorteilhaften Eigenschaften der CMOS-Inverter. Die Ausgangsspannung wechselt zwischen Masse und U_{DD} . Im eingeschwun-

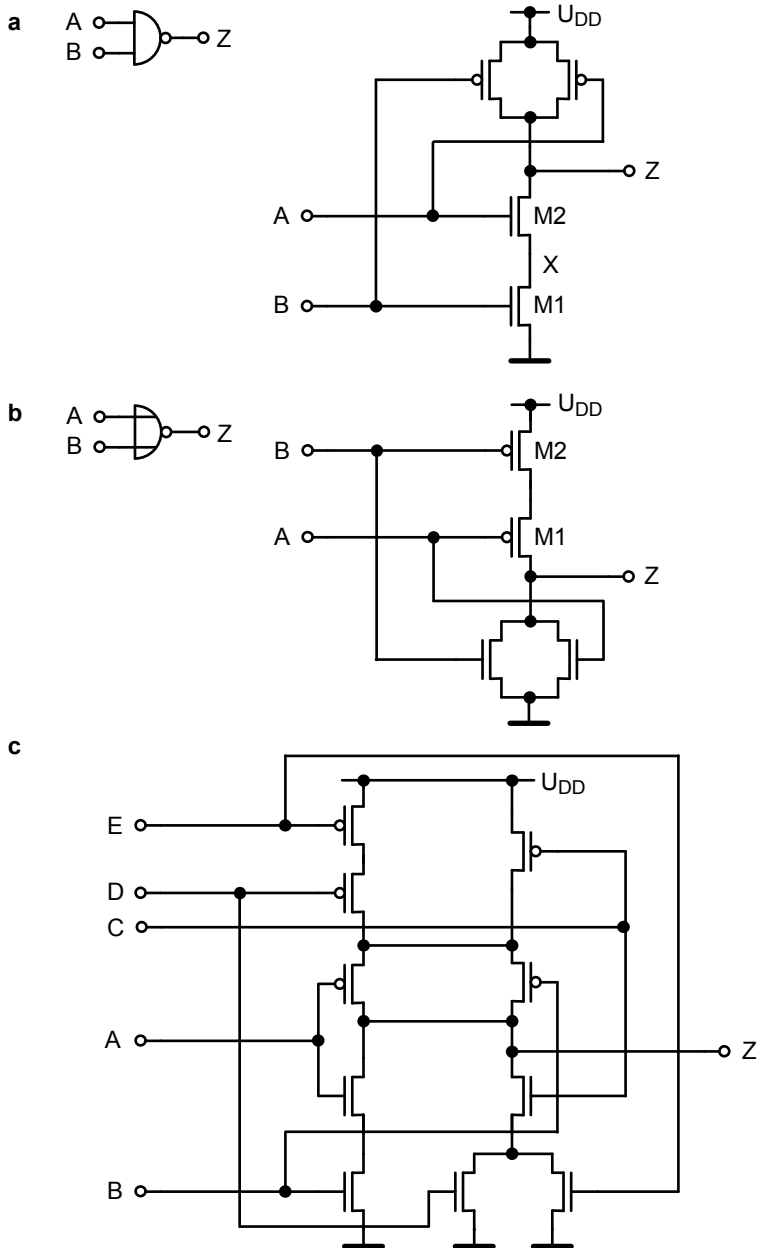


Bild 4.74 Transistorschaltbilder **a** für ein NAND-Gatter, **b** für ein NOR-Gatter, **c** für die logische Funktion $Z = A \cdot B + (D + E) \cdot C$.

genen Zustand wird näherungsweise keine statische Verlustleistung verbraucht, da entweder der Pull-Up-Pfad oder der Pull-Down-Pfad gesperrt ist.

Auch für statische CMOS-Gatter können, ähnlich wie bei Invertern, Übertragungsfunktionen definiert werden. Bei Gattern hängen jedoch die Übertragungsfunktionen von der Kombination der logischen Eingangswerte ab. Bild 4.75a illustriert die Übertragungsfunktionen eines CMOS-NAND-Gatters. Ein Wechsel am Ausgang von einer logischen Eins zu einer Null kann durch drei Kombinationen von Eingangssignalen verursacht sein

$$\begin{aligned} A = B = 0 &\rightarrow 1, \\ A = 1, B = 0 &\rightarrow 1 \\ B = 1, A = 0 &\rightarrow 1 \end{aligned}$$

Es fällt der große Unterschied zwischen $A = B = 0 \rightarrow 1$ und den beiden anderen Fäl-

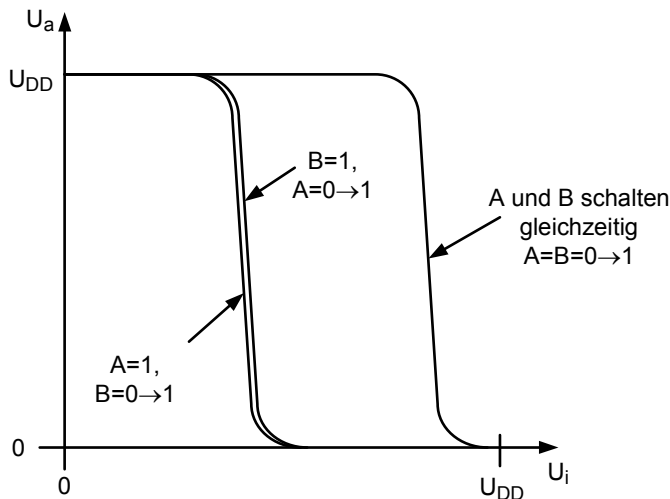


Bild 4.75a Übertragungsfunktionen für ein NAND-Gatter.

len auf. Der Unterschied rührt daher, dass für einen Signalwechsel $A = B = 0 \rightarrow 1$ zunächst beide Transistoren im Pull-Up-Pfad leiten. Diesen hohen Strom kann der Pull-Down-Pfad nur bei höheren Gate-Spannungen als bei den beiden anderen Fällen kompensieren und somit einen Signalwechsel am Ausgang bewirken. Der geringe Unterschied zwischen den beiden anderen Fällen kann vernachlässigt werden.

Der Unterschied in den Kennlinien für $A = B = 0 \rightarrow 1$ und den beiden anderen Fällen bedingt unterschiedliche Störabstände NM_L und NM_H . Damit sind die Störabstände von den Eingangssignalen abhängig. Bei der Verifikation der Logikgatter ist es daher nicht ausreichend, einfach die Eingänge kurzzuschließen und das Übertragungsverhalten zu beobachten.

Logikschaltungen in der CMOS-Technologie werden vorrangig mittels NAND-Gatter realisiert. N-Kanal-Transistoren haben eine höhere Beweglichkeit und damit eine höhere Stromergiebigkeit als p-Kanal-Transistoren. Daher können n-Kanal-Transistoren leichter als p-Kanal-Transistoren zu einer AND-Schaltung in Serie geschaltet werden. Etwa 75 Prozent aller Logikschaltungen bestehen aus NAND-Gatter.

Die Serienschaltung von Transistoren hat gravierende Nachteile. Zum Beispiel sind zu Beginn des Entladevorgangs mittels eines NAND-Gatters nach Bild 4.74a alle Gates der NMOS-Transistoren mit U_{DD} verbunden. Die Lastkapazität ist zum Zeitpunkt $t = 0$ auf U_{DD} aufgeladen. Daher befindet sich der Transistor M2 für $t = 0$ im Sättigungsbereich. Da aber über beide Transistoren Strom fließen soll, liegt die Spannung am Knoten X, dies ist das Source-Potential des Transistors M2, mindestens eine Einsatzspannung unterhalb von U_{DD} , aber deutlich über 0V. Der Transistor M1 befindet sich daher im Triodenbereich. Weiter folgt daraus, dass die Gate-Source-Spannung von M2 kleiner ist als die maximal mögliche Spannung U_{DD} . Bei diesem Transistor ist die Source-Substrat-Spannung U_{SB} erhöht, was eine größere Einsatzspannung zur Folge hat. Wegen beider Effekte ist die effektive Gate-Source-Spannung von M2 $U_{GS2,eff}$, damit auch dessen Drain-Strom, vermindert. Je mehr Transistoren gestapelt werden, um so ausgeprägter ist die Reduktion des Querstroms. Es sollten daher nicht mehr als drei oder maximal vier Transistoren in Serie geschaltet werden.

In Kapitel 2.2.1.2 über Photolithographie und Maskentechnik wurde erläutert, dass einfache und reguläre Geometriestrukturen, die nur eine Ausrichtung aufweisen sollen, unbedingt nötig sind, wenn zu kleineren Strukturen übergegangen werden soll. Bild 4.75b zeigt ein Layout, das diese Regeln befolgt. Die horizontal verlaufenden Polysiliziumbahnen, die die Gates der Transistoren bilden, sind gerade und weisen nur in eine Richtung. Auch die Diffusionsgebiete bilden einfache und gerade Strukturen. Die Diffusionsgebiete sind vertikal orientiert.

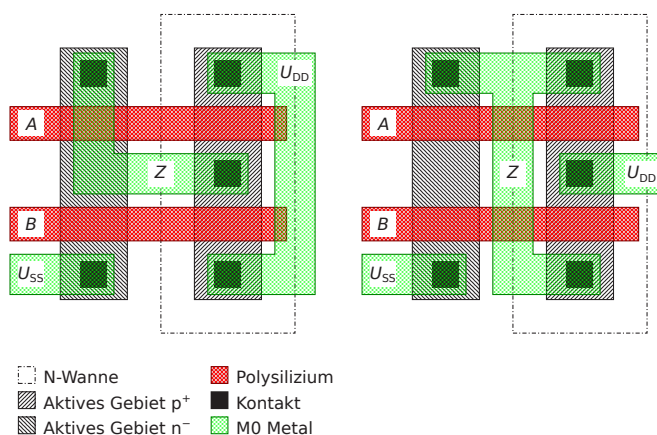


Bild 4.75b Layout einer modernen zweifachen NAND-Zelle ($Z = \overline{A \wedge B}$).

4.8.1.1.2 Schaltverhalten

4.8.1.1.2.1 Laufzeitmodelle

Die Berechnung der Gatterlaufzeit entspricht im Prinzip der Berechnung der Gatterlaufzeit von CMOS-Invertern. Wegen der größeren Einfachheit soll hier jeder Transistor mittels eines Widerstands, der von einem idealen Schalter gefolgt wird, modelliert werden. Die Logikschaltung wird in eine entsprechende RC-Schaltung transformiert, die die Kapazitäten von Zwischenknoten berücksichtigt. Die Kapazitäten der Zwischenknoten werden von den Sperrschichtkapazitäten, den Gate-Source- und den Gate-Drain-Kapazitäten der beteiligten Transistoren gebildet. Die beiden zuletzt genannten Kapazitäten können Miller-Kapazitäten sein und müssen dann bei der Berechnung der Gesamtkapazität eines Zwischenknotens doppelt berücksichtigt werden (siehe Kapitel 4.3.2.3). Die äquivalente RC-Schaltung eines zweifachen NAND-Gatters nach Bild 4.74a ist in Bild 4.76 zu sehen. Man sollte beachten, dass die n-Kanal-Transistoren für $A = 1$ und $B = 1$ leiten, während die p-Kanal-Transistoren für $A = 0$ und $B = 0$ Strom führen. R_n ist der äquivalente Widerstand eines minimal dimensionierten n-Kanal-Transistors. Da die p-Kanal-Transistoren eine geringere Beweglichkeit als die n-Kanal-Transistoren haben, sind p-Kanal-Transistoren um den Faktor $\beta_R = 2 \dots 3$ weiter auszulegen. R_p ist der entsprechende Widerstand eines p-Kanal-Transistors.

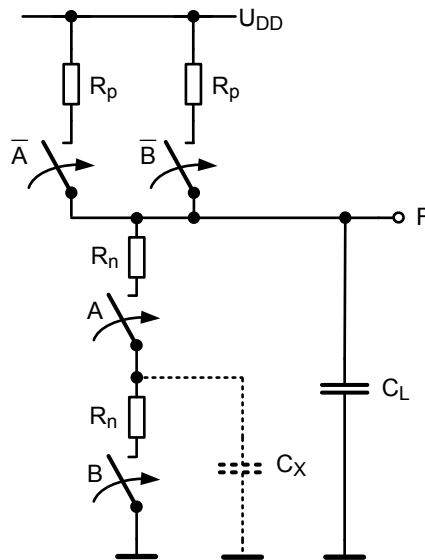


Bild 4.76 RC-Schaltbild eines zweifachen NAND-Gatters.

Ähnlich wie bei den Störabständen, sind die Laufzeiten des zweifachen NAND-Gatters abhängig von den Eingangssignalen. Betrachtet man einen Signalwechsel

$0 \rightarrow 1$ am Ausgang, so kann dieser Signalwechsel von drei Eingangsszenarien verursacht werden. Wenn beide Eingänge nach Masse geschaltet werden, leiten die parallel liegenden p-Kanal-Transistoren. Die Laufzeit berechnet sich nach den Gleichungen 3.112 (Elmore-Verzögerung) und 4.45 zu

$$t_{pLH1} = \frac{R_p}{2} \cdot C_L \cdot \ln 2 \quad . \quad (4.120)$$

Leitet dagegen nur ein Transistor im Pull-Up-Zweig, so verdoppelt sich die Laufzeit

$$t_{pLH2} = R_p \cdot C_L \cdot \ln 2 \quad . \quad (4.121)$$

Die Ausgangsspannung kann nur dann nach Masse gezogen werden, wenn beide Eingänge eine logische Eins aufweisen. Daraus folgt für die Laufzeit

$$t_{pHL} = (R_n \cdot C_x + 2 \cdot R_n \cdot (C_{x,2} + C_L)) \cdot \ln 2 \quad . \quad (4.122)$$

Sind drei Transistoren im Pull-Down-Pfad in Serie geschaltet, erhält man

$$t_{pHL} = (R_n \cdot C_{x,1} + 2 \cdot R_n \cdot C_{x,2} + 3 \cdot R_n \cdot (C_L + C_{x,3})) \cdot \ln 2 \quad (4.123)$$

$C_{x,i}$ Zwischenkapazität des i -ten Zwischenknotens .

Bei der Ableitung der Gleichung 4.123 wurde der Miller-Effekt, die Substratsteuerung und die Nichtlinearitäten der Transistoren nicht berücksichtigt. Nun können zwei Extremfälle unterschieden werden. Ist die externe Lastkapazität C_L sehr groß, können in den Gleichungen 4.122 und 4.123 die Ausdrücke mit den internen Kapazitäten $C_{x,i}$ der Zwischenknoten und des Ausgangsknotens vernachlässigt werden. Vergrößert man entsprechend der Zahl der in Serie geschalteten Transistoren die Weiten der Transistoren um den Faktor zwei oder drei, erhält man näherungsweise Gatterlaufzeiten wie die von Invertern, bei denen nur ein minimal dimensionierter Transistor im Pull-Down-Pfad vorhanden ist. Damit vergrößern sich aber für die treibenden Gatter die Lastkapazitäten entsprechend. In der Literatur findet man in diesem Zusammenhang den Begriff des „logischen Aufwands“ (Logical Effort). Mit dem logischen Aufwand wird ausgedrückt, um welchen Faktor die Eingangskapazität eines Gatters größer ist als diejenige eines Inverters, wenn beide Schaltungen den gleichen Ausgangsstrom liefern [214]. Gemeinsam mit dem „elektrischen Aufwand“, gemeint ist das Verhältnis Lastkapazität zur Eingangskapazität, wird aus der Gleichung für die Gatterlaufzeit eines Inverters diejenige von komplexeren Gattern abgeleitet (siehe Kapitel 4.8.1.1.2.2). Würde man p-Kanal-Transistoren in Serie schalten, müsste man die nach den Designregeln minimal zulässige Weite der Transistoren zunächst mit dem Faktor β_R und dann mit der Zahl der in Serie geschalteten Transistoren multiplizieren.

Dagegen wenn der Term mit der externen Lastkapazität in den Gleichungen vernachlässigt werden kann, ist die Gatterlaufzeit unabhängig von der Dimensionierung der Weite der in Serie geschalteten Transistoren, da die RC-Zeitkonstanten gleich bleiben.

Früher wurden die Weiten der in Serie geschalteten Transistoren unterschiedlich dimensioniert. Der unterste Transistor bei einem Stapel von n-Kanal-Transistoren wurde am weitesten ausgelegt. Die Oberen dann sukzessive schmaler dimensioniert. Wegen der zusätzlichen Fläche und wegen der erhöhten Lastkapazität wird heute diese Methode nicht mehr angewendet [34].

Aus den Gleichungen 4.122 und 4.123 geht hervor, dass eine Serienschaltung von Transistoren für $C_L = 0$ eine Verzögerungszeit $t_{pHL,LH}$ zur Folge hat, die mehr als linear und weniger als quadratisch vom Fan-In F_i , das heißt der Zahl der unabhängigen Eingangsvariablen, abhängt. Die Zahl der in Serie geschalteten Transistoren entspricht bei einem NAND- oder einem NOR-Gatter in der CMOS-Logik dem Fan-In. Diese nichtlineare Abhängigkeit ist ein weiteres Indiz dafür, dass man nicht mehr als drei bis vier Transistoren in Serie schalten sollte.

Bei Mehrfachgattern mit $F_i > 3$ muss überlegt werden, ob eine Umstrukturierung der Logik nicht günstigere Gatterlaufzeiten ergibt. Unterteilt man Gatter mit hohem Fan-In in mehrere Gatter mit kleinerem oder minimalem Fan-In, erhält man, wie im Bild 4.77 gezeigt wird, zwar mehrere Stufen, der Fan-In pro Gatter wird aber drastisch reduziert. Wenn die Lastkapazität genügend klein ist, ergibt sich eine Verbesserung der gesamten Gatterlaufzeit. Für das Beispiel in Bild 4.77 erhält man für $C_L = 0$ eine Verbesserung um den Faktor drei. Die Kaskadierung von einfachen Gattern mit einem geringen Fan-In kann gegenüber der Realisierung mit einem komplexen Mehrfachgatter mit hohem Fan-In deutliche Vorteile bezüglich der gesamten Gatterlaufzeit bringen. Allerdings ist die Verlustleistung aufgrund von Leckströmen bei Kaskadierung größer, da das Stapeln von Transistoren die Leckströme minimiert (siehe Kapitel 4.8.3.2.1).

Die Gleichungen 4.122 und 4.123 stellen nur eine grobe Näherung dar. Jedoch erhält man mit ihnen eine erste einfache Schätzung für die Gatterlaufzeit. Mittels Simulationen können dann genauere Werte gewonnen werden.

4.8.1.1.2.2 Kaskadierung von Gattern, logischer Aufwand

In [238] wird ein Verfahren beschrieben, mit dem die Dimensionierung von kaskadierten Gattern erleichtert wird. Das Verfahren beruht auf einem einfachen Modell eines statischen CMOS-Gatters, wie es in Bild 4.78 dargestellt ist. Die Eingangsspannungen, von denen nur eine in dem Bild eingezeichnet ist, legen fest, welcher Transistor leitet und welcher nicht. Somit wird entweder der Pull-Up- oder Pull-Down-Pfad aktiviert. Das Eingangssignal wird von der Kapazität C_{in} , die sich aus den Gate-Kapazitäten der angeschlossenen Transistoren zusammensetzt, belastet. Der äquivalente Widerstand des Pull-Up-Pfades wird von $R_{on,p}$ und derjenige des Pull-Down-Pfades wird von $R_{on,n}$ modelliert. Damit gleiche Anstiegs- und Abfallzeiten erreicht werden, gilt: $R_{on,n} = R_{on,p}$. Der Ausgang sei mit zwei Kapazitäten belastet. Das ist einmal die parasitäre Lastkapazität $C_{pi} = C_{L,intern}$ des betrachteten Gatters und zum anderen die externe Lastkapazität $C_{L,extern} = C_L$, die von den angeschlossenen Gattern und von den Verbindungsleitungen verursacht wird. Das Gatter wird also mittels $R_{on,n}$, $R_{on,p}$, C_{in} und C_{pi} beschrieben.

Da es das Ziel ist, das Gatter geeignet zu dimensionieren, wird ein Vergleichsgatter definiert. Um ein bestimmtes Gatter daraus abzuleiten, braucht man nur die

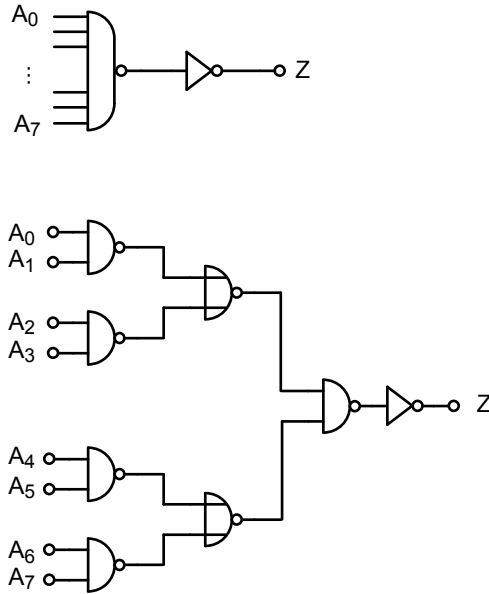


Bild 4.77 Kaskadierung von Mehrfachgattern.

Weiten des Vergleichsgatters, um den Faktor α zu verändern. Es wird vorausgesetzt, dass die Gatter mit minimal zulässigen Transistorlängen ausgestattet sind. Das Vergleichsgatter hat die Eingangskapazität C_{int} , die gleichen äquivalenten Widerstände R_t im Pull-Up- und im Pull-Down-Pfad und die parasitäre interne Lastkapazität C_{pt} . Aus den Parametern des Vergleichsgatters und den Faktor α ergeben sich die Größen des Modellgatters.

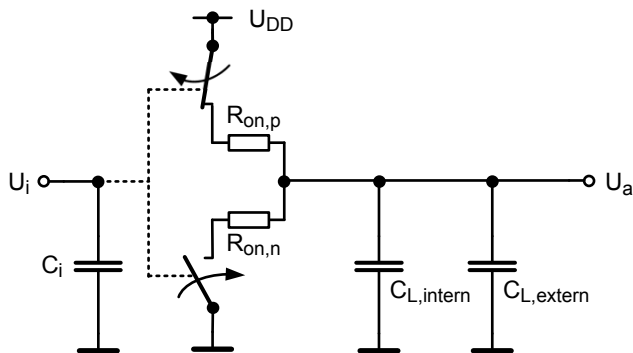


Bild 4.78 Einfaches Modell eines statischen CMOS-Gatters zur Bestimmung der Gatterlaufzeit. Das Modell enthält nur einen Eingang.

$$C_{\text{in}} = \alpha \cdot C_{\text{int}} \quad (4.124)$$

$$R_i = R_{\text{on},n} = R_{\text{on},p} = \frac{R_t}{\alpha} \quad (4.125)$$

$$C_{\text{pi}} = \alpha \cdot C_{\text{pt}} \quad (4.126)$$

Aus dem einfachen Modell für ein Gatter erhält man beispielsweise folgende Werte für einen Inverter

$$C_{\text{int}} = c_{\text{ox}} \cdot (W_n \cdot L_n + W_p \cdot L_p) \quad (4.127)$$

$$\frac{1}{R_t} = \frac{\frac{1}{2} \cdot \mu_n \cdot c_{\text{ox}} \cdot \frac{W_n}{L_n} \cdot (U_{\text{DD}} - U_{\text{Tn}})^2}{U_{\text{DD}}} = k \cdot \mu_n \cdot \frac{W_n}{L_n} = k \cdot \mu_p \cdot \frac{W_p}{L_p} \quad (4.128)$$

mit $L_n = L_p$ und

$$\mu_n \cdot W_n = \mu_p \cdot W_p \quad (4.129)$$

Mit dem einfachen Modell nach Bild 4.78 errechnet sich die Laufzeit t_p eines statischen CMOS-Gatters wie folgt (siehe Kapitel 4.3.2.3 Gleichung 4.45, $C_{\text{L,intern}} = C_{\text{pi}}$, $C_{\text{L}} = C_{\text{L,extern}}$)

$$\begin{aligned} t_p &= R_i \cdot (C_{\text{L}} + C_{\text{pi}}) \cdot \ln 2 \\ &= \frac{R_t}{\alpha} \cdot C_{\text{in}} \cdot \frac{C_{\text{L}}}{C_{\text{in}}} \cdot \ln 2 + \frac{R_t}{\alpha} \cdot \alpha \cdot C_{\text{pt}} \cdot \ln 2 \\ &= R_t \cdot C_{\text{int}} \cdot \frac{C_{\text{L}}}{C_{\text{in}}} \cdot \ln 2 + R_t \cdot C_{\text{pt}} \cdot \ln 2 \quad (4.130) \end{aligned}$$

Zu beachten ist, dass der Größenfaktor α nur versteckt im Term C_{in} vorkommt. Alle anderen Terme sind unabhängig von α .

Nun wird ein Vergleichsinverter mit C_{inv} und R_{inv} in die Betrachtung eingeführt. C_{inv} ist die Eingangskapazität und mit R_{inv} werden die äquivalenten Widerstände dieses Inverters bezeichnet. Näherungsweise ist die Eingangskapazität C_{inv} eines Inverters genauso groß wie die interne Lastkapazität, also $C_{\text{inv}} \approx C_{\text{L,intern}} = C_{\text{pinv}}$. Der Vergleichsinverter sei aus Einheitstransistoren aufgebaut, wobei der p-Kanal-Transistor die doppelte Weite des n-Kanal-Transistors hat. Die unbelastete ($C_{\text{L}} = C_{\text{L,extern}} = 0$) Gatterlaufzeit t_{p0} des Vergleichsinverters errechnet sich zu

$$t_{p0} = R_{\text{inv}} \cdot C_{\text{pinv}} \cdot \ln 2 \approx R_{\text{inv}} \cdot C_{\text{inv}} \cdot \ln 2 \quad (4.131)$$

Mit diesen Größen erhält man aus Gleichung 4.130

$$t_p = t_{p0} \cdot (g \cdot f + p) \quad (4.132)$$

mit

$$g = \frac{R_t \cdot C_{\text{int}}}{R_{\text{inv}} \cdot C_{\text{inv}}} \quad (4.133)$$

$$f = \frac{C_L}{C_{\text{in}}} \quad (4.134)$$

$$p = \frac{R_t \cdot C_{\text{pt}}}{R_{\text{inv}} \cdot C_{\text{inv}}} \quad (4.135)$$

$$h_i = f_i \cdot g_i \quad (4.136)$$

Gleichung 4.132 gibt die Laufzeit eines statischen CMOS-Gatters als Vielfaches der Laufzeit eines unbelasteten Inverters an. Als Parameter werden die Größen elektrischer Aufwand f , logischer Aufwand g und parasitäre Verzögerung p verwendet. Der logische Aufwand g und die parasitäre Verzögerung p werden aus den entsprechenden RC-Zeitkonstanten des Vergleichsgatters und des Vergleichsinverters berechnet. Beide Größen sind unabhängig vom Faktor α und damit unabhängig von der Dimensionierung. Der Aufwand g und die parasitäre Verzögerung p werden deswegen nur von der Topologie des Vergleichsgatters bestimmt. Für einen Inverter gilt: $g = 1$. Weiter wird der Gesamtaufwand pro Stufe mit h_i bezeichnet.

Die Gatterlaufzeit lässt sich auch anders ausdrücken, nämlich

$$t_p = t_{p0} \cdot g \cdot \left(f + \frac{p}{g}\right) = R_t \cdot C_{\text{int}} \cdot \left(f + \frac{C_{\text{pt}}}{C_{\text{int}}}\right) \cdot \ln 2 \quad (4.137)$$

Der Term für t_{ref} nach Gleichung 4.138 kann als eine charakteristische Zeit für das Referenzgatter betrachtet werden. Er stellt keine Gatterlaufzeit dar

$$t_{\text{ref}} = R_t \cdot C_{\text{int}} \cdot \ln 2 \quad (4.138)$$

Der „logische Aufwand“ gibt nun an, mit wie viel mehr Eingangskapazität ein komplexes Gatter einen Eingang belastet, um genauso viel Strom ($R_t = R_{\text{inv}}$ in Gleichung 4.133) wie der Vergleichsinverter liefern zu können. Anhand eines Inverters und anhand von einem zweifachen NAND- und einem zweifachen NOR-Gatter soll das Prinzip erläutert werden (siehe Bild 4.74c).

Bei einem CMOS-Inverter besteht die Eingangskapazität aus drei Einheitskapazitäten, da der Inverter einen n-Kanal-Transistor und einen p-Kanal-Transistor, der die doppelte Weite wie der n-Kanal-Transistor aufweist, enthält. Bei einem zweifachen CMOS-NAND-Gatter, besteht die Eingangskapazität, die zum Beispiel am Eingang A gemessen werden kann, aus vier Einheitskapazitäten. Diese Kapazität setzt sich aus einem n-Kanal-Transistor, der wegen der Serienschaltung die doppelte Weite hat, und einem p-Kanal-Transistor, der wegen der unterschiedlichen Beweglichkeiten die doppelte Weite hat, zusammen. Das ist $4/3$ der Eingangskapazität eines Inverters, somit: $g = 4/3$.

Bei einem zweifachen CMOS-NOR-Gatter, ist das Eingangssignal A mit einem minimal dimensionierten n-Kanal-Transistor und einem vierfach vergrößerten p-Kanal-Transistor verbunden, also $g = 5/3$. Allgemein erhält man für n -fache CMOS-NOR-Gatter

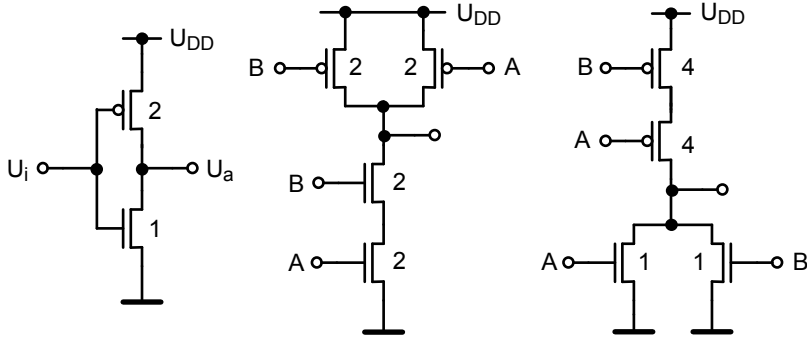


Bild 4.79 Definition des logischen Aufwands anhand eines CMOS-Inverters und von zweifachen NAND- und NOR-Gatter.

$$g = \frac{(2n+1)}{3} \quad (4.139a)$$

und für n -fache CMOS-NAND-Gatter

$$g = \frac{(n+2)}{3} \quad (4.139b)$$

Da Streufeldkapazitäten und die parasitären Kapazitäten der Zwischenknoten nicht berücksichtigt wurden, sollte man $n > 4$ vermeiden.

Es gibt eine alternative Definition des „logischen Aufwands“ g . Hat ein komplexes Gatter die gleichen minimal dimensionierten Transistoren wie ein Inverter, dann gibt der logische Aufwand g bei gegebener Lastkapazität $C_{L, \text{extern}}$ an, um wie viel schwieriger es für ein komplexes CMOS-Gatter ist, den gleichen Ausgangsstrom wie den des Vergleichsinverters zu liefern.

Aber beide Definitionen des logischen Aufwands reichen noch nicht aus. Zum Beispiel benötigt man für die einstufige Realisierung von EXNOR- oder EXOR-Funktionen in der „Branch-Based-Logik“ [164] die invertierten und die dazu komplementären logischen Variablen. Für derartige Fälle muss die Definition des logischen Aufwands erweitert werden, indem man die Eingangssignale bündelt. In den angegebenen Beispielen von Bild 4.80 bilden die „wahre“ und die invertierte Variable ein Bündel. Der logische Aufwand g_b für ein Bündel an Eingangssignalen ist wie folgt definiert [238]

$$g_b = \frac{C_b}{C_{\text{inv}}} = \frac{1}{C_{\text{in}}} \cdot \sum_{i=1}^b C_i \quad (4.140)$$

Für ein EXNOR/EXOR-Gatter ergibt sich nach Bild 4.80

$$g_b = \frac{1}{3} \times (2 + 2 + 4 + 4) = 4 \quad .$$

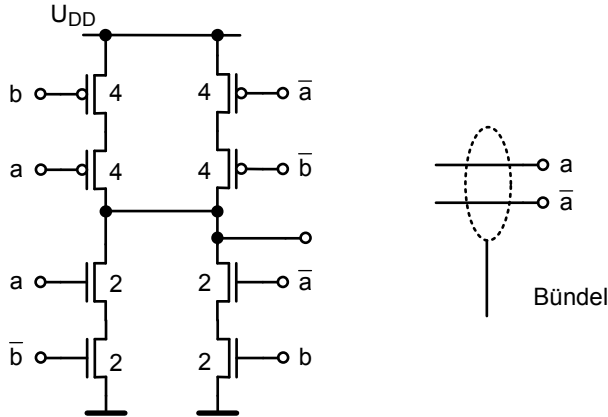


Bild 4.80 Schematische Darstellung eines EXNOR-Gatters der „Branch-Based-Logik“ [164] zur Bestimmung von p und g .

Der elektrische Aufwand f , beziehungsweise der effektive Fan-Out, der von Gleichung 4.134 beschrieben wird, ist das Verhältnis von externer Lastkapazität C_L zur Kapazität C_{in} eines Eingangs des betrachteten Gatters. Da der Faktor α die Eingangskapazität C_{in} beeinflusst, ist dieser Term die einzige Größe in der Gleichung 4.132, die vom Skalierungsfaktor α abhängt. Der elektrische Aufwand ist gleich wie der Faktor f in einer Kette von Invertern, die in Kapitel 4.5 beschrieben ist, definiert.

Schließlich wird in der Gleichung 4.132 die parasitäre Verzögerung p verwendet. Da auch dieser Term vom Skalierungsfaktor α unabhängig ist, beschreibt p eine feste Verzögerung, die von der Funktion des Gatters abhängt und nicht von der Dimensionierung der Transistoren und der externen Belastung beeinflusst wird.

Nach Gleichung 4.135 gilt für einen Inverter: $p = 1 \cdot C_{pt}$ wird von den Transistoren des betrachteten Gatters, die direkt mit dem Ausgang verbunden sind, gebildet. Somit ist C_{pt} proportional zur Weite W_d der betreffenden Transistoren. Bei dieser Betrachtung werden die Kapazitäten von Zwischenknoten vernachlässigt. Wieder wird davon ausgegangen, dass die Transistoren des Vergleichsgatters so dimensioniert sind, dass sie die gleichen Ströme wie der Vergleichsinverter aufweisen. Daraus folgt

$$p = \left(\frac{\sum W_d}{1 + \beta_R} \right) \cdot p_{inv} \quad (4.141)$$

W_d Weite der Transistoren, die mit dem Ausgang verbunden sind.

Ein n -faches NAND-Vergleichsgatter hat im Pull-Down-Pfad n -Transistoren in Serienschaltung, die um den Faktor n weiter als der n -Kanal-Transistor des Vergleichsinverters ausgelegt sind. Die Gate-Längen sind identisch. Im Pull-Up-Pfad befinden sich n parallelgeschaltete p -Kanal-Transistoren, die jeweils um den Faktor β_R

weiter ausgelegt sind

$$\begin{aligned}\sum W_d &= n + n \cdot \beta_R = n \cdot (1 + \beta_R) \\ p &= n \cdot p_{\text{inv}} \quad .\end{aligned}\tag{4.142}$$

Für ein n -faches NOR-Gatter gilt das Gleiche

$$p = n \cdot p_{\text{inv}} \quad .\tag{4.143}$$

Nun liegen im Pull-Down-Pfad des Vergleichsgatters n n-Kanal-Transistoren parallel, während im Pull-Up-Pfad n p-Kanal-Transistoren, die einmal wegen der unterschiedlichen Beweglichkeiten um den Faktor β_R weiter sind und die zusätzlich wegen der Serienschaltung um den Faktor n größer ausgelegt werden, in Serie.

Für ein EXNOR/EXOR-Gatter erhält man, siehe Bild 4.80,

$$p = \frac{1}{3} \times (2 + 2 + 4 + 4) = 4 \quad .$$

Gleichung 4.132 beschreibt die Verzögerungszeit t_p eines CMOS-Gatters als lineare

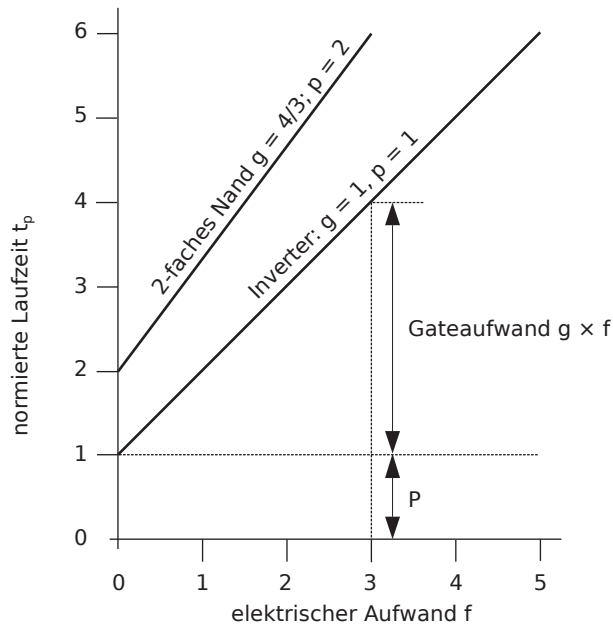


Bild 4.81 Verzögerungszeit eines Inverters und eines zweifachen NAND-Gatters in Abhängigkeit vom elektrischen Aufwand (effektiver Fan-Out) f [238].

Funktion von p , f und g . In Bild 4.81 sind die Gatterlaufzeiten t_p von einem Inverter

und einem zweifachen NAND-Gatter in Abhängigkeit vom elektrischen Aufwand f (effektiver Fan-Out) dargestellt. Die Steigung der Geraden wird vom logischen Aufwand g bestimmt. Während der Schnittpunkt mit der y-Achse von der parasitären Verzögerung p gegeben ist. Die Darstellung zeigt, dass man die gesamte Verzögerungszeit t_p beeinflussen kann, indem man den elektrischen Aufwand f geeignet einstellt (durch Dimensionierung der Transistoren) oder indem man einen anderen logischen Aufwand g wählt. Nach der Wahl eines bestimmten Gattertyps ist die parasitäre Verzögerung festgelegt. Elektrischer und logischer Aufwand bestimmen gleichermaßen die Gatterlaufzeiten. Daher wird das Produkt der beiden $h = f \cdot g$ gesamter Aufwand eines Gatters genannt.

Nun können wir die gesamte Verzögerungszeit t_p für eine Kette von Gattern angeben

$$t_{p\text{Kette}} = \sum_{i=1}^N t_{p,i} = t_{p0} \cdot \sum_{i=1}^N (p_i + f_i \cdot g_i) \quad . \quad (4.144)$$

Anhand einer Kette mit n Stufen soll nun die minimale Gatterlaufzeit t_p abgeleitet werden. Da die Größen p_i und g_i unabhängig sind von der Dimensionierung, werden sie als Konstante betrachtet. Nur der elektrische Aufwand f_i kann so eingestellt werden, dass die gesamte Laufzeit t_p minimal wird. Der gesamte elektrische Aufwand F ist durch die Lastkapazität C_L der Kette, und die Eingangskapazität C_1 der ersten Stufe gegeben. Aus Gleichung 4.134 folgt

$$F = \prod_{i=1}^n f_i = \frac{C_L}{C_1} \quad . \quad (4.145)$$

Der gesamte elektrische Aufwand F der Kette ist vorgegeben und kann nicht verändert werden. Für den elektrischen Aufwand f_n der letzten Stufe der Kette ergibt sich

$$f_n = \frac{F}{f_1 \cdot f_2 \cdot \dots \cdot f_{n-1}} \quad . \quad (4.146)$$

Die gesamte normierte Verzögerung D längs eines Pfades ist die Summe der normierten Verzögerungen pro Stufe d_i . Man erhält mittels Gleichung 4.144

$$D = \frac{t_{p,\text{Kette}}}{t_{p0}} = \sum_{i=1}^N d_i = D_F + P \quad (4.147)$$

mit

$$D_F = \sum_{i=1}^N g_i \cdot f_i \quad (4.148)$$

und

$$P = \sum_{i=1}^N p_i \quad . \quad (4.149)$$

Mit Gleichung 4.146 errechnet sich die gesamte normierte Kettenlaufzeit zu

$$D = (g_1 \cdot f_1 + p_1) + \dots + (g_i \cdot f_i + p_i) + \dots + \left(g_N \cdot \frac{F}{f_1 \cdot f_2 \cdot \dots \cdot f_{n-1}} + p_N \right) \quad . \quad (4.150)$$

Die Bedingung für minimale Verzögerung lautet

$$\text{grad} D = \vec{0} \quad (4.151)$$

$$\begin{aligned} \vec{0} = & \left(g_1 - g_N \cdot \frac{F}{f_1^2 \cdot f_2 \cdot \dots \cdot f_{N-1}} \right) \cdot \vec{e}_{f,1} \\ & + \dots \\ & + \left(g_i - g_N \cdot \frac{F}{f_1 \cdot \dots \cdot f_i^2 \cdot \dots \cdot f_{N-1}} \right) \cdot \vec{e}_{f,i} \\ & + \dots \\ & + \left(g_{N-1} - g_N \cdot \frac{F}{f_1 \cdot f_2 \cdot \dots \cdot f_{N-1}^2} \right) \cdot \vec{e}_{f,N-1} \quad . \end{aligned} \quad (4.152)$$

Mit Gleichung 4.146 folgt daraus

$$\begin{aligned} \vec{0} = & \left(g_1 - g_N \cdot \frac{f_N}{f_1} \right) \cdot \vec{e}_{f,1} \\ & + \dots \\ & + \left(g_i - g_N \cdot \frac{f_N}{f_i} \right) \cdot \vec{e}_{f,i} \\ & + \dots \\ & + \left(g_{N-1} - g_N \cdot \frac{f_N}{f_{N-1}} \right) \cdot \vec{e}_{f,N-1} \quad . \end{aligned} \quad (4.153)$$

Man erhält also $N - 1$ Gleichungen

$$\begin{aligned} g_1 \cdot f_1 &= g_N \cdot f_N \\ &\vdots \\ g_i \cdot f_i &= g_N \cdot f_N \\ &\vdots \\ g_{N-1} \cdot f_{N-1} &= g_N \cdot f_N \quad . \end{aligned} \quad (4.154)$$

Um die minimale gesamte Gatterlaufzeit zu erzielen, sollte jede Stufe den gleichen Gatteraufwand $h_i = g_i \cdot f_i$ aufweisen. Das bedeutet wegen p_i nicht, dass alle Stufen die gleiche Verzögerungszeit t_{p_i} haben müssen.

Entsprechend der Berechnung des elektrischen Aufwands F für eine Kette ist der logische Aufwand G einer Kette wie folgt definiert

$$G = \prod_{i=1}^N g_i \quad . \quad (4.155)$$

Soll von F auf den elektrischen Aufwand f_i einer Stufe geschlossen werden, müssen im allgemeinen Fall auch Verzweigungen berücksichtigt werden. Wenn am Ausgang eines Gatters in der Kette eine Verzweigung auftritt, wird ein Teil des verfügbaren Stroms verwendet, um die nächste Eingangskapazität in der Kette zu laden. Ein anderer Teil wird benötigt, um die Kapazität außerhalb der betrachteten Kette zu laden. Wir definieren deswegen den Aufwand b_i für eine Verzweigung am Ausgang der i -ten Stufe

$$b_i = \frac{C_{\text{Kette}} + C_{\text{Nicht Kette}}}{C_{\text{Kette}}} \quad . \quad (4.156)$$

Mit C_{Kette} wird die Lastkapazität eines Gatters bezeichnet, das von der Eingangskapazität des nächsten Gatters in der Kette verursacht wird, während $C_{\text{Nicht Kette}}$ am Verzweigungspunkt die Eingangskapazität des Gatters, das nicht zum betrachteten Pfad gehört, darstellt. Tritt keine Verzweigung auf, gilt: $b_i = 1$. Es lässt sich ein Aufwand B für die gesamte Kette definieren, nämlich den gesamten Verzweigungsaufwand

$$B = \prod_{i=1}^N b_i \quad . \quad (4.157)$$

Der gesamte elektrische Aufwand F eines Pfades kann nun auf den elektrischen Aufwand f_i und den Verzweigungsaufwand b_i einer Stufe bezogen werden, wobei f_i auch die Eingangskapazität der Verzweigungskette beinhaltet

$$F = \prod_{i=1}^N \frac{f_i}{b_i} = \frac{1}{B} \cdot \prod_{i=1}^N f_i \quad . \quad (4.158)$$

Multipliziert man Gleichung 4.158 mit Gleichung 4.155 erhält man schließlich für den gesamten Aufwand H einer logischen Kette

$$H = \prod_{i=1}^N h_i = \prod_{i=1}^N (g_i \cdot f_i) = G \cdot F \cdot B \quad . \quad (4.159)$$

Der gesamte Aufwand H für einen logischen Pfad stellt den Schlüssel dar, wenn man die gesamte Verzögerungszeit minimieren will. H hängt nur von der Schaltungsto-

pologie und von C_L/C_{in} der betrachteten Kette und nicht von der Dimensionierung der eingesetzten Transistoren ab. H wird nicht geändert, wenn zusätzlich Inverter in die Kette geschaltet werden, da für Inverter gilt: $g = 1$.

Für eine minimale Gesamtgatterlaufzeit D müssen die Stufenaufwände $h_i = g_i \cdot f_i$ identisch sein. Somit

$$\begin{aligned} h^N &= H \\ h_i &= \sqrt[N]{H} \end{aligned} \quad (4.160)$$

Zusammen mit den Gleichungen 4.147 bis 4.156 ergibt sich

$$D = N \cdot \sqrt[N]{H} + P \quad (4.161)$$

Bei gegebenen G, B, F kann man H berechnen und mit N erhält man nach Gleichung 4.160 die Stufenaufwände h_i . Daraus folgt einmal mit der gesamten parasitären Verzögerung P die normierte Verzögerungszeit der Kette, sowie der elektrische Aufwand f_i einer Stufe,

$$f_i = \frac{h_i}{g_i} \quad (4.162)$$

Die Weiten der Transistoren einer Stufe erhält man, indem man entweder beginnend am Anfang der Kette in Richtung Ende oder umgekehrt von Stufe zu Stufe fortschreitet. Die Eingangskapazität des Referenzinverters sei C_{ref} . C_{ref} setzt sich aus drei Einheitskapazitäten zusammen. Das Eingangsgatter der Kette habe einen logischen Aufwand g_1 . Der Vergrößerungsfaktor w_1 gibt an, um wie viel die Transistoren des ersten Gatters im Vergleich zum Mustergatter weiter ausgelegt werden. Die Eingangskapazität des ersten Gatters ist wie folgt gegeben

$$C_{in1} = w_1 \cdot g_1 \cdot C_{ref} \quad (4.163)$$

Wenn eine Verzweigung auftritt, weiß man, dass die Eingangskapazität des zweiten Gatters C_{in2} in der Kette um den Faktor f_1/b_1 größer ist

$$w_1 \cdot g_1 \cdot C_{ref} \cdot \frac{f_1}{b_1} = w_2 \cdot g_2 \cdot C_{ref} = C_{in2} \quad (4.164)$$

Für die Eingangskapazität des dritten Gatters ergibt sich

$$w_2 \cdot g_2 \cdot C_{ref} \cdot \frac{f_2}{b_2} = w_3 \cdot g_3 \cdot C_{ref} = C_{in3} \quad (4.165)$$

Daraus folgt für den Vergrößerungsfaktor w_3

$$w_3 = \frac{g_2}{g_3} \cdot w_2 \cdot \frac{f_2}{b_2} = \frac{g_2}{g_3} \cdot \frac{g_1}{g_2} \cdot w_1 \cdot \frac{f_1}{b_1} \cdot \frac{f_2}{b_2} \quad (4.166)$$

Allgemein gilt für die Stufe i

$$w_i = \frac{w_1 \cdot g_1}{g_i} \cdot \prod_{j=1}^{i-1} \frac{f_j}{b_j} \quad (4.167)$$

Als Beispiel dient die Schaltung von Bild 4.82. Die Kette sei mit einer Kapazität

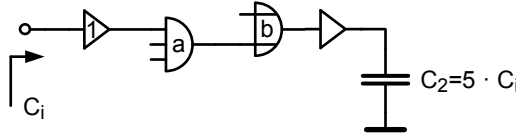


Bild 4.82 Kette von logischen Gatter als Beispiel für die Dimensionierung der einzelnen Gatter.

belastet, die fünfmal so groß ist wie die Eingangskapazität des ersten Gatters, eines minimal dimensionierten Inverters ($w_1 = 1$). Der gesamte elektrische Aufwand F der Kette beträgt somit fünf. Der gesamte logische Aufwand errechnet sich zu

$$G = 1 \times \frac{5}{3} \times \frac{5}{3} \times 1 = \frac{25}{9} \quad .$$

Da keine Verzweigungen vorhanden sind: $B = 1$. Daraus folgt $H = B \cdot G \cdot F = 125/9$ und der optimale Aufwand für eine Stufe beträgt

$$h = \sqrt[4]{H} = 1,93 \quad .$$

Wenn man den logischen Aufwand berücksichtigt, kann man die folgenden Werte für den elektrischen Aufwand ableiten

$$f_1 = \frac{h}{1} = 1,93 \quad f_2 = 1,93 \times \frac{3}{5} = 1,16 \quad f_3 = 1,16 \quad f_4 = 1,93 \quad .$$

Es fällt auf, dass die Inverter, wegen ihrer höheren Treiberfähigkeit, mit größeren f -Werten ausgestattet werden.

Schließlich erhält man mittels Gleichung 4.167 für $w_1 = 1$ die Vergrößerungsfaktoren w_i

$$\begin{aligned} w_2 &= f_1 \cdot \frac{g_1}{g_2} = 1,93 \times \frac{3}{5} = 1,16 \\ w_3 &= f_1 \cdot f_2 \cdot \frac{g_1}{g_3} = 1,93 \times \frac{1,16}{\frac{5}{3}} = 1,34 \\ w_4 &= f_1 \cdot f_2 \cdot f_3 \cdot \frac{g_1}{g_4} = 1,93 \times 1,16^2 = 2,60 \quad . \end{aligned}$$

Der Vergrößerungsfaktor w_2 gibt an, um wie viel die Transistoren im zweiten Gatter, einem dreifachen NAND-Gatter, weiter ausgelegt sind, als die Transistoren im Referenzgatter. In Bezug auf den Referenzinverter heißt dies, dass die tatsächliche Weite der n-Kanal-Transistoren im Pull-Down-Pfad $1,16 \times 3$ beträgt. Demgemäß

beträgt die Weite der n-Kanal-Transistoren im anschließenden zweifachen NOR-Gatter $1,34 \cdot w_1$ und für den letzten Inverter gilt für die tatsächlichen Weiten $2,60 \cdot w_1$. Für p-Kanal-Transistoren gilt entsprechendes.

Diese Berechnungen müssen nicht exakt sein, da sich abweichende Dimensionierungen nur schwach auf die gesamte Gatterlaufzeit auswirken [238]. Dies ist auch der Grund, warum mit Zellbibliotheken, die nur eine begrenzte Auswahl am Gatterdimensionierungen aufweisen, für viele Anwendungen akzeptable Gatterlaufzeiten erreicht werden.

Der gleiche Gatteraufwand h_i hilft, die gesamte Laufzeit einer Kette von Gattern zu minimieren. Aber manchmal ist es möglich, die Kettenlaufzeit weiter zu verringern, indem man die geeignete Anzahl an Stufen wählt. Wir betrachten eine Kette mit $N = n_1 + n_2$ Stufen, wobei n_1 die von der logischen Funktion verlangte unveränderliche Anzahl an komplexen Gattern ist. Änderbar ist die Anzahl n_2 an Invertern. Zunächst wird von einer unveränderlichen Anzahl an komplexen Gattern ausgegangen. Später wird angegeben werden, wie der Ersatz eines Komplexgatters nach Bild 4.77 durch die Kaskadierung von einfachen Gattern behandelt werden kann.

Es sollen auch ungeradzahlige Werte für n_2 zulässig sein. Weiter sei der gesamte Aufwand für die Kette $H = G \cdot B \cdot F$ bekannt. Verzweigungen b_i und logische Aufwände g_i sollen nur mit n_1 verbunden sein und werden nicht verändert, indem Inverter zusätzlich eingesetzt werden.

Die normierte minimale Gatterlaufzeit der Kette ist gegeben durch

$$D = \sum_{i=1}^N d_i = N \cdot \sqrt[N]{H} + \sum_{i=1}^{n_1} p_i + (N - n_1) \cdot p_{\text{inv}} \quad . \quad (4.168)$$

Der erste Ausdruck auf der rechten Seite der Gleichung 4.168 ergibt sich wegen der gleichen Verteilung des gesamten Gatteraufwands H . Der zweite Term rührt von den parasitären Belastungen der einzelnen Gatter und der dritte Term drückt die parasitäre Belastung der Inverter aus. Das Minimum erhält man, wenn die Größe D nach N differenziert wird und das Ergebnis zu Null gesetzt wird

$$\frac{\partial D}{\partial N} = -\sqrt[N]{H} \cdot \ln \left(\sqrt[N]{H} \right) + \sqrt[N]{H} + p_{\text{inv}} = 0 \quad . \quad (4.169)$$

Die Lösung der Gleichung sei N_{opt} . Nun wird die Größe

$$h_{\text{opt}} = \sqrt[N_{\text{opt}}]{H} \quad (4.170)$$

eingeführt. Gleichung 4.169 nimmt dann die Form [238]

$$p_{\text{inv}} + h_{\text{opt}} \cdot (1 - \ln h_{\text{opt}}) = 0 \quad (4.171)$$

an. Gleichung 4.171 hat keine geschlossene Lösung. Aber es ist einfach, für gegebene Werte für p_{inv} die Lösung für h_{opt} zu finden. Setzt man $p_{\text{inv}} = 0$ und $b_i = 1$, das heißt man vernachlässigt die internen Lastkapazitäten und vermeidet Verzwei-

gungen, so erhält man die Lösung $h_{\text{opt}} = e = 2,71$. Diese Lösung wurde bereits in Kapitel 4.5.1 für eine Kette von Invertern gefunden.

Es ist wichtig, den Unterschied zwischen h und h_{opt} zu verstehen. Mit h wird der Stufenaufwand bezeichnet, mit dem bei gegebener Stufenzahl N eine minimale Kettenlaufzeit erzielt wird. Der Stufenaufwand h_{opt} gibt den Stufenaufwand an, wenn ein Pfad die optimale Anzahl N_{opt} an Stufen enthält.

Obwohl Gleichung 4.171 nichtlinear ist, gilt näherungsweise

$$h_{\text{opt}} \approx 0,71 \cdot p_{\text{inv}} + 2,82 \quad . \quad (4.172)$$

Für viele Fälle mit $p_{\text{inv}} = 1$ gilt $h_{\text{opt}} = 3,53$. Tabelle 4.2 fasst einige Ergebnisse zusammen. Zum Beispiel zeigt diese Tabelle, dass eine einzige Stufe nur dann die geringste Gatterlaufzeit aufweist, wenn der gesamte Aufwand für die Kette H gleich oder kleiner 5,83 ist. Liegt H zwischen 5,83 und 22,5 ist eine zweistufige Lösung am günstigsten. Bei sehr hohen Werten für H nimmt der Stufenaufwand h_{opt} den Wert 3,59 an. Im Allgemeinen liegen die besten Werte für h_{opt} zwischen drei und vier. Zu Beginn des Entwurfsprozesses sollte ein Stufenaufwand $h_{\text{opt}} = 4$ angestrebt werden. Somit gilt für die optimale Zahl der Stufen

$$N_{\text{opt}} \approx \log_4 H \quad . \quad (4.173)$$

Da $h_{\text{opt}} = 4$, folgt daraus für die Inverterkette, dass der elektrische Aufwand pro

Tabelle 4.2 Günstigste Zahl an Stufen bei einer Kette von Gattern mit unterschiedlichem Gesamtaufwand H der Kette. Zum Beispiel bei $H = 3920$ bis 14200 sollten sieben Stufen verwendet werden; Stufenaufwand $h = 3,3$ bis 3,9. Die Tabelle setzt $p_{\text{inv}} = 1$ voraus [238].

H : Pfadaufwand	N_{opt} : opt. Anzahl der Stufen	D : nominierte minimale Verzögerung	h_{opt} : Stufen- aufwand
0,00		1,0	
5,83	1	6,8	0,0...5,8
22,3	2	11,4	2,4...4,7
82,2	3	16,0	2,8...4,4
300	4	20,7	3,0...4,2
1090	5	25,3	3,1...4,1
3920	6	29,8	3,2...4,0
14200	7	34,4	3,3...3,9
51000	8	39,0	3,3...3,9
184000	9	43,6	3,3...3,9
661000	10	48,2	3,4...3,8
2380000	11	52,8	3,4...3,8
8560000	12	57,4	3,4...3,8

Stufe $f_i = 4$, (da $g_i = 1$) sein sollte. In Kapitel 5.5 über die Taktverteilung wird auf dieses Ergebnis zurückgegriffen.

Es muss betont werden, dass die angegebene Methode wegen der Annahmen und Näherungen nur Schätzwerte liefert, die mittels Schaltkreissimulationen überprüft werden sollten. Eine Fehlerquelle stellt die Annahme bezüglich des Verhältnisses $\mu_n/\mu_p = 2$ dar. Erfahrungsgemäß weichen die Schätzwerte um 10% von den besten Werten ab [238]. Die bisherige Betrachtung hat nur minimale Gatterlaufzeiten zum Ziel. Die benötigte Chipflächen oder Verlustleistungen gehen nicht in die Überlegungen ein. Dies ist dem Kapitel 7.3 vorbehalten.

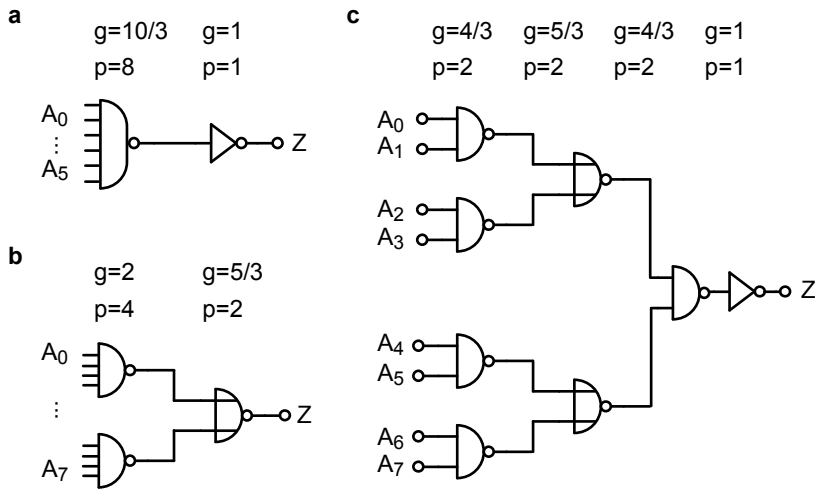


Bild 4.83 Drei Alternativen für die Implementierung eines AND-Gatters mit acht Eingängen.

Mit der in diesem Kapitel besprochenen Methode kann auch der Ersatz eines Komplexgatters durch die Kaskadierung von einfachen Gattern untersucht werden. Nach Bild 4.83 gibt es zum Beispiel für ein AND-Gatter mit acht Eingängen drei Alternativen. Bevor die Analyse starten kann, muss noch eine Zwischenüberlegung durchgeführt werden.

Soll ein Pfad durch ein Netzwerk untersucht werden, ist es ausreichend die Gatter, die entlang dieses Pfades liegen, aufzulisten. Die Schaltung von Bild 4.83a wird durch den Pfad achtfaches NAND-Gatter und einen Inverter beschrieben. Während nach Bild 4.83b der Pfad aus einem vierfachen NAND-Gatter und einem zweifachen NOR-Gatter (4-NAND, 2-NOR) besteht. Schließlich setzt sich der Pfad für die Schaltung nach Bild 4.83c aus einem zweifachen NAND-Gatter, einem zweifachen NOR-Gatter, einem zweifachen NAND-Gatter und einem Inverter (2-NAND, 2-NOR, 2-NAND, Inverter) zusammen. Die Schaltungen nach den Bildern 4.83b und 4.83c sind symmetrisch, so dass alle Pfade dieselbe Beschreibung haben.

Nun werden für die drei Alternativen die gesamten logischen Aufwände G bestimmt, die das Produkt aus den einzelnen Aufwänden pro Stufe g_i sind. Im Fall **a**

berechnet sich der gesamte logische Aufwand G aus dem Produkt von $g_i = 10/3 = 3,33$ für das achtfache NAND-Gatter und $g_i = 1$ für den Inverter. Im Fall **b** erhält man $g_i = 6/3$ für das vierfache NAND-Gatter und $g_i = 5/3$ für das zweifache NOR-Gatter, also $G = 10/3 = 3,33$. Dies ist derselbe Wert wie im Fall **a**. Schließlich ergibt sich für den Fall **c**: $G = (4/3) \times (5/3) \times (4/3) \times 1 = 2,96$. Man könnte schließen, dass der Fall **c** am günstigsten ist.

Es muss jedoch noch die Lastkapazität für jede Alternative berücksichtigt werden. Für zwei Fälle, nämlich $F = 1$ und $F = 12$, wird nun der Einfluss des gesamten elektrischen Aufwands F auf die normierte Kettenlaufzeit D nach Gleichung 4.161 untersucht. Es ergibt sich für die drei Alternativen mit $B = 1$

$$\text{a: } D = 2 \times \sqrt[2]{3,33 \cdot F} + 9,0 \quad (4.174\text{a})$$

$$\text{b: } D = 2 \times \sqrt[2]{3,33 \cdot F} + 6,0 \quad (4.174\text{b})$$

$$\text{c: } D = 4 \times \sqrt[4]{2,96 \cdot F} + 7,0 \quad (4.174\text{c})$$

In der Tabelle 4.3 sind die Ergebnisse zusammengefasst. Laut dieser Tabelle wären für niedrige Lastkapazitäten ($F = 1$) die Fälle **a** oder **b** besser geeignet als der Fall **c**. Im Vergleich zwischen **a** und **b** schneidet der Fall **b**, wegen dessen niedrigeren parasitären Verzögerung, besser ab. Allerdings muss dieses Ergebnis mit Vorsicht betrachtet werden. Die Methode, mit dem logischen und dem elektrischen Aufwand die Verzögerungszeit abzuschätzen, beruht auf einer Linearisierung, die die kapazitive Belastungen von Zwischenknoten vernachlässigt. Dies verfälscht das Ergebnis besonders bei Gattern mit hohen Fan-In. Dies tritt in den Fällen **a** und **b** auf. Bei hohen F ist der Entwurf mit vier Stufen der Beste.

Tabelle 4.3 Normierte Kettenlaufzeiten D für drei Alternativen eines NAND-Gatter mit acht Eingängen und zwei Werten für den gesamten elektrischen Aufwand F [238].

$F = 1$				$F = 12$			
Fall	$N \cdot \sqrt[3]{H}$	P	D	Fall	$N \cdot \sqrt[3]{H}$	P	D
a	3,65	9,0	12,65	a	12,64	9,0	21,64
b	3,65	6,0	9,65	b	12,64	6,0	18,64
c	5,25	7,0	12,25	c	9,77	7,0	16,77

4.8.1.1.3 Verlustleistung in statischen CMOS-Gattern

Die Ursachen der Verlustleistung von CMOS-Invertern wurden bereits in Kapitel 4.4 behandelt. Alles was dort besprochen wurde, kann direkt auf komplexe CMOS-Gatter übertragen werden. Die Verlustleistung ist quadratisch von der Versorgungsspannung abhängig. Sie ist eine Funktion der Dimensionierung der Transistoren (wegen den Kapazitäten), der Anstiegs- und Abfallzeiten (wegen der Querströme), und der Einsatzspannung und der Chiptemperatur (wegen der Leckströme, leakage currents). Wenn alle Eingangssignale gleichzeitig eintreffen, dass heißt falsches

Schalten ausgeschlossen ist (siehe Kapitel 4.8.1.1.4), ergibt sich für die dynamische Verlustleistung aufgrund der Ladevorgänge nach Gleichung 4.74

$$P_C = \alpha \cdot f_T \cdot C_L \cdot U_{DD}^2 \quad . \quad (\text{wh 4.74})$$

α Schaltaktivität, Wahrscheinlichkeit für einen $0 \rightarrow 1$ Signalwechsel während einer Taktperiode am Ausgang des Gatters

Man sieht die dynamische Verlustleistung ist von der Schaltaktivität abhängig. Die Schaltaktivität lässt sich leicht bestimmen. Zum Beispiel enthält die Wertetabelle eines zweifachen NOR-Gatters für den Ausgang drei Nullen und eine Eins. Die Wahrscheinlichkeit für einen $0 \rightarrow 1$ Signalwechsel ist daher, wenn alle Ausgangswerte gleich wahrscheinlich sind,

$$P_{0 \rightarrow 1} = P_{\text{aus}=0} \cdot P_{\text{aus}=1} = \frac{3}{4} \times \frac{1}{4} = \frac{3}{16} \quad . \quad (4.175a)$$

Das gleiche Ergebnis erhält man für ein zweifaches NAND-Gatter

$$P_{0 \rightarrow 1} = P_{\text{aus}=0} \cdot P_{\text{aus}=1} = \frac{1}{4} \times \frac{3}{4} = \frac{3}{16} \quad . \quad (4.175b)$$

Die Schaltaktivität eines EXOR-Gatters errechnet sich zu $1/4$.

Man sollte die Struktur der Logikschaltungen so wählen, dass geringe Schaltaktivitäten erzielt werden. Zusätzlich sollten in einer Kette von Gattern die Signale mit der höchsten Schaltaktivität zuletzt ausgewertet werden [179]. Allerdings ist es nicht einfach, diese Ziele zu erreichen, da die einzelnen logischen Signale statistisch von einander abhängen können. Ein schönes Beispiel für diese Tatsache ist in [179] zu finden.

Zeitliches Multiplexen einer Schaltung, das heißt eine logische Einheit oder ein Bus wird zeitlich abwechselnd von mehreren Aufgaben benutzt, ist eine oft angewandte Methode, um Chipfläche zu sparen. Unglücklicherweise zeigt die Lösung mit der minimalen Fläche nicht immer die niedrigste dynamische Verlustleistung. In Bild 4.84 sind zwei Möglichkeiten für die Übertragung von zwei Bitfolgen dargestellt. In Bild 4.84a hat jede Bitfolge eine eigene Übertragungsstrecke. In Bild 4.84b wird diese Aufgabe im zeitlichen Multiplexbetrieb durchgeführt. Sieht man von den Multiplexern ab, ist die dynamische Verlustleistung für zufällige Bitfolgen in beiden Fällen gleich. Zwar ist die Kapazität im Fall 4.84a doppelt so groß, aber die Taktfrequenz ist gegenüber dem Fall 4.84b halbiert. Die Summe der $0 \rightarrow 1$ Übergänge ist konstant.

Dagegen, wenn zwischen den beiden Bitfolgen eine starke Korrelation existiert, kann die Verlustleistung im zeitlichen Multiplexbetrieb wesentlich größer sein. Angenommen die Folge A besteht (fast) nur aus Einsen, während die Folge B (fast) nur Nullen enthalten soll. In der Lösung mit den parallelen Übertragungspfaden gibt es fast keine Aktivität. Während die Lösung mit dem zeitlichen Multiplexen ständig eine Oszillation zwischen Eins und Null zeigt.

Denkt man sich an Stelle der Leitungen Ketten von Invertern oder gar Logikpfade, dann sieht man, dass die Parallelverarbeitung noch einen weiteren Vorteil

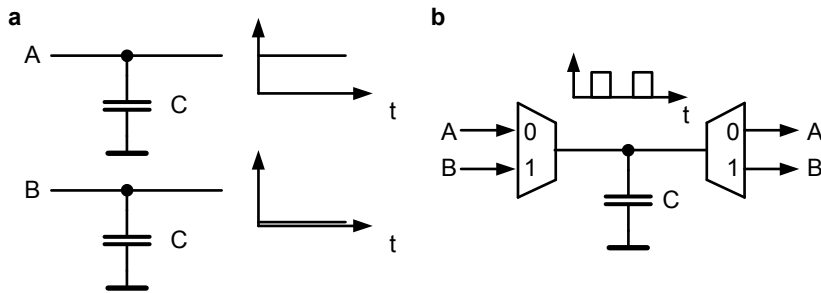


Bild 4.84 Parallele Datenbusse: **a** im Vergleich zu einem Datenbus im zeitlichen Multiplexbetrieb; **b** [179].

hat. Bei der Parallelverarbeitung wird zwar die Kapazität verdoppelt, aber die notwendige Taktfrequenz kann halbiert werden. Erreicht wird dies, indem man einfach die Versorgungsspannung verringert. Da die Versorgungsspannung quadratisch in die Gleichung für die dynamische Verlustleistung 4.74 eingeht, wird somit ein wesentlicher Gewinn erzielt. Dies gilt auch, wenn an den Eingängen unkorrelierte Datenfolgen anliegen. Das ist der Grund, warum die Intel-Prozessoren zunehmend mehrere Prozessorkerne enthalten, die parallel arbeiten.

4.8.1.1.4 Falsches Schalten

Statische Logikgatter reagieren sofort auf wirksame Wechsel der Eingangssignale. Die Eingangssignale können zu unterschiedlichen Zeiten an den Eingängen der Gatter eintreffen. Verursacht wird dies durch Herstellungstoleranzen, Temperatureffekte oder weil die Signale verschiedene Pfade durchlaufen. Es kann zu mehrfachen Schaltvorgängen kommen, bevor der eingeschwungene Zustand erreicht ist. In diesem Zusammenhang spricht man von „Glitches“. Nachfolgende Gatter reagieren auf „falsches Schalten“ und verbrauchen ebenfalls unnötig Verlustleistung. Schätzungsweise bedingt „falsches Schalten“ etwa 15 Prozent der gesamten Verlustleistung [34].

Man vermeidet falsches Schalten, indem man die einzelnen Signalfade ausbalanciert. Dies gelingt teilweise mit Baumstrukturen. In Bild 4.85 sind zwei Fälle eingezeichnet. In Bild 4.85a werden die vier Eingangssignale mittels einer Kette von Gattern miteinander verknüpft. Dies ist der ungünstige Fall. Besser ist die Baumstruktur nach Bild 4.85b. Die Baumstruktur hat auch eine kürzere Gatterlaufzeit. Allerdings ist zu beachten, dass die Gatterlaufzeiten von den Eingangssignalen abhängen und deswegen kein idealer Gleichlauf zwischen den einzelnen Pfaden erzielt wird.

4.8.1.1.5 Zusammenfassung

Die statische CMOS-Logik ist sehr robust und ist deswegen auch für zukünftige Technologiegenerationen gut geeignet. Die CMOS-Logik weist eine relativ geringe

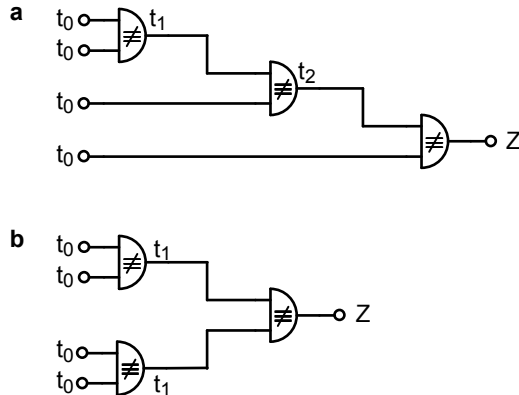


Bild 4.85 Ausbalancierte Signalpfade vermindern „Falsches Schalten“: **a** Kette von EXOR-Gatter; **b** entsprechende Baumstruktur t_0 bis t_2 Ankunftszeiten der Signale.

Verlustleistung auf, da nicht jede Logikstufe getaktet werden muss und weil im eingeschwungenen Zustand (fast) keine statische Verlustleistung verbraucht wird. Es wurde eine Methode abgeleitet, mit deren Hilfe die Kettengatterlaufzeit minimiert werden kann. In Kapitel 7.3 wird der Zusammenhang von Verzögerungszeit und Energieaufwand eingehend diskutiert.

Allerdings, weil die gewünschte Logikfunktion im Pull-Down- und komplementär im Pull-Up-Pfad realisiert werden muss, benötigt diese Logikfamilie doppelt so viele Transistoren wie Eingänge vorhanden sind. Da die p-Kanal-Transistoren etwa die doppelte Weite der n-Kanal-Transistoren haben, wird die treibende Stufe um den Faktor drei mit höheren Lastkapazitäten belastet als es idealerweise nötig wäre. Deswegen wurde und wird nach Alternativen zu der statischen CMOS-Logik gesucht.

4.8.1.2 Pseudo-NMOS-Logik

Bild 4.86 zeigt das Transistorschaltbild eines NOR-Gatters mit Fan-In=3 in der Pseudo-NMOS-Logik. Im Pull-Up-Pfad befindet sich nur ein p-Kanal-Transistor. Der p-Kanal-Transistor ersetzt den Depletion-Transistor der NMOS-Technologie (siehe Kapitel 4.3.1). Statt sechs Transistoren, die in der statischen CMOS-Logik benötigt werden, braucht man nun nur vier. In der Pseudo-NMOS-Logik können Serienschaltungen von Transistoren vermieden werden, da die Logik allein mit NOR-Gattern aufgebaut werden kann.

Die Pseudo-NMOS-Logik verbraucht statische Verlustleistung, da auch im eingeschwungenen Zustand ein Querstrom von U_{DD} nach U_{SS} fließt, wenn der Pull-Down-Pfad leitet. Bei der Pseudo-NMOS-Logik handelt es sich um eine „ratioed logic“, da, wie beim Pseudo-NMOS-Inverter die Weite der n-Kanal-Transistoren etwa drei- bis viermal so groß sein muss wie die Weite des p-Kanal-Transistors. Dies

ist notwendig, damit U_{OL} kleiner ist als die halbe Einsatzspannung. Leitet der Pull-Down-Pfad, so ist die Ausgangsspannung nicht Null. Es kann also nicht der gesamte zur Verfügung stehende Signalhub am Ausgang genutzt werden. Die beiden genannten Nachteile sind sehr schwerwiegend. Daher wird man Bausteine nicht einheitlich mit dieser Logikfamilie realisieren, sondern nur einzelne Schaltungsteile, wie Dekoderschaltungen (siehe Kapitel 6.2 oder PLAs (Programmable Logic Arrays, siehe Kapitel 8.1.3), die einen hohen Fan-In aufweisen.

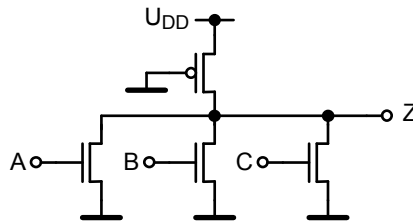


Bild 4.86 Transistorschaltbild für ein NOR-Gatter mit dem Fan-In von drei der Pseudo-NMOS-Logik.

Auch auf die Pseudo-NMOS-Logik kann das Konzept des logischen Aufwands zur Berechnung der Gatterlaufzeit angewendet werden. Der logische Aufwand g ergibt sich aus der Betrachtung des Ausgangsstroms und der Eingangskapazität im Vergleich zum statischen CMOS-Inverter nach Bild 4.79. Es wird $\mu_n/\mu_p = 2$ und $\beta_R = W_p/W_n = 2$ für $L_n = L_p$ (siehe Kapitel 4.3.1) vorausgesetzt. Die Dimensionierung eines Pseudo-NMOS-Inverters, wie sie in Bild 4.87 gezeigt ist, folgt aus dem Bestreben, für einen Entladevorgang genauso viel Strom wie ein CMOS-Inverter zur Verfügung zu stellen. Der Ausgangsstrom ist die Differenz aus dem Strom des n-Kanal-Transistors minus dem Strom des p-Kanal-Transistors, also $4/3 - 1/3 = 1$. Für einen Ladevorgang steht der Strom des Pull-Up-Pfades zur Verfügung, der nur ein Drittel so groß ist wie der Entladestrom.

Der Inverter und das NOR-Gatter in der Pseudo-NMOS-Logik haben eine Eingangskapazität von $4/3$ eines Normtransistors. Für den Entladevorgang errechnet sich der logische Aufwand für beide Gatter aus dieser Eingangskapazität dividiert durch die Eingangskapazität eines statischen CMOS-Inverters, der denselben Strom liefert, also $g_d = (4/3)/3 = 4/9$. Für den Ladevorgang ergibt sich die gleiche Eingangskapazität, nämlich $4/3$, aber einen um den Faktor drei größeren Widerstand R_t . Daher ist der logische Aufwand um den Faktor 3 größer, das heißt $g_u = 4/3$. Der durchschnittliche logische Aufwand für Inverter und n -fache NOR-Gatter beträgt $g = (4/9 + 4/3)/2 = 8/9$. Dies erklärt, warum NOR-Gatter mit hohen Fan-In in der Pseudo-NMOS-Logik kurze Gatterlaufzeiten aufweisen.

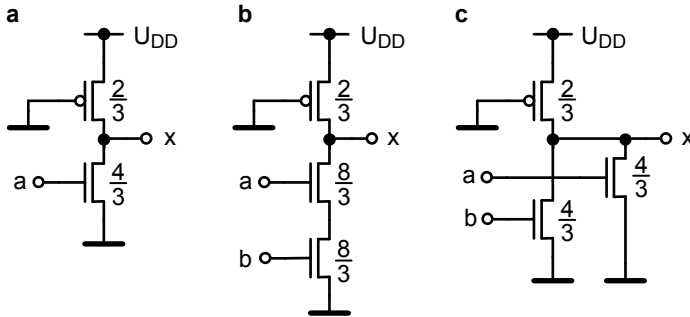


Bild 4.87 Dimensionierung eines Inverters: **a** eines NAND-Gatters; **b** und eines NOR-Gatters; **c** in der Pseudo-NMOS-Logik, $\beta_R = 4$, Verhältnis $\mu_n/\mu_p = 2$.

4.8.1.3 DCVS-Logik

Es gibt eine „Rationed Logic“ die im eingeschwungenen Zustand keine Querströme hat und die den vollen zur Verfügung stehenden Spannungshub nutzt. Derartige Gatter kombinieren zwei grundlegende Prinzipien: differentielle Logik und positive Rückkopplung. Eine differentielle Logik bedarf Eingangssignale, die in nicht negierter und in negierter Form vorliegen. Dafür erhält man die Ausgangssignale ebenfalls in beiden Formen. Oft werden die logischen Variablen gleichzeitig in negierter und in nicht negierter Form benötigt, wie zum Beispiel für die EXNOR- oder EXOR-Funktionen. Mit der Differential-Cascode-Voltage-Switch-(DCVS-) Logik stehen beide Signale fast gleichzeitig zu Verfügung. Es entfallen Inverter mit ihrer zusätzlichen Verzögerungszeit, die sonst eingesetzt werden müssten. Mit der positiven Rückkopplung wird erreicht, dass die Lasttransistoren entweder über die Gate-Source- oder über die Drain-Source-Spannung abgeschaltet werden, wenn sie nicht gebraucht werden.

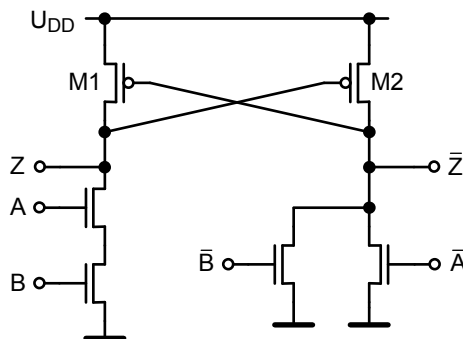


Bild 4.88 NAND- und AND-Gatter mit statischer DCVS-Logik.

Ein Beispiel für eine derartige Logikfamilie ist in Bild 4.88 zu sehen. Die linke Seite der Schaltung von Bild 4.88 entspricht einem zweifachen NAND-Gatter, während die rechte Seite ein AND-Gatter ist. Für $A = B = 1$ leitet der linke Pull-Down-Pfad Strom und entlädt den Knoten Z. Die n-Kanal-Transistoren müssen geeignet dimensioniert werden, so dass der Strom im Pull-Down-Pfad größer ist als der Strom des p-Kanal-Transistors im Pull-Up-Pfad. Wenn der Knoten Z entladen wird, beginnt M2 zu leiten und der Knoten $\bar{Z}$ wird auf U_{DD} geladen. Der Pull-Down-Pfad der rechten Seite und der p-Kanal-Transistor der linken Seite sperren.

Transistoren in den beiden Pull-Down-Pfaden können gemeinsam genutzt werden, wie Bild 4.89 zeigt. Im linken Zweig wird eine EXOR- und im rechten Zweig eine EXNOR-Funktion implementiert. Anstatt acht Transistoren werden nur sechs Transistoren in den Pull-Down-Pfaden benötigt. Mit dieser Methode kann in komplexen Gattern die Anzahl der Transistoren bis zu einem Faktor zwei reduziert werden. Vorteilhaft ist weiter, dass mit dieser Logikfamilie nur mit n-Kanal-Transistoren die logische Funktion ausgeführt wird.

Die beiden Ausgangssignale schalten nicht vollständig gleichzeitig. Zuerst muss ein Pull-Down-Pfad einen der Ausgangsknoten entladen, bevor der p-Kanal-Transistor der anderen Seite aktiv werden kann. Da die Pull-Up-Pfade wegen der Störsicherheit schwächer ausgelegt sind als die Pull-Down-Pfade, dauert es etwas länger bis der andere Knoten auf U_{DD} gezogen wird.

Nachteilig ist, dass doppelt so viele Verbindungsleitungen benötigt werden und dass die dynamische Verlustleistung groß ist. Die DCVS-Logik war der Ausgangspunkt für die Entwicklung von sehr schnellen Logikschaltungen [13].

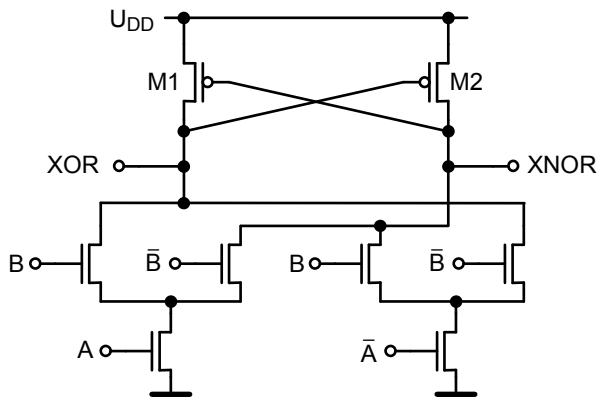


Bild 4.89 EXOR-EXNOR-Gatter.

4.8.1.4 Pass-Transistor-Logik

Die statische CMOS-Logik benötigt $2 \cdot N$ Transistoren, wenn N Eingangssignale vorliegen. Man sucht nach Logikfamilien, die mit weniger Transistoren auskommen. In den vorhergehenden Kapiteln wurden die Eingangssignale nur an die Gates der Transistoren gelegt. Warum legt man die Signale nicht auch an die anderen Eingänge?

Den Substratanschluss einzusetzen ist nicht sinnvoll, da die Verdrahtung erschwert werden würde. Weiter würde auf diese Weise nur die effektive Gate-Source-Spannung moduliert werden. Man gewönne keinen neuen Freiheitsgrad. Anders liegen die Dinge, wenn neben den Gate-Anschlüssen auch die Drain-Source-Anschlüsse genutzt werden. Auf diese Weise lassen sich zum Beispiel sehr einfach Multiplexerschaltungen implementieren, wie Bild 4.90a zeigt.

Für $\Phi = 1$ wird das Signal A zum Ausgang Z durchgeschaltet, während für $\bar{\Phi} = 1$ das Signal B zum Ausgang gelangt. Je nachdem welche Potentiale A und B haben, liegen die Signale an Source oder an Drain der Transistoren. An dieser Stelle muss daran erinnert werden, dass, wie es in Kapitel 4.7.1 (Bild 4.56) beschrieben ist, das gleichzeitige Anlegen von zwei Signalen an einen Transistor problematisch sein kann.

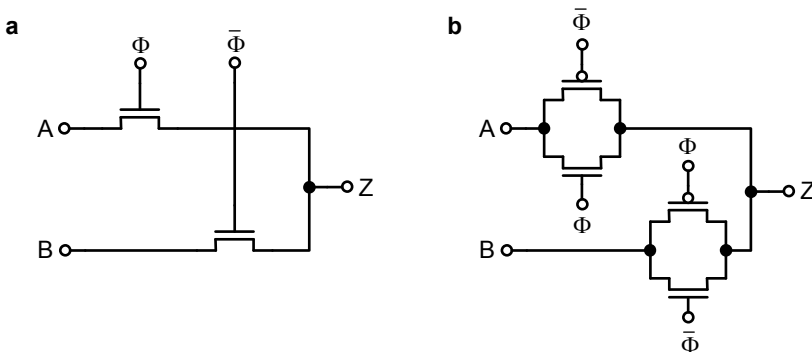


Bild 4.90 Multiplexer in der Pass-Transistor-Logik: **a** mit TransfERGatter; **b** mit Transmission-Gatter.

Unglücklicherweise, wie in Kapitel 4.7.1 anhand eines einfachen dynamischen Latch erläutert wurde, kann jeder n-Kanal-Transistoren, der als TransfERGatter wirkt, von Bild 4.90a sehr gut eine logische Null übertragen, aber eine logische Eins nicht so gut. Ein n-Kanal-Transistor kann nur einen reduzierten Signalpegel, nämlich $U_{DD} - U_{Tn}$, für eine logische Eins weiterleiten. Erschwert wird die Situation durch den Substratsteuereffekt, der eine größere Einsatzspannung bewirkt. Setzt man anstatt der n-Kanal-Transistoren p-Kanal-Transistoren für die TransfERGatter ein, ergibt sich das umgekehrte Problem. Jetzt kann eine logische Eins sehr gut aber die logische Null nur schlecht übertragen werden. Wegen des reduzierten Hubs sollten

die Ausgänge von Transferrgatter, gleichgültig ob sie mit n-Kanal- oder mit p-Kanal-Transistoren realisiert sind, nicht mit den Gates der nachfolgenden Stufen verbunden werden. Denn dies würde den Signalhub weiter verringern. Schaltet man n- und p-Kanal-Transistoren parallel, wird mittels eines erhöhten Aufwands das Problem entschärft (siehe Bild 4.90b). Die Parallelschaltung nennt man Transmission-Gatter (Bild 4.52a).

Nicht so günstig ist es anstatt der Transmission-Gatter Inverter zur Pegelregeneration einzusetzen. Der verringerte Pegel für die logische Eins kann möglicherweise nicht ausreichend sein, um den p-Kanal-Transistor des nachfolgenden Inverter sicher zu sperren. Es können Leckströme auftreten, die statische Verlustleistung verursachen. Ähnlich sind die Verhältnisse für Transferrgatter mit p-Kanal-Transistoren. Wie das Problem ohne Transmission-Gatter entschärft werden kann, wird im Anschluss behandelt. Zuerst soll dargelegt werden, wie mit der Pass-Transistor-Logikfamilie komplexe Gatter realisiert werden können.

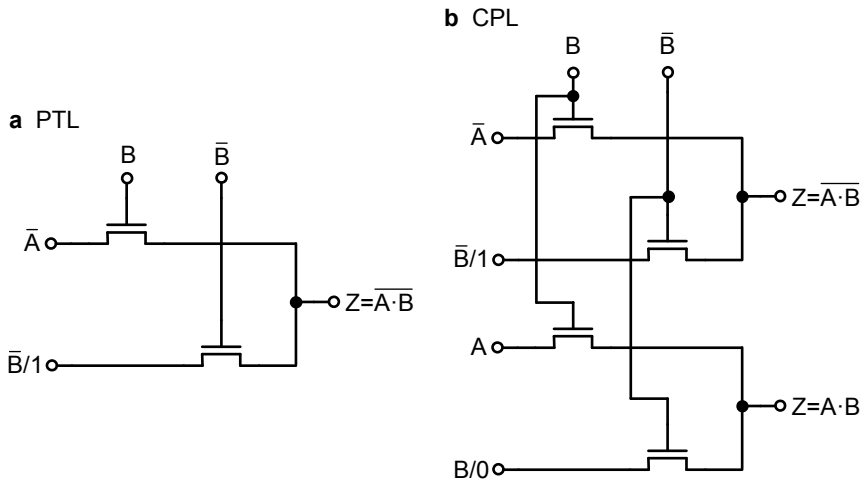


Bild 4.91 NAND-Gatter: **a** einfache Pass-Transistor-Logik (PTL); **b** komplementäre Pass-Transistor-Logik (CPL).

Bild 4.91 zeigt die Schaltung für ein NAND-Gatter in einfacher und in differentieller Form. In der Literatur wird nicht der Ausdruck differentielle Pass-Transistor-Logik gebraucht. Stattdessen spricht man von der komplementären Pass-Transistor-Logik (CPL, Complementary Pass Transistor-Logic). Trotz der andauernden Innovationen, die immer neue Strukturen hervorbringen, ist CPL eine häufig eingesetzte Logikfamilie [13]. Die Struktur eines zweifachen NAND-Gatters in der Pass-Transistor-Logik ergibt sich aus der Wertetabelle 4.4. Man erkennt, dass für $B = 1$ gilt $Z = \bar{A}$. Legt man B an das Gate eines Transfertransistors und $\bar{A}$ an den Eingang, der den Source- beziehungsweise Drain-Anschluss darstellen kann, erhält man zwei richtige Werte für Z . Die beiden anderen Ausgangswerte lassen sich leicht mittels

eines weiteren parallelgeschalteten Transistors, dessen Gate mit $\overline{B}$ und dessen Eingang (Drain-Anschluss) mit U_{DD} oder mit $\overline{B}$ verbunden ist, realisieren. Man könnte auch an das Gate des einen Transistors A legen und an dessen Eingang $\overline{B}$, sowie an das Gate des zweiten Transistors $\overline{A}$ und an dessen Eingang $\overline{A}$ beziehungsweise U_{DD} . Andere logische Funktionen können mit demselben Verfahren in eine geeignete Struktur umgesetzt werden. Es existiert immer ein leitender Pfad vom Ausgang

Tabelle 4.4 Wertetabelle eines zweifachen NAND-Gatters.

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

zu U_{DD} oder U_{SS} . An den Eingang des unteren Pfades von 4.91a legt man am besten U_{DD} , weil somit ein niederohmiger Pfad geschaltet wird. Entsprechend sollte an den Eingang des untersten Pfades in 4.91b Masse gelegt werden. Bild 4.91b zeigt eine NAND-Funktion in CPL; während die NOR-Funktion in CPL in 4.92 dargestellt ist. Ob die gewünschte logische Funktion erreicht wird, kann man auch mit Boole'schen Gleichungen belegen. Zum Beispiel gilt für die Schaltung von 4.91a

$$\begin{aligned} Z &= \overline{A} \cdot B + \overline{B} \\ \overline{Z} &= (A + \overline{B}) \cdot B = A \cdot B \\ Z &= \overline{A \cdot B} \end{aligned} \tag{4.176}$$

Man sieht, dass alle Gatter die Grundstruktur der Multiplexerschaltung nach Bild

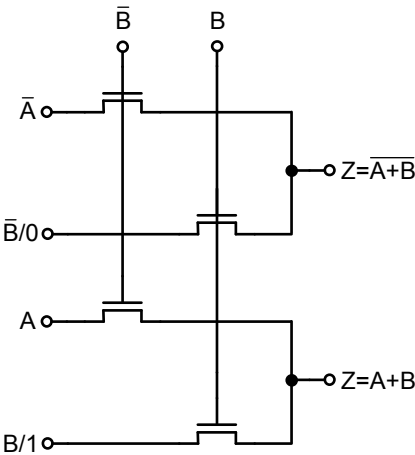


Bild 4.92 NOR/OR-Gatter in CPL.

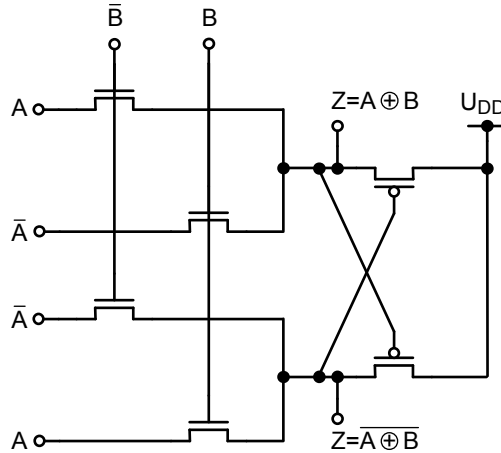


Bild 4.93 EXOR/EXNOR-Gatter in CPL mit Signalerneuerung für die Eins.

4.90a haben. Da n-Kanal-Transistoren eine höhere Stromergiebigkeit als p-Kanal-Transistoren aufweisen, sollten die Pfade der CPL mit n-Kanal-Transistoren verwirklicht werden. Dann ergibt sich aber das Problem, dass logische Einsen nicht gut übertragen werden können. Eine mögliche Lösung zeigt Bild 4.93. Im Kern werden die EXOR- und EXNOR-Funktion realisiert. Diese Funktionen können neben Multiplexerschaltungen mit der komplementären Pass-Transistor-Logik besonders gut umgesetzt werden. Um die Potentiale am Ausgang für eine logische Eins von $U_{DD} - U_{Th}$ auf U_{DD} zu bringen, werden einfach die Pull-Up-Pfade der DCVS-Logik übernommen. Hier wird ausgenutzt, dass die beiden Ausgänge immer zueinander komplementär sind. Nun können an den Ausgängen bedenkenlos Inverter geschaltet werden, die die Daten über weite Strecken verteilen können.

Bei der einfachen Pass-Transistor-Logik werden auch sogenannte „Bewahrschaltungen“ („Keeper“) verwendet, die erst im Zusammenhang mit der Domino-Logik im nächsten Kapitel behandelt werden. Es gibt noch eine dritte Möglichkeit, nämlich n-Kanal-Transistoren mit geringer Einsatzspannung (low V_T -Transistoren) oder mit $U_T = 0$ einzusetzen. Da Transistoren mit zu geringer Einsatzspannung zu Leckströmen tendieren, kann dies zu statischer Verlustleistung führen wie Bild 4.94a zeigt [179].

Mitarbeiter der Firma Hitachi haben eine eigene Pass-Transistor-Logik entwickelt, die sich besonders gut eignen soll für die Synthetisierung von ganzen Logikblöcken. Es werden nicht die individuellen Logikfunktionen betrachtet. Unterstützt von einfachen Zellbibliotheken und mittels des Einsatzes von U_{DD} und U_{SS} als logische Eingangssignale kann ein automatisierter Schaltungsentwurf angewendet werden [34, 250].

Im Allgemeinen wird man immer anstatt eines Transfergatters ein Transmissions-Gatter verwenden. Ein häufig gemachter Fehler ist es, für die Bestimmung der Gatterlaufzeit nur die Verzögerung zwischen den Eingängen und den Ausgängen der Transmission-Gatter zu betrachten. Aufgrund dieses Fehlers erscheint die CPL-

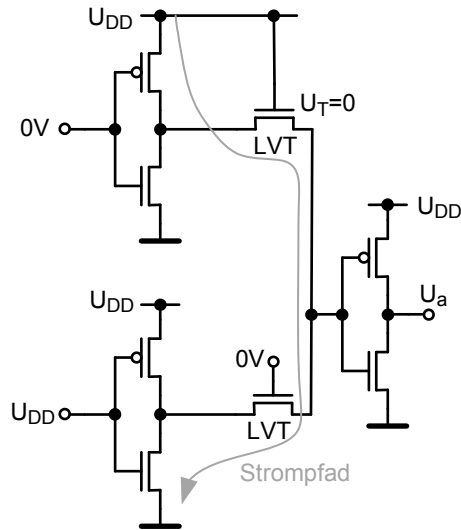


Bild 4.94a Statische Verlustleistung für $U_T = 0$ oder für „low I_T “ [179].

Logik sehr schnell zu sein. Zu realistischeren Abschätzungen gelangt man, wenn auch die treibenden Gatter mit in die Überlegung einbezogen werden. Anhand eines Inverters, der ein Transmission-Gatter treibt (siehe Bild 4.94a), soll mittels des logischen Aufwands g nach Gleichung 4.144 die Gatterlaufzeit der Pass-Transistor-Logik abgeschätzt werden. Zu beachten ist, dass die Methode mit dem logischen Aufwand voraussetzt, dass die Eingangssignale an Gates angreifen. Somit kann kein Pfad vom Eingang des Inverters zum Ausgang des Transmission-Gatters definiert werden. Oft werden in einem Transmission-Gatter die p- und die n-Kanal-Transis-

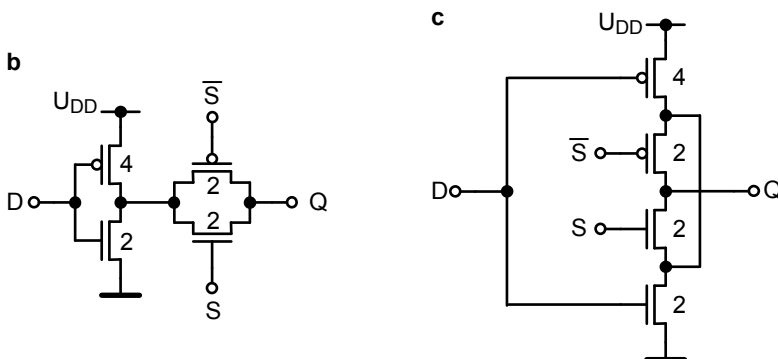


Bild 4.94 Ein Inverter treibt ein Transmission-Gatter (b) und äquivalente Schaltung zur (c) Bestimmung des logischen Aufwands.

toren gleich weit ausgelegt. In Bild 4.94a sind die Weiten der beteiligten Transistoren, bei gleichen minimalen Transistorlängen, eingezeichnet. Berücksichtigt wurde, dass zweifache Serienschaltungen vorliegen. Sofort erkennt man, dass die Schaltung in Bild 4.94b hierzu äquivalent ist. Der logische Aufwand g für die logische Variable d beträgt $6/3 = 2$. Während für das Bündel aus s und $\bar{s}$ nur $g = 4/3$ anfällt. Würde man die Weiten wie bei einer Verriegelungsschaltung wählen, das heißt im Pull-Up-Pfad haben die beiden p-Kanal-Transistoren die vierfache Weite eines Einheitstransistors, ergäbe sich für das s-Bündel $g = 2$. Für ein zweifaches NAND-Gatter nach Bild 4.91a ergibt sich somit für die Variable B ein Wert von $g = 4/3$ und für A $g = 2$. Ein zweifaches NAND-Gatter der CMOS-Logik hat für den logischen Aufwand $g = 4/3$.

Die Berechnung der parasitären Verzögerung p ist schwierig. Bei beiden Schaltungen nach den Bildern 4.94a und 4.94b erhält man $p = 4/3$. Allerdings wird aufgrund der angewendeten Methode, die interne Lastkapazität, am Ausgang des treibenden Inverters (Bild 4.94a), vernachlässigt. An diesem Knoten hängen insgesamt zehn Einheitstransistoren. Dies ist einerseits ein Hinweis auf einen Nachteil der Pass-Transistor-Logikfamilie. Andererseits zeigt sich hier wieder die Schwäche der Methode, mit Hilfe der Aufwände p , g und f die Gatterlaufzeit berechnen zu wollen.

4.8.1.5 Current Mode Logic (CML)

Die starke Zunahme der zu übertragenden Daten in modernen drahtgebundenen Telekommunikationssystemen hat das Interesse an optischen und elektronischen Hochgeschwindigkeitsübertragungssystemen erneuert. Ähnlich wie bei der drahtlosen Übertragungstechnik haben sich neue Trends herausgebildet. Es werden höhere Integrationsgrade angestrebt, um bessere elektrische Eigenschaften bei niedrigeren Kosten zu erzielen. Das bedeutet aber, dass die CMOS-Technologie nun in Gebiete vordringt, die ursprünglich den InP- oder GaAs-Technologien vorbehalten waren.

Der Entwurf von Logikschaltungen, die möglichst mit einer Frequenz in der Nähe ihres Verstärkungs-Bandbreite-Produkts (f_u , Unity-Gain-Frequenz) arbeiten sollen, ist eine herausfordernde Aufgabe. Systemblöcke sollten mit möglichst einfachen Schaltungen, die nur aus wenigen aktiven Transistoren bestehen sollen, aufgebaut sein. Da PMOS-Transistoren eine geringere Unity-Gain-Frequenz als NMOS-Transistoren aufweisen, sollte auf sie verzichtet werden. Stattdessen sollten Ohm'sche Widerstände eingesetzt werden. Was zusätzlich den Entwurf von extrem schnellen Logikschaltungen erschwert und eine Abweichung vom Standardlogikprozess darstellt.

Typische Schaltungen, wie Multiplexer, Demultiplexer, Frequenzteiler, Takt-rückgewinnungsschaltungen (CDR, Clock and Data Recovery Circuits), in Gigabit-Logikschaltungen nutzen extensiv Hochgeschwindigkeitspufferschaltungen, schnelle Latches und Register. Daher werden diese Grundsaltungen nun besprochen. Ausgangspunkt für die extrem schnellen CMOS-Schaltungen sind nicht

CMOS-Inverter, sondern Differenzstufen mit Ohm'schen Lasten, die in Kapitel 4.6.2.1 bereits behandelt wurden.

4.8.1.5.1 CML-Pufferschaltungen

Zunächst sollen die in Kapitel 4.6.2.1 abgeleiteten wichtigsten Eigenschaften von Differenzstufen mit Ohm'schen Lasten kurz nochmals dargestellt werden. Die Differenzstufe nach Bild 4.43 wird am Eingang und am Ausgang mit jeweils einem Gleichtakt U_{inc} , U_{ausc} und einem Differenzsignal U_{ind} oder U_{ausd} betrieben. Der Fußpunkttransistor M5 soll die Schaltung mit einem konstanten Strom I_0 versorgen. Wenn für die Eingangsdifferenzspannung gilt: $|U_{\text{ind}}| > U_{\text{ind,max}}$; fließt der eingepreßte Strom I_0 zur Gänze über den linken oder den rechten Widerstand R_L . Der Spannungsabfall beträgt $I_0 \cdot R_L$. Der andere Ausgang liegt an U_{DD} . Somit ist die Ausgangsdifferenzspannung U_{ausd} ebenfalls $I_0 \cdot R_L$.

Wenn der gesamte eingepreßte Strom I_0 im linken oder im rechten Pfad fließen soll, gilt

$$U_{\text{GS1,2}} - U_{\text{T}} = \sqrt{\frac{2 \cdot I_0}{\beta_{1,2}}} \quad .$$

Somit erhält man entsprechend Gleichung 4.88, wenn man eine symmetrische Struktur voraussetzt und die Daten der Schalttransistoren M1 oder M2 verwendet,

$$|U_{\text{ind}}| = |U_{\text{in1}} - U_{\text{in2}}| = |U_{\text{GS1}} - U_{\text{GS2}}| \geq |U_{\text{ind,max}}| = \frac{\sqrt{2 \cdot I_0}}{\sqrt{\mu \cdot c_{\text{ox}} \cdot \left(\frac{W_{1,2}}{L_{\text{min}}}\right)}} \quad . \quad (4.177)$$

Damit die maximale Schaltgeschwindigkeit erzielt wird, müssen die Schalttransis-

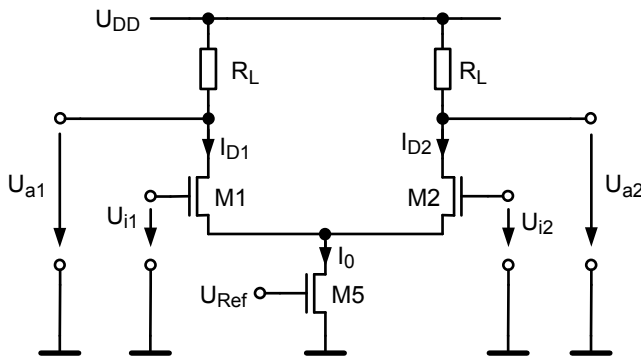


Bild 4.43(wh) Differenzstufe mit Ohm'schen Lasten.

toren mit minimal zulässiger Gate-Länge dimensioniert werden. Für das Verhältnis $U_{\text{ind}}/U_{\text{ind,max}}$ ergibt sich

$$\frac{|U_{\text{ind}}|}{|U_{\text{ind,max}}|} = \frac{I_0 \cdot R_L}{\sqrt{\frac{2 \cdot I_0}{\mu \cdot c_{\text{ox}} \cdot \frac{W}{L_{\text{min}}}}}} \quad (4.178)$$

$$= R_L \cdot \sqrt{\frac{1}{2} \cdot I_0 \cdot \mu \cdot c_{\text{ox}} \cdot \frac{W}{L_{\text{min}}}} \geq 1 \quad . \quad (4.179)$$

Gleichung 4.179 lässt eine wichtige Interpretation zu. Wenn keine differentielle Großsignalaussteuerung vorliegt, ($U_{\text{ind}} = 0$), das heißt, wenn sich der Strom I_0 aufgrund der angelegten Gleichtaktspannung gleichmäßig auf beide Pfade aufteilt, ist die Kleinsignalverstärkung v_{d0} für kleine Frequenzen wie folgt gegeben

$$v_{\text{d0}} = -g_{\text{m1,2}} \cdot R_L = -R_L \cdot \sqrt{2 \cdot \mu \cdot c_{\text{ox}} \cdot \frac{W}{L_{\text{min}}}} \cdot \frac{I_0}{2} \quad . \quad (4.180)$$

Aus dem Vergleich der Gleichungen 4.179 und 4.180 ergibt sich eine untere Grenze für die Kleinsignalverstärkung $v_{\text{d0}} = \sqrt{2}$. Dies ist ein Hinweis, dass die Schaltung in der Nähe der Unity-Gain-Frequenz betrieben wird und somit eine große Bandbreite, beziehungsweise eine kleine Zeitkonstante $\tau = RC$ hat.

Um eine hohe Bandbreite oder eine kleine Zeitkonstante zu erzielen, sollten die Ohm'schen Lastwiderstände R_L klein sein. Damit die höchste Schaltgeschwindigkeit garantiert werden kann, müssen die NMOS-Transistoren im Sättigungsbereich arbeiten. Daraus folgt die bereits in Kapitel 4.6.2.1 abgeleitete Bedingung für das Eingangsgleichtaktsignal U_{inc}

$$U_{\text{GS1}} + U_{\text{GS5}} - U_{\text{T5}} < U_{\text{inc}} < U_{\text{DD}} - R_L \cdot \frac{I_0}{2} + U_{\text{T}} \quad . \quad (4.181)$$

Zusätzlich muss gelten, wenn zum Beispiel der Transistor M1 Strom leiten soll ($U_{\text{in1}} = U_{\text{DD}}$)

$$U_{\text{GS1}} - U_{\text{Tn}} + U_{\text{DS5}} = U_{\text{DD}} - U_{\text{Tn}} \leq U_{\text{DS1}} + U_{\text{DS5}} = U_{\text{DD}} - I_0 \cdot R_L \quad (4.182)$$

$$I_0 \cdot R_L \leq U_{\text{Tn}} \quad . \quad (4.183)$$

Bei der Kaskadierung von identischen CML-Pufferschaltungen setzt Gleichung 4.183 eine obere Schranke für den zulässigen Ausgangshub. Wenn nur ein reines Gleichtaktsignal am Eingang anliegt, wird der Strom des Fußpunkttransistors gleichmäßig auf beide Seiten aufgeteilt. Die beiden Ausgangsspannungen sind identisch. Es gilt: $U_{\text{aus1}} = U_{\text{aus2}} = U_{\text{DD}} - I_0 \cdot R_L / 2$. Deswegen kann man die CML-Puffer einfach kaskadieren. Die Ausgangspegel können direkt als Eingangspegel der nächsten Stufe verwendet werden.

Nun sind alle Voraussetzungen erfüllt, so dass im nächsten Schritt die Gatterlaufzeit für eine CML-Pufferschaltung berechnet werden kann. Die Gatterlaufzeit hängt von zwei Bedingungen ab. Zunächst müssen die beiden Transistoren M1 und M2 schnell genug schalten. Zum anderen müssen die Lastkapazitäten über R_L genügend schnell aufgeladen werden können. Die Pufferschaltung beruht darauf, dass mittels der NMOS-Transistoren M1 und M2 der Strom I_0 vom rechten Pfad in den

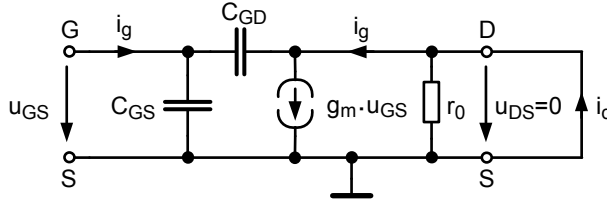


Bild 4.95 Kleinsignalersatzschaltbild eines MOS-Transistors zur Berechnung der Transistfrequenz f_T .

linken Pfad von Bild 4.43 und wieder zurück geschaltet werden kann. Als Maß für die Schaltgeschwindigkeit der beiden Transistoren wird oft in der Literatur die Transistfrequenz f_T angegeben. Betrachtet man nur einen Transistor, so ist die Frequenz f_T definiert als die Frequenz f bei der gilt: $|i_d/i_{g1}| = 1$. Ändert man entsprechend dieser Definition das Kleinsignalersatzschaltbild für einen Transistor nach Bild 2.76 von Kapitel 2.1.12.3 ab, erhält man das Bild 4.43. Für das Verhältnis der Ströme ergibt sich

$$\left| \frac{i_d}{i_g} \right| = \frac{g_m}{2\pi \cdot f \cdot (C_{GS} + C_{GD})} \quad (4.184)$$

Daraus folgt

$$f_T = \frac{g_m}{2\pi \cdot (C_{GS} + C_{GD})} \quad (4.185)$$

Vergleicht man diesen Ausdruck für f_T mit der Gleichung 4.37 von Kapitel 4.3.2.2 für die Unity-Gain-Frequenz f_u , sieht man, dass die beiden Ausdrücke gleich sind. Es wird davon ausgegangen, dass ein Puffer einen anderen identischen Puffer treibt. Da $g_m = \sqrt{2 \cdot \beta \cdot I_D}$ ist, gilt nach Gleichung 4.185 für die Transistfrequenz $f_T \approx \sqrt{I_D}$.

Bild 4.96 zeigt für eine 120 nm CMOS-Technologie die Abhängigkeit der Transistfrequenz f_T vom Gleichanteil des Querstroms I_D , der durch den betrachteten Transistor fließt. Zusätzlich ist die Abhängigkeit von der Drain-Source-Spannung U_{DS} eingezeichnet. Zunächst steigt die Transistfrequenz wie erwartet mit dem Drain-Strom I_D an. Der Abfall bei höheren Drain-Strömen ist dadurch bedingt, dass der Transistor bei gegebenen Abmessungen vom Sättigungsbereich in den Triodenbereich wechselt. Dies ist auch die Ursache dafür, dass kleinere Drain-Source-Spannung kleinere Transistfrequenzen zur Folge haben. Eine Abschätzung für die maximale Schaltfrequenz ergibt sich, wenn man f_T oder f_u durch die Verstärkung bei kleinen Frequenzen ($\sqrt{2}$) teilt.

In [128] wird festgestellt, dass der Transistfrequenz f_T keine fundamentale Bedeutung zukommt. Die Beliebtheit dieses Gütemaßes beruht auf der einfachen Berechenbarkeit. Dort, wie auch in anderen Literaturstellen, wird als Gütemaß die Frequenz $f_{\max}$ eingeführt, bei der die Leistungsverstärkung $P_{\text{aus}}/P_{\text{ein}}$ eins ist. Nach längerer Rechnung ergibt sich für $f_{\max}$

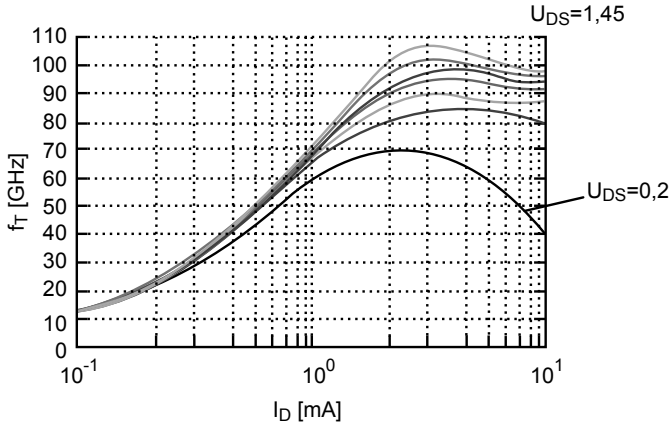


Bild 4.96 Transistfrequenz f_T einer 120 nm CMOS-Technologie in Abhängigkeit vom Drain-Strom I_D und der Drain-Source-Spannung U_{DS} als Parameter. U_{DS} wird in Schritten von 0,2 V erhöht [114].

$$f_{\max} = \frac{1}{2} \cdot \sqrt{\frac{f_T}{8\pi \cdot R_G \cdot C_{GD}}} \quad (4.186)$$

R_G Serienwiderstand des Gates

Die Länge des Gate-Widerstands R_G ist durch die Transistorweite W gegeben. Daher geht man, wenn große Transistorweiten benötigt werden, zu Fingerstrukturen über, die im Bild 4.13b des Kapitels 4.3.2.1 bereits besprochen wurden. Da somit das Produkt aus $R_G \cdot C_{GD}$ klein gehalten werden kann, nähert sich $f_{\max}$ f_T .

Durch die beiden Schalttransistoren M1 und M2 fließt ein großer Strom. Der Designer kann I_0 wegen Elektromigration und wegen thermischer Überlastung nicht beliebig groß wählen. Um die kapazitive Belastung der Ausgangsknoten möglichst gering zu halten, sollte die Transistorweite klein sein. Die Grenze für die minimale Transistorweite folgt aus der Bedingung, dass bei gegebenem Strom I_0 die beiden Transistoren im Sättigungsbereich arbeiten müssen. Für eine 120 nm CMOS-Technologie hat sich ein W/L-Verhältnis für M1 und M2 von $50\mu\text{m}/120\text{ nm}$ als günstig erwiesen [114].

Wenn der Strom I_0 zwischen den beiden Pfaden hin- und hergeschaltet wird, schwanken die Ausgangsspannungen U_{aus1} und U_{aus2} zwischen U_{DD} und $U_{DD} - I_0 \cdot R_L$. Wird die Differenzstufe, das heißt der Puffer, vom Gleichgewicht ($U_{\text{ind}} = 0$) differentiell angesteuert, so ist der Zuwachs des Stromes der einen Seite betragsmäßig genauso groß wie die Verringerung des Strom der anderen Seite, wie das Bild 4.45 des Kapitels 4.6.2.1 zeigt. Daraus folgt, dass für die Entladung einer Lastkapazität C_L des einen Knotens genauso viel Strom zur Verfügung steht wie für die Aufladung der Lastkapazität des anderen Ausgangsknotens. Für die Aufladung eines Knotens wird genauso viel Zeit benötigt wie für die Entladung. Die Gatterlaufzeit des Puffers kann also aus dem Aufladevorgang berechnet werden. Wenn ein Ausgang auf U_{DD} gezogen werden soll, muss die Lastkapazität C_L an diesem Knoten über den Last-

widerstand R_L aufgeladen werden. Die Gatterverzögerungszeit t_p ergibt sich somit zu

$$t_p = R_L \cdot C_L \cdot \ln 2 \quad . \quad (4.187)$$

Nimmt man $R_L = 50 \Omega$ und $C_L = 600 \text{ fF}$ an, folgt für die Gatterlaufzeit 20 ps. Es wird ein Strom I_0 von 8 mA vorausgesetzt, der einen Spannungshub von 400 mV an R_L verursacht. Nach [90] liefert die Gleichung 4.187 Werte für die Gatterlaufzeit, die etwa um 10% von den Werten abweichen, die mit SPICE-Simulationen gewonnen werden.

In [114] wird Gleichung 4.187 benutzt, um die Verzögerungszeiten von CMOS-Inverter und CML-Puffer zu vergleichen. Die Schätzung ergibt, dass CML-Puffer um den Faktor 2,8 kleinere Gatterlaufzeiten aufweisen.

Unbestritten hat die statische CMOS-Logikfamilie die Vorteile der geringen Verlustleistung, des kompakten Layouts und der einfachen Dimensionierung. Für den Entwurf von hochkomplexen Logikschaltungen stehen CAD-Werkzeuge zur Verfügung. Aber anhand eines Inverters lässt sich zeigen, dass es auch einige Nachteile gibt. Zunächst begrenzen die PMOS-Transistoren in den Pull-Up-Pfaden die maximal mögliche Schaltfrequenz. Da die Eingangs- und die Ausgangssignale der CMOS-Inverter gegen Masse definiert sind, sind diese Schaltungen sehr empfindlich gegen jede Form von Störungen. Seien es Störsignale auf den Versorgungsleitungen (U_{DD} und U_{SS}), Störsignale im Substrat oder Nebensprechen, alle diese Störungen können das Schaltverhalten beeinträchtigen.

Signalwechsel an den Eingängen der CMOS-Inverter bedingen Stromstöße auf den Versorgungsleitungen. Dies verschlimmert zusätzlich die Störungen auf den Versorgungsleitungen. Dadurch werden die Störabstände reduziert und die Gatterlaufzeiten von allen Gattern, die an diesen Versorgungsleitungen hängen, vergrößert. Bild 4.97 stellt die Eingangs- und Ausgangsspannungen von acht CMOS-Puffern dar, wenn diese Inverter gleichzeitig schalten und wenn sie zusammen eine Last von 2 pF treiben sollen. Diese Zahl ist typisch für acht Leitungen, die vom Chip weg führen. Die W/L-Verhältnisse für die NMOS-Transistoren betragen $20 \mu\text{m}/0,18 \mu\text{m}$, beziehungsweise $40 \mu\text{m}/0,18 \mu\text{m}$ für PMOS-Transistoren. Die Über- und Unterschwinger der Ausgangsspannung sind durch Induktivitäten, die zum Beispiel von den Bonddrähten herrühren, verursacht. Die durch das Schalten der CMOS-Treiber bedingten Schwankungen auf den Versorgungsleitungen, sind in Bild 4.98 zu sehen [90].

Im Vergleich zu CMOS-Invertiern sind CML-Puffer, wegen des implementierten Differenzprinzips, unempfindlich gegen Schwankungen auf den Versorgungsleitungen oder gegen Nebensprechen. CML-Gatter produzieren keine zusätzlichen Spannungssprünge auf den Versorgungsleitungen. Vorrangig ist jedoch die höhere Schaltgeschwindigkeit, die mit CML realisiert werden kann.

4.8.1.5.2 Pufferkette

Ähnlich wie in Kapitel 4.5.1 soll nun der Fall untersucht werden, dass Signale vom Chip weggeführt werden müssen. Das bedeutet, dass große Lasten getrieben werden

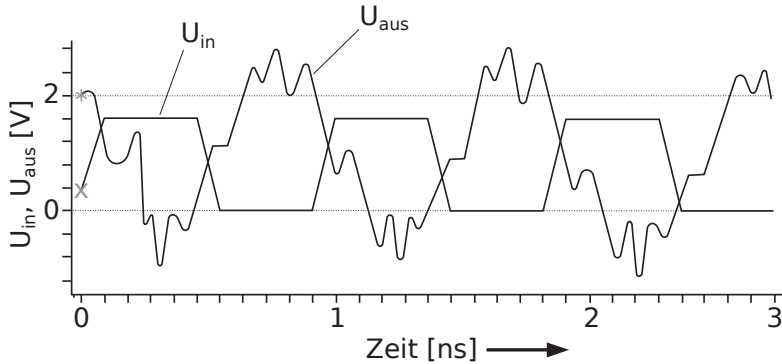


Bild 4.97 Ein- und Ausgangsspannungen von typischen CMOS-Puffern, die gleichzeitig schalten. Die Lastkapazität beträgt 2pF [90].

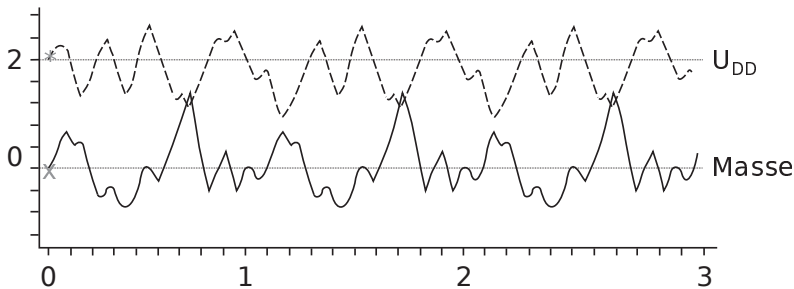


Bild 4.98 Schwankungen der Versorgungsspannungen U_{DD} und U_{SS} , wenn acht CMOS-Inverter, die eine „off-chip“-Last von 2pF treiben, gleichzeitig schalten [90].

müssen und der Ausgangstreiber deswegen eine große Stromergiebigkeit braucht. Im Regelfall haben die Puffer, die die Signale nur auf dem Chip weiterleiten, eine kleinere Treiberfähigkeit. Wie es in Kapitel 4.5.1 beschrieben ist, wird man eine Kette von N Puffer einsetzen, wobei die Stromergiebigkeit jedes Puffers um den Faktor f größer sein muss als diejenige seines Vorgängers. Aber der Signalhub $I_0 \cdot R_L$ muss konstant bleiben. Jede nachfolgende Stufe hat einen um den Faktor f größeren eingepprägten Strom I_0 , aber der Lastwiderstand R_L ist um den gleichen Faktor kleiner. Wählt man wieder $f = e$, ergibt sich für die Anzahl N der Stufen (siehe Gleichung 4.80b)

$$N = \ln \frac{C_L}{C_{in}} \quad . \quad (4.188)$$

C_L ist die Kapazität, die die letzte Stufe der Pufferkette treiben muss und C_{in} die Eingangskapazität der ersten Stufe. Aus Gleichung 4.177 folgt für zwei aufeinander folgende Stufen

$$R_{L,1} \cdot I_{0,1} \geq \sqrt{\frac{2 \cdot I_{0,2}}{\left(\mu_n \cdot c_{ox} \cdot \left(\frac{W}{L_{\min}}\right)_2\right)}} \quad (4.189)$$

Gleichung 4.189 legt bei gegebenem Signalhub und eingepprägtem Strom $I_{0,2}$ die minimal mögliche Transistorweite W fest. Aus dem Vorherigen folgt, dass in dem Maße wie die eingepprägten Ströme $I_{0,i}$ von Stufe zu Stufe erhöht werden, auch die $W/L_{\min}$ -Verhältnisse der Eingangstransistoren M1 und M2 vergrößert werden müssen. Das heißt, dass auch die Lastkapazitäten von Stufe zu Stufe um den Faktor f wachsen, da die Transistorlänge konstant minimal gehalten wird. Die Zeitkonstanten $R_{L,i} \cdot C_{L,i}$ bleiben konstant. Folgt man der Vergrößerungsregel, sieht man, dass nach Gleichung 4.181 auch die Kleinsignalverstärkung v_{d0} konstant bleibt.

Die Dimensionierung der letzten Stufe wird von der Leitung, die von Chip wegführt, bestimmt. Die Bonddrähte kann man als Wellenleitung auffassen. Diese Wellenleitung sollte eingangs- und ausgangsseitig mit dem Wellenwiderstand Z_0 der Leitung abgeschlossen sein, somit $R_{L,N} = Z_0$. Der eingepprägte Strom $I_{0,N}$ der letzten Stufe ergibt sich aus dem konstanten Signalhub $I_{0,i} \cdot R_{L,i}$. Aus der konstanten Kleinsignalverstärkung v_{d0} nach Gleichung 4.181 lässt sich das W/L -Verhältnis der Transistoren M1 und M2 der letzten Stufe berechnen. Das so ermittelte Ergebnis ist im Hinblick darauf zu überprüfen, ob alle Transistoren dieser Stufe im Sättigungsbereich arbeiten. Ausgehend von der letzten Stufe können nun rückwärts alle vorhergehenden Stufen dimensioniert werden, wenn man einen Vergrößerungsfaktor $f = e$ zu Grunde legt.

Im letzten Schritt soll nun die Gatterlaufzeit der Pufferkette bestimmt werden. Bei der Berechnung wird zunächst davon ausgegangen, dass die i -te-Stufe die $i + 1$ Stufe treibt. Die parasitäre Lastkapazität eines Ausgangs der i -ten-Stufe setzt sich aus der Drain-Substrat-Kapazität $C_{DB,i}$, der Drain-Gate-Kapazität $C_{GD,i}$ und näherungsweise der Gate-Source-Kapazität des Eingangstransistors der nachfolgenden Stufe $C_{GS,i+1}$ zusammen. Zu beachten ist, dass $C_{GD,i}$ eine Miller-Kapazität ist. Aus Gleichung 4.187 folgt

$$t_{p,i} = R_{L,i} \cdot (C_{DB,i} + 2 \cdot C_{GD,i} + C_{GS,i+1}) \cdot \ln 2 \quad (4.190)$$

Für die gesamte Gatterlaufzeit $t_{p,Ges}$ der Kette ergibt sich somit

$$t_{p,Ges} = N \cdot R_{L,1} \cdot (C_{DB,1} + 2 \cdot C_{GD,1} + f \cdot C_{GS,1}) \cdot \ln 2 \quad (4.191)$$

Mit 1 werden die Daten des Eingangspuffers bezeichnet.

In der Literatur findet man zwei Methoden, mit denen die Gatterlaufzeiten der Puffer verbessert werden können. Zunächst ist es nützlich den einen Eingang eines Puffers, wie es in Bild 4.99 dargestellt ist, kapazitiv mit dem Ausgang der anderen Seite zu verbinden. Es lässt sich anhand eines Kleinsignalersatzschaltbildes leicht zeigen, dass diese „kreuzgekoppelten“ Kapazitäten eine negative Eingangskapazität bilden. Somit kann an dem entsprechenden Knoten zum Beispiel die Gate-Drain-Kapazität C_{GD} der vorhergehenden Stufe kompensiert werden.

Zusätzlich wird „Inductive Peaking“ eingesetzt. Man schaltet, wie es ebenfalls Bild 4.99 zeigt, in Serie zu den Lastwiderständen R_L Induktivitäten (Shunt Peaking) [90] und erreicht damit eine um den Faktor 1,7 höhere Bandbreite, beziehungsweise um diesen Faktor kleinere Gatterlaufzeit. Nach der Lenz'schen Regel ist die Wirkung der Ursache entgegengesetzt, daher bewirkt die Induktivität bei einem Aufladevorgang, dass die Abnahme des Ladestroms verzögert wird. Zusätzlich zu den beiden Induktivitäten kann man an den Ausgängen jedes Puffer zwei weitere Induktivitäten in Serie (Series Peaking) zu der Lastkapazität schalten. Nach [114] wird dadurch die Bandbreite um weitere 45 Prozent erhöht. Man sollte aber bedenken, dass integrierte Induktivitäten viel Platz einnehmen.

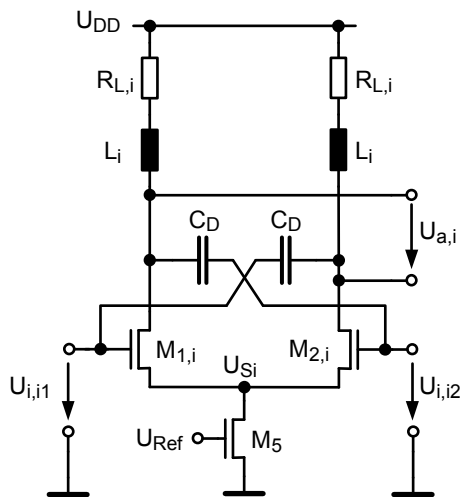


Bild 4.99 CML-Pufferstufe mit kreuzgekoppelten Kapazitäten C_D sowie „Inductive Peaking“ zur Verbesserung der Gatterlaufzeit.

4.8.1.5.3 CML-Latches, Register und Frequenzteiler

In Kapitel 4.7.5.1 wurde in Bild 4.65a ein Latch gezeigt, dass mit einem zusätzlichen Fußpunkttransistor auch für CML geeignet ist (siehe Bild 4.99). Der Fußpunkttransistor dient dazu, die Strombelastung in den Versorgungsleitungen konstant zu halten. Ein Register ergibt sich wieder aus der Serienschaltung von zwei Latches, wobei das zweite Latch mit einem invertierten Takt angesteuert wird.

Mit zwei Registern können Frequenzteiler realisiert werden (siehe Bild 4.101). Wegen des durchgehaltenen Differenzprinzips werden vier Taktsignale, deren Verläufe im Bild 4.102 dargestellt sind, erzeugt, die nicht nur die doppelte Periodendauer im Vergleich zum Eingangssignal F_2 aufweisen, sondern auch gegeneinander eine Phasenverschiebung von 90° zeigen. Die Ableitung der Ausgangssignale beginnt mit der Annahme, dass zunächst $\overline{F4Q}$ eine logische Eins aufweist. Mit der fallenden Taktflanke von F_2 übernimmt das erste Register diesen Wert, daher $F4I = 1$,

$\overline{F4I} = 0$. Das zweite Register bewertet mit der steigenden Flanke von $F2$ die Eingänge $D2$ und $\overline{D2}$. Deswegen ist nun $F4Q = 1$ und $\overline{F4Q} = 0$. Nun beginnt ein neuer Zyklus, aber mit entgegengesetzten Werten. Erst nach zwei Taktperioden von $F2$ wiederholt sich der Vorgang. Die Prüfung der Signalverläufe ergibt, dass jeweils $F4I$ und $F4Q$, $\overline{F4I}$ und $\overline{F4Q}$ sowie $F4Q$ und $\overline{F4I}$ eine Phasenverschiebung um 90° haben, das heißt sie sind um $T_4/4$ gegeneinander verschoben.

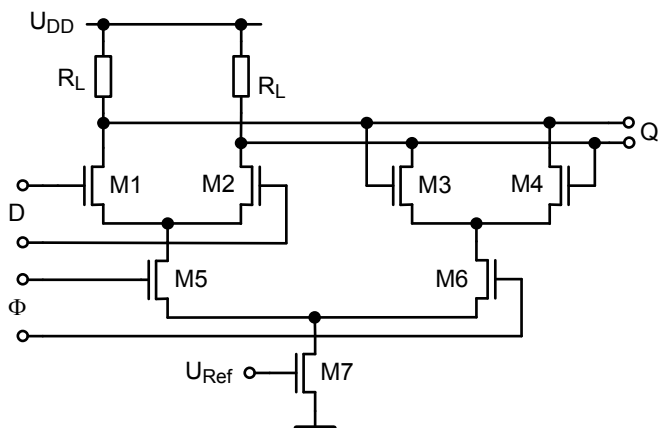


Bild 4.100 Schaltbild eines CML-Latches.

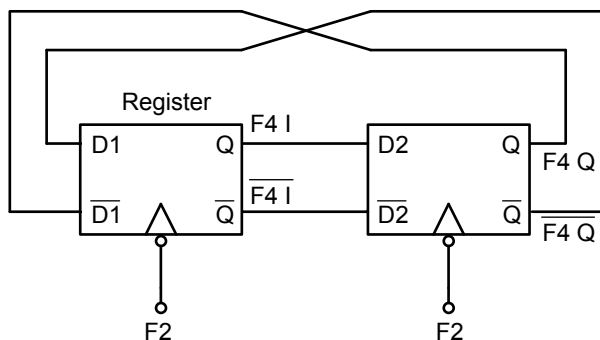


Bild 4.101 Blockschaltbild eines Frequenzteilers.

4.8.1.5.4 Multiplexer und Demultiplexer

Der Datenpfad eines optischen Senders besteht aus einem Multiplexer, einem Flip-Flop und einem Lasertreiber. An dieser Stelle soll nun der Entwurf von Multiplexern näher erläutert werden. Eine weitergehende Behandlung der Materie findet der Leser unter [182].

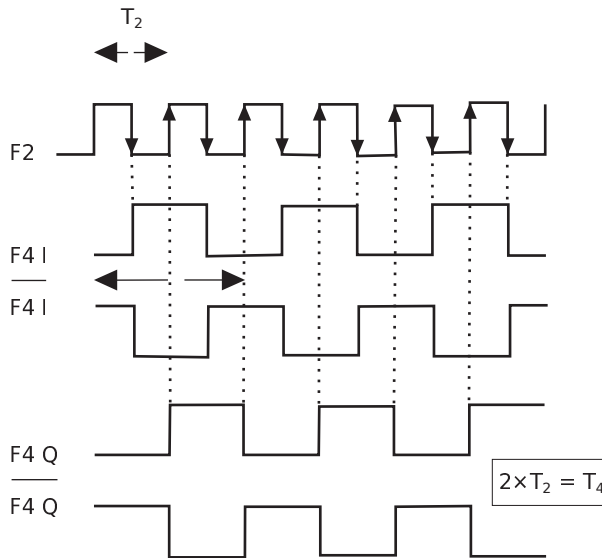


Bild 4.102 Signalverläufe des Frequenzteilers.

Multiplexer vereinen parallel liegende Datenkanäle mit niedriger Datenrate zu einem seriellen Datenstrom mit hoher Datenrate. Anhand eines 2 : 1 Multiplexers soll das Prinzip erläutert werden. Eine derartige Schaltung hat die Aufgabe, in Abhängigkeit von den logischen Werten eines Steuer- oder Taktsignals jeweils einen von zwei binären Eingängen zu einem Ausgang zu leiten. Das Schaltsymbol eines Multiplexers ist in Bild 4.103 dargestellt. Wenn die Ausgangsdatenrate 10 Gb/s beträgt, dann weist jeder Eingang eine Datenrate von 5 Gb/s auf. Die Frequenz des Steuerbeziehungsweise des Taktsignals beträgt 5 GHz. Während der positiven Halbwelle des Steuersignals, die 100 ps lang ist, wird $D1$ zum Ausgang und während der negativen Halbwelle wird $D2$ zum Ausgang geführt. Die zeitlichen Verläufe der Eingangssignale und des Ausgangssignals sind Bild 4.104 dargestellt.

Die Realisierung zeigt Bild 4.105. Im Vergleich zum CML-Puffer (Bild 4.43) ist eine zusätzliche Reihe an Schalttransistoren $M1$, $M2$, $M3$ und $M4$ eingefügt. Alle Signale seien differentielle Signale. Für $\Phi = 1$ wird entsprechend dem Eingangssignal $D1$ der eingeprägte Strom I_0 zu den Lastwiderständen geleitet. Die Daten $D2$ bestimmen den Stromfluss für $\Phi = 0$.

Nun sind drei Reihen von Transistoren übereinander gestapelt. Das bedeutet, dass es schwieriger ist, alle Transistoren im Sättigungsbereich zu betreiben. Größere Weiten der Schalttransistoren helfen das Problem zu lösen, da somit kleinere effektive Gate-Source-Spannungen und damit auch kleinere Drain-Source-Spannungen möglich werden. Allerdings sollte die nominelle effektive Gate-Source-Spannung

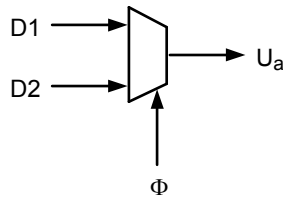


Bild 4.103 Schaltsymbol eines 2 : 1 Multiplexers.

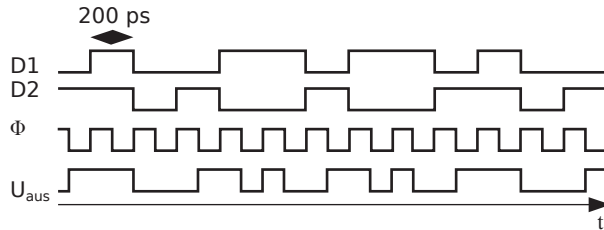


Bild 4.104 Schematisch dargestellte Eingangs- und Ausgangssignale.

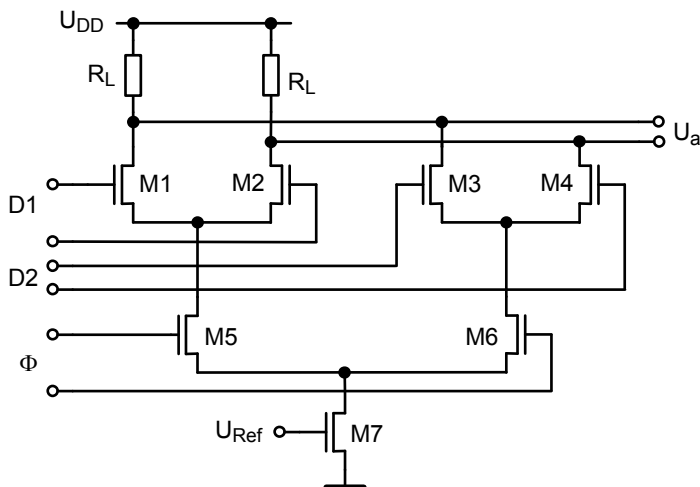


Bild 4.105 Transistorschaltbild eines CML 2 : 1 Multiplexers.

wegen der Herstellungstoleranzen nicht kleiner als etwa 100 mV bis 200 mV ausgelegt werden. Man sieht, das Stapeln von Transistoren wird mit moderneren Technologien immer schwieriger.

Die zeitlichen Verläufe, die in Bild 4.104 dargestellt sind, beruhen auf der Annahme, dass die Datensignale $D1$ und $D2$ immer mit der steigenden Flanke des Taktsignals Φ ihren Wert wechseln. Nun sollen etwas realistischere Signalverläufe zu Grunde gelegt werden, indem endliche Anstiegs- und Abfallzeiten für die Datensignale berücksichtigt werden (Bild 4.106). Zum Zeitpunkt $t = t_1$ wechseln

weiterhin beide Datensignale ihren Wert, während das Ausgangssignal bei idealer Betrachtung konstant eine logische Eins darstellen sollte. Da aber zu diesem Zeitpunkt beide Datensignale und das Taktsignal durch ihre Nullpunkte ($U_{DD}/2$) gehen, wird der Strom I_0 des Fußpunkttransistors gleichmäßig auf beide Seiten aufgeteilt. Die Ausgangsspannung weist einen Einbruch auf.

Diese Analyse ist ein Hinweis, dass die beiden Datenströme $D1$ und $D2$ zeitlich zueinander verzögert sein sollten, so dass ein gleichzeitiges Schalten ausgeschlossen ist. Optimal wäre eine zeitliche Verschiebung um die halbe Taktperiode. Das setzt voraus, dass die beiden Datenströme synchronisiert sind. Indem in beide Datenpfade jeweils ein Register und zusätzlich im Datenpfad $D1$ nach dem Register zusätzlich ein Latch eingefügt wird (siehe Bild 4.107) [182], lässt sich das Ziel erreichen. Die beiden Register sollen die Datenpfade mit der steigenden Taktflanke synchronisieren.

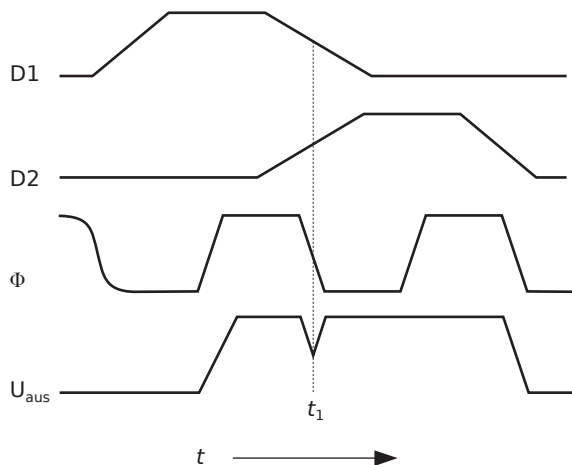


Bild 4.106 Berücksichtigung von realen Anstiegs- und Abfallzeiten des 2 : 1 Multiplexers.

Wenn das Taktsignal Φ den logischen Wert Eins hat, soll das zusätzliche Latch undurchlässig sein. Dessen Ausgang ist während dieser Phase deswegen konstant. Hat das Taktsignal den logischen Wert Null ist das Latch transparent, aber das Transistorpaar M1 und M2 des Multiplexers sperrt, da das Taktsignal Φ am Gate von M5 in Bild 4.105 liegt. Die Daten $D1$ werden also mit der positiven Taktflanke zum Ausgang des Multiplexers durchgeschaltet, während die Daten $D2$ mit der negativen Taktflanke zum Ausgang gelangen. Das zusätzliche Latch und der linke Teil des Multiplexers bilden ein Register, das mit der positiven Taktflanke gesteuert wird.

Ein 1 : 2 Demultiplexer für zum Beispiel 40 Gb/s besteht nach Bild 4.108 aus zwei Master-Slave-Flip-Flops, die Register darstellen, und zwei Pufferschaltungen. Die Register werden mit 20 GHz getaktet. Das eine Register übernimmt die Daten

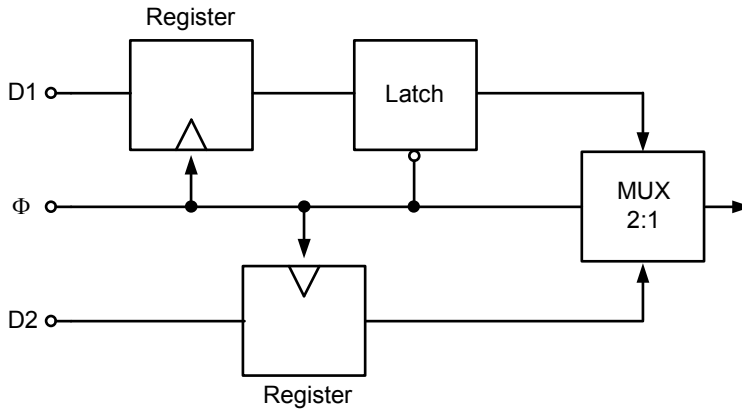


Bild 4.107 Ein Eingang des 2:1 Multiplexers enthält zusätzlich ein Latch um gleichzeitiges Schalten der Eingangsdatenströme zu vermeiden. Die beiden Register dienen zur Synchronisation [182]. Die Signale liegen in differentieller Form vor.

mit der ansteigenden Taktflanke, während das Andere die Daten mit der fallenden Taktflanke übernimmt. Die Puffer sollen die Register von den Ausgängen entkoppeln.

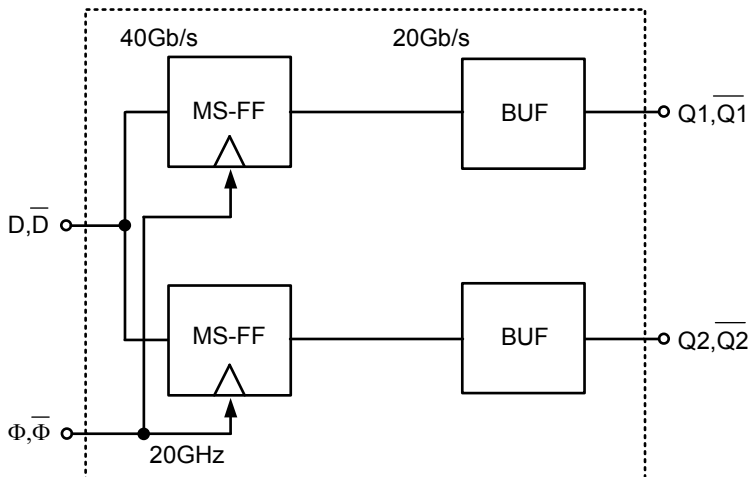


Bild 4.108 Blockschaltbild eines 1 : 2 Demultiplexers.

4.8.2 Dynamische Logikgatter

4.8.2.1 Einfaches dynamisches Logikgatter

Mit der dynamischen Schaltungstechnik, die auf der vorübergehenden Speicherung von Information in Form von Ladungspaketen auf isolierten Kapazitäten beruht (siehe Kapitel 4.7.1 und 4.7.2), sind komplexe Gatter mit geringem Transistoraufwand und kleinen Schaltzeiten realisierbar. Im Vergleich zu der statischen CMOS-Logik wird in der Literatur von Verbesserungen bezüglich der Schaltzeit um den Faktor 1,3 bis 2,0 berichtet.

Das Transistorschaltbild für die Implementierung der logischen Funktion $Z = \overline{A \cdot B + C}$ in der dynamischen CMOS-Logik zeigt Bild 4.109. Zur Ausführung der logischen Funktion werden zwei Taktphasen benötigt. Zunächst wird für $\Phi = 0$ der Ausgangsknoten auf U_{DD} -Potential vorgeladen (Precharge, Vorladephase), während der Strompfad zu U_{SS} unterbrochen ist. Für $\Phi = 1$ wird der p-Kanal-Transistor im Pull-Up-Pfad durch das Taktsignal gesperrt. Entsprechend den Eingangssignalen behält der Ausgang seinen logischen Zustand oder er wird auf 0 V entladen (Evaluation, Ausführungsphase). Die Logikfunktion wird nur durch die n-Kanal-Transistoren im Pull-Down-Pfad ausgeführt. Falsches Schalten (Glitching) ist nun ausgeschlossen.

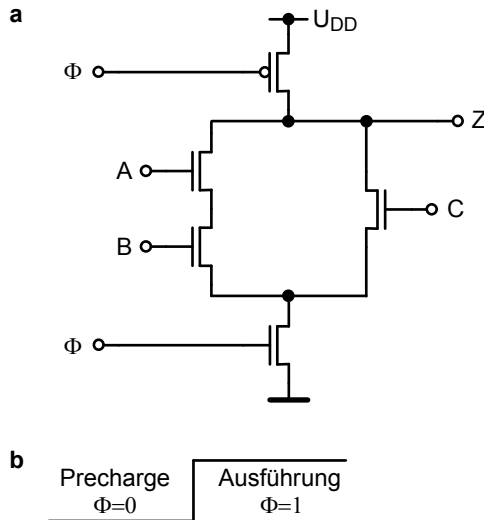


Bild 4.109 Realisierung der logischen Funktion $Z = \overline{A \cdot B + C}$ mit der dynamischen CMOS-Logik: **a** Transistorschaltbild; **b** Taktschema.

Wie bei der statischen CMOS-Logik hängt die Störsicherheit nicht vom Verhältnis der Weiten und Längen von p-Kanal- zu n-Kanal-Transistoren ab (Ratioless Logic). Benötigt man für eine logische Funktion mit der statischen CMOS-Logik

N Transistoren, so genügen nun $N/2 + 2$ Transistoren. Die vorausgehenden Gatter müssen nur die n-Kanal-Transistoren im Pull-Down-Pfad treiben. Die kapazitive Belastung der treibenden Gatter ist wesentlich verringert. Die gewünschten logischen Funktionen können, wie bei der Pseudo-NMOS-Logik, nur mit NOR-Gattern realisiert werden. Es sind dann in jedem Pull-Down-Pfad zwei Transistoren in Serie geschaltet.

Da die Anzahl der Transistoren geringer ist als bei einer vergleichbaren Schaltung der statischen CMOS-Logik, könnte man glauben, dass die Verlustleistung der dynamischen Logik auch kleiner ist. Dies ist ein Irrtum. Zunächst gilt es auch die Verlustleistung, die das Taktsystem verbraucht, zu berücksichtigen. Pro Gatter greift das Taktsignal in jeder Periode an zwei Transistoren an, während die statische CMOS-Logik keine Taktsignale benötigt. Weiter muss bedacht werden, dass die Schaltaktivität α bei der dynamischen Logik größer ist. Entspricht der Ausgang nach dem Vorladevorgang einer logischen Eins, tritt nur dann Verlustleistung auf, wenn in der nachfolgenden Evaluierungsphase der Ausgang auf Null entladen wird. Deswegen ist die Schaltaktivität gleich der Wahrscheinlichkeit, dafür, dass in der Evaluierungsphase der Ausgang auf Null gezogen wird

$$\alpha = p_{0 \rightarrow 1} = p_{\text{aus}0} \quad . \quad (4.192)$$

Aus der Inspektion der Wertetabelle ergibt sich, wenn alle Eingangskombinationen gleich wahrscheinlich sind, die Schaltaktivität eines zweifachen dynamischen NOR-Gatters zu $3/4$. Während man für die Schaltaktivität eines zweifachen statischen NOR-Gatters, wie es in Kapitel 4.8.1.1.3 abgeleitet wurde, $3/16$ erhält. Die Schaltaktivität eines zweifachen NAND-Gatters errechnet sich zu $1/4$. Insgesamt kann festgestellt werden, dass die dynamische Logik eine höhere Verlustleistung als die statische CMOS-Logik benötigt.

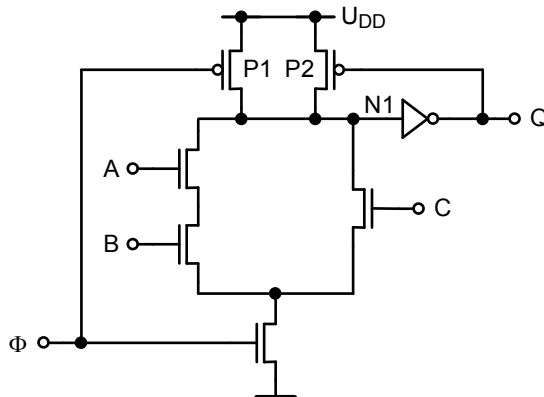


Bild 4.110 Dynamisches Logikgatter mit Bewahrschaltung.

Für $\Phi = 1$ und wenn die Eingänge eine logische Null aufweisen, ergibt sich am Ausgang ein frei schwebender Knoten. Der Ausgang hat in diesem Zustand weder eine Verbindung zu U_{DD} noch zu U_{SS} . Diese Problematik wurde bereits in Kapitel 4.7.1 eingehend behandelt. Kapazitive Kopplungen auf den Ausgangsknoten und Leckströme im Pull-Down-Pfad können das Ausgangspotential vermindern und somit logische Fehler verursachen. Deswegen werden „Bewahrschaltungen“ (Keeper) eingesetzt, die aus einem statischen CMOS-Inverter und einem zusätzlichen p-Kanal-Transistor bestehen. Der CMOS-Inverter wird auch aus einem anderen Grund, wie später dargestellt wird, eingesetzt. Die Bewahrschaltung arbeitet wie folgt (siehe Bild 4.110):

Während der Vorladephase ($\Phi = 0$) zieht der p-Kanal-Transistor P1 den Knoten N1 nach U_{DD} . Dadurch wird $Q = 0$ und der Bewahrtransistor P2 wird eingeschaltet. In der Durchführungsphase ($\Phi = 1$) soll der Pull-Down-Pfad gesperrt bleiben. Sobald der Knoten N1 aufgrund einer Störung zu niedrigeren Potential entladen wird, arbeitet der „Bewahrer“ P2 dagegen, der Ausgang N1 bleibt wie gewünscht auf hohem Potential.

Die Dimensionierung des Bewahrers ist nicht einfach. Legt man diesen Transistor weit aus, liefert er viel Strom und kann somit einer Störung schnell entgegenwirken. Allerdings, wenn ein Wechsel des Ausgangssignals erfolgen soll, weil der Pull-Down-Pfad leitet, wird dieser Signalwechsel verlangsamt auftreten, da es sich nun um eine „Ratioed Logic“ handelt. Im Hinblick auf die exakte Dimensionierung des Bewahrers muss man zunächst über die logische Schaltschwelle des zusätzlichen Inverters entscheiden. Liegt dessen Schaltschwelle nicht bei $U_{DD}/2$ sondern näher bei U_{DD} , wird der Bewahrer frühzeitig abgeschaltet und der Entladevorgang erleichtert. Erreicht wird dies, indem man den Pull-Up-Pfad niederohmiger, das heißt mit einem weiteren Transistoren, gestaltet.

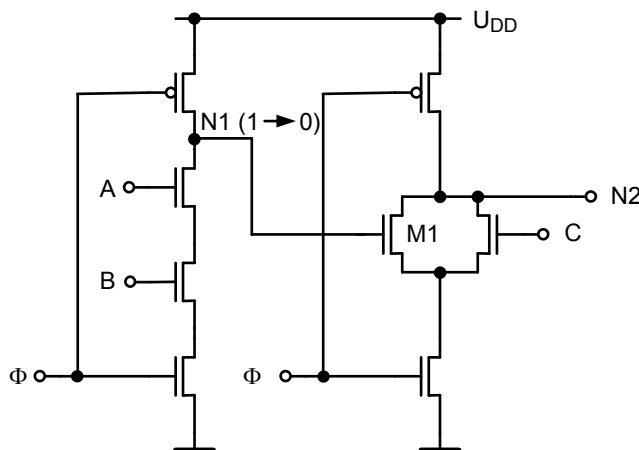


Bild 4.111 Unerwünschtes Entladen nachfolgender Knoten.

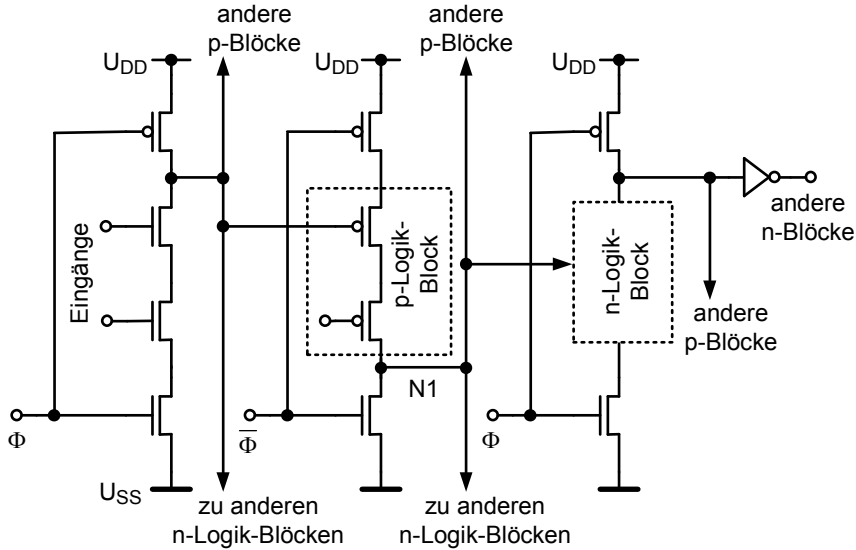


Bild 4.113 Erweiterte Domino-Logik (NORA-Logik).

Vorladephase werden die Ausgänge der Logikstufen mit n-Kanal-Transistoren auf hohes Potential vorgeladen, während die Ausgänge der Stufen mit p-Kanal-Transistoren im Logikblock auf niedriges Potential gezogen werden. Da nun immer Logikblöcke mit n-Kanal-Transistoren mit Blöcken aus p-Kanal-Transistoren abwechseln, sind zu Beginn der Ausführungsphase alle Transistoren gesperrt. Zusätzlich können auch Inverter eingesetzt werden, um Logikblöcke, die mit den gleichen Transistortypen aufgebaut sind, zu verbinden. In der Literatur wird diese Logikfamilie auch NORA-Logik genannt [67, 42].

Die Ausführungsphase der zweiten Stufe der Domino-Logik nach Bild 4.112 kann erst erfolgen, nachdem die Ausführungsphase der ersten Stufe abgeschlossen ist. Der Fußpunkttransistor ME2 der zweiten Stufe ist redundant und kann deswegen weggelassen werden. Dadurch wird die Stapelhöhe der zweiten Stufe reduziert und die Schaltgeschwindigkeit verbessert. In der Vorladephase stellt sich nun ein Problem. Nach dem Signalwechsel $\Phi = 1 \rightarrow 0$ vergeht Zeit bis der Knoten N1 auf U_{DD} gezogen wird und der nachfolgende Inverter schaltet. In dieser Zeit kann in der zweiten Stufe ein Querstrom fließen. Verhindert wird dies, indem die Vorladephase der zweiten Stufe verzögert wird (Bild 4.114b). Die gesamte Gatterlaufzeit einer Kette wird, wie bei der einfachen Domino-Logik, von den Zeitdauern der einzelnen Evaluierungsphasen bestimmt.

Der logische Aufwand eines dynamischen Gatters lässt sich leicht nach Bild 4.114c berechnen. Zunächst ist zu bedenken, dass ein Inverter mit gleichen Anstiegs- und Abfallzeiten in statischer CMOS-Logik den Wert $g = 1$ hat. Wenn diese Bedingung erfüllt ist, brauchen die Inverter nach jedem dynamischen Gatter bei der Berechnung des logischen Aufwands nicht berücksichtigt zu werden. In dynami-

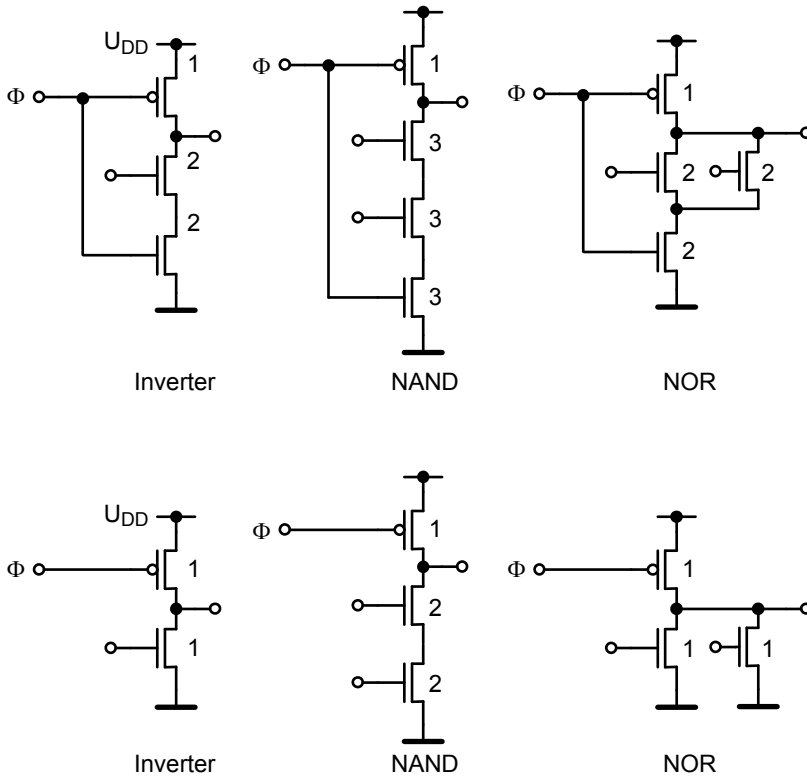


Bild 4.114c Normierte Transistorweiten von dynamische Gattern mit und ohne getakteten Transistor in der Ausführungsphase.

4.8.2.3 Differentielle Domino-Logik

Ein wesentlicher Nachteil der NORA- und der Domino-Logik ist, dass beide nichtinvertierende Logiken sind. Mit dem Übergang zu einer differentiellen Logik kann das Problem gelöst werden. Dies kostet zusätzlichen Aufwand (Bild 4.115). Die „Dual rail domino“-Logik, wie diese Logik auch genannt wird, verschmilzt das Lastkonzept der DCVS-Logik mit dem Konzept der Vorladephase der Domino-Logik [13]. Es wird angenommen, dass alle Eingangssignale von anderen differentiellen Domino-Logiken kommen. Die Eingangssignale haben das Potential Null während der Vorladephase und wechseln möglicherweise von $0 \rightarrow 1$ während der Ausführungsphase. Mit der differentiellen Domino-Logik kann jede beliebige logische Funktion realisiert werden. Nachteilig ist, dass die Verlustleistung ansteigt, da nun in jeder Taktperiode entweder der Ausgang Z oder der Ausgang $\bar{Z}$ einen $0 \rightarrow 1$ Signalwechsel aufweist. Die Transistoren M_{f1} und M_{f2} bewirken für $\Phi = 1$, dass es sich um eine statische Schaltung handelt, da die Ausgänge entweder mit U_{SS} oder mit U_{DD} verbunden sind. Zu Beginn der Ausführungsphase weisen beide Ausgänge hohes Potential auf. Alle p-Kanal-Transistoren sind gesperrt. Es handelt sich um eine „Ra-

tioless“-Logikfamilie. Auf die Bewahrtransistoren kann verzichtet werden. Die differentielle Domino-Logik ist wegen ihrer kurzen Gatterlaufzeit populär. Man findet sie in mehreren auf dem Markt befindlichen Mikroprozessoren.

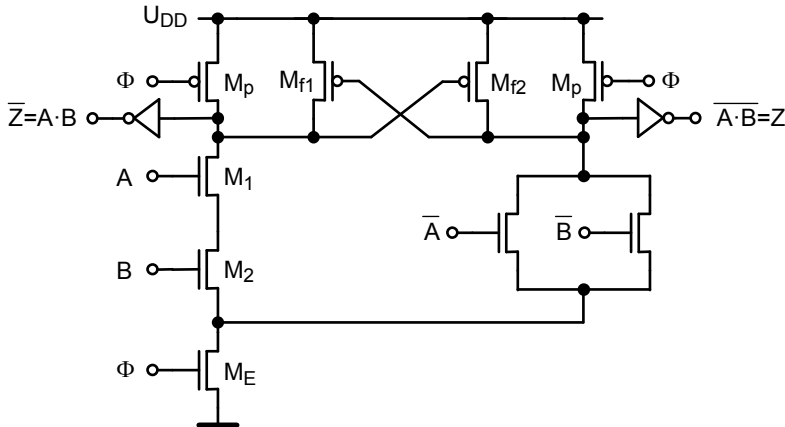


Bild 4.115 Differentielle Domino-Logik.

Lässt man die beiden kreuzgekoppelten p-Kanal-Transistoren in Bild 4.115 weg, erhält man ein Gatter der dynamischen DCVS-Logik. Aufgrund des bisher gesagten ist die Funktionsweise dieser Schaltung leicht zu erkennen. In komplexen hochmodernen integrierten Schaltungen bereitet die Verteilung der Taktsignale von synchronen Schaltungen immer größere Schwierigkeiten (Kapitel 5.5). Außerdem fällt unnütz Verlustleistung an, wenn ein Schaltungsblock nicht gebraucht wird und trotzdem die Takte weiterlaufen. Daher sucht man nach Alternativen. Eine Alternative stellen selbstgetaktete Schaltungen dar. In [146] werden selbstgetaktete Schaltungen vorgeschlagen, die auf der dynamischen DCVS-Logik beruhen. Nach diesem Vorschlag erfolgt die notwendige zeitliche Steuerung mit zwei Steuersignalen „request“ und „complete“. Mit dem Signal „complete“ wird nachfolgenden Logikblöcken angezeigt, dass die betrachtete Schaltung gültige Ausgangswerte bereithält. Mit dem Signal „request“ wird der Vorladevorgang gesteuert.

Mit der dynamischen DCVS-Logik lässt sich leicht das „complete“-Signal bilden. Gültige Ausgangswerte liegen dann vor, wenn einer der beiden Ausgänge auf hohem Potential und der andere auf Masse liegt. Ein zusätzliches NAND-Gatter ist ausreichend für die Bildung des „complete“-Signals. Die Steuerung der Datenübernahme wird erreicht, indem das Taktsignal Φ durch das „request“-Signal ersetzt wird. Das Schemabild eines Logikblocks einer derartigen selbstgetakteten Schaltung zeigt Bild 4.116.

Die differentielle Domino-Logik hat kreuzgekoppelte p-Kanal-Transistoren. Daher ist die Idee naheliegend, die Kreuzkopplung zu einem statischen Latch auszubauen und somit Logikschaltung und Speicher zu verschmelzen (Bild 4.117). Für $\Phi = 0$ fließt entweder im linken Zweig oder im rechten Zweig ein Strom. Für $A = 1$

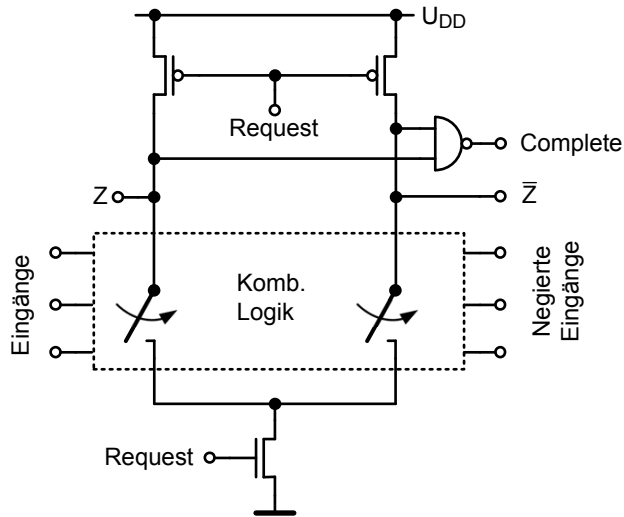


Bild 4.116 Dynamisches DCVS-Logikgatter für asynchrone Schaltungen.

und $B = 1$ sperrt der rechte Zweig und N2 wird auf U_{DD} gezogen. Das Potential des Knoten N1 stellt sich entsprechend der Dimensionierung der beteiligten Transistoren ein. Wechselt Φ von Null nach Eins sperren die Transistoren 1, 2 und 6. Das Latch, das aus den Transistoren M3, M4 und M5 besteht, bewertet den Potentialunterschied zwischen den Knoten N1 und N2 und speichert diese Information. Das Latch unterstützt die Ausführungsphase. Es können somit komplexere Logikfunktionen mit einer Schaltung dargestellt werden. Weiter wird durch das Latch die Störsicherheit verbessert.

In diesem Kapitel konnte nur ein Überblick über die wichtigsten Logikfamilien gegeben werden. Eine ausführlichere Darstellung findet der Leser unter der Literaturstelle [13].

4.8.2.4 Zusammenfassung

Die Speicherung von Information in Form von Ladungspaketen auf isolierten Kapazitäten ermöglicht Logikgatter mit geringem Platzbedarf und hoher Schaltgeschwindigkeit. Die Gatterlaufzeit für einen $0 \rightarrow 1$ Signalwechsel am Ausgang ist Null. Die Logik kann mit weniger und kleineren Transistoren realisiert werden. Im Vergleich zur statischen CMOS-Logik brauchen derartige Gatter eine höhere Verlustleistung. Dynamische Schaltungen reagieren empfindlich auf Störeinflüsse. Kapazitive Kopplungen, auch über das Substrat, „Charge-Sharing“, Schwankungen der Versorgungsspannungen und Leckströme reduzieren die Störsicherheit der dynamischen Schaltungen. Wichtige Störeffekte wurden auch in Kapitel 4.7.1 über dynamische Latches behandelt. Mit sorgfältig entworfenen Schaltungen kann man die Pro-

Gehäuse eingesetzt werden, wenn viel Wärme abgeleitet werden soll. Wie es in Kapitel 2.1.10.7 dargelegt wurde, stehen heute dem Designer für seine Aufgabe innerhalb einer Technologiegeneration unterschiedliche Transistortypen zur Verfügung, die in drei Klassen unterteilt werden können.

Eine Klasse bilden die Höchstgeschwindigkeitsanwendungen (High-Performance-, HP-Anwendungen), dies sind typischerweise Schaltungen in Mikroprozessoren, die zum Beispiel in Server eingesetzt werden sollen. Eine weitere Klasse umfasst LOP- (Low Operating Power-) Anwendungen, dies sind Anwendungen, wie zum Beispiel in mobilen Geräten, die batteriebetrieben eine relativ hohe Schaltgeschwindigkeit bei niedriger Verlustleistung im aktiven Betrieb aufweisen sollen. Schließlich gibt es die Klasse der LSTP- (Low-Standby-Power-) Anwendungen, bei denen die Schaltungen in Ruhestellung möglichst wenig Verlustleistung verbrauchen sollen. Dies wird erreicht, in dem die Leckströme minimiert werden.

Der Designer hat die Auswahl unter den verschiedenen Transistorvarianten mit dicken Isolierschichten, längeren Kanallängen oder höheren Einsatzspannungen (siehe Tabellen 2.2 und 2.3). Er kann auch eine Mischung aus verschiedenen Typen einsetzen.

Der Markt für HP-Mikroprozessoren wird von der Firma Intel beherrscht, während sich im Bereich von „System On Chip“- (SOC-) Schaltungen eine Vielzahl von Firmen tummeln. In „System On Chip“-Lösungen werden vorrangig LOP- und LSTP-Transistoren verwendet.

In manchem Mobiltelefon ist ein Chip enthalten, dessen Funktionsumfang für einen „System On Chip“-IS typisch ist (siehe Bild 4.118). Es wäre wünschenswert, wenn jedes Modul mit der optimalen Gleichspannung versorgt werden könnte. Neben einem leckstromarmen SRAM und einem verlustleistungsarmen Mikroprozessor ist ein FPGA (Field Programmable Gate Array, siehe Kapitel 8.1.3.2), ein Analog-Digital-Umsetzer, eine analoge Hochfrequenzschaltung, eine digitale Schaltung mit geringer Verlustleistung und andere Schaltungsblöcke integriert. In den einzelnen Blöcken können verschiedene Transistortypen verwendet werden.

Obwohl die Verlustleistungsdichte von Mikroprozessoren die einer Herdplatte bereits um mehrere Größenordnungen übersteigt, müssen diese Höchstgeschwindigkeitsschaltungen nur für einen begrenzten Temperaturbereich spezifiziert werden, da sie nur in einer wohl definierten, in der Regel aktiv gekühlten Umgebung eingesetzt werden. Im Gegensatz dazu müssen „System On Chip“-IS häufig über einen sehr viel größeren Temperaturbereich zuverlässig funktionieren, je nach Anwendung zum Beispiel von -40°C bis 125°C . Während in Mikroprozessoren heiße Stellen (hot spots) auftreten können, kann die Temperatur der meisten „System On Chip“-Lösungen als gleichverteilt angenommen werden [5].

In Prozessoren werden nicht immer alle Blöcke zu allen Zeiten aktiv sein. Welche Blöcke inaktiv sind, stellt eine Software fest. In den vorübergehend nicht benutzten Schaltungsblöcken können zum einen die Taktsignale angehalten werden (Clock Gating, siehe Kapitel 5.5), was die dynamische Verlustleistung verringert. Zusätzlich können diese Blöcke auch von den Versorgungsleitungen getrennt werden (Power Gating). Dies minimiert auch die Verlustleistung aufgrund von Leckströmen. Die Power Gating-Methoden werden zunächst besprochen. Anschließend wird

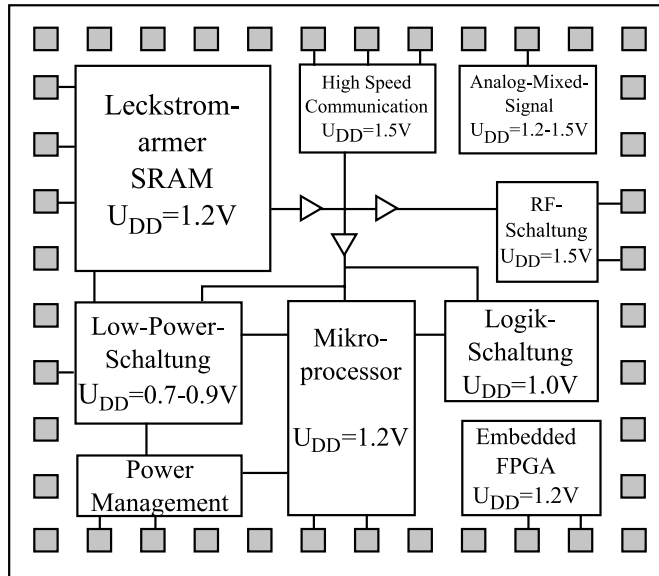


Bild 4.118 Schaltungsblöcke eines typischen „System On Chip“-IS.

erklärt, wie die Verlustleistung im aktiven Betrieb verringert werden kann. Bisher wurden die verschiedenen Schaltungen von einer konstanten Versorgungsspannung gespeist. Weicht man jedoch davon ab und versorgt die Schaltungen, während die Versorgungsspannung linear auf- und wieder abgebaut wird, mit einem konstanten Versorgungsstrom, so lässt sich für langsame Schaltungen prinzipiell die Verlustleistung wesentlich reduzieren. Dies führt zu dem Thema: adiabatische Schaltungen (siehe Kapitel 4.8.3.3).

4.8.3.1 Blockabschaltung (Clock und Power Gating)

In vielen Geräten, wie Pager, X-Terminals und Mobilfunkgeräten, sind die Prozessoren in der meisten Zeit inaktiv. Bis zu 90% der Zeit warten die Prozessoren auf Eingaben des Benutzers. Während dieser Zeit führen die Prozessoren keine Rechenoperationen aus. Sie befinden sich im „Schlafmodus“. Im „Schlafmodus“ sollte möglichst keine Verlustleistung vergeudet werden. Daher werden in dieser Phase die Taktsignale angehalten (Clock Gating). Zusätzlich führte man die „Multi-Einsatzspannung-CMOS-Technik“ (MTCMOS, Multithreshold CMOS) ein. Dies wird in der Literatur auch als „power gating“ bezeichnet. Wie Bild 4.119 zeigt, beruht diese Technik darauf Logikblöcke aus statischer CMOS-Logik über „Schlaftransistoren“ mit den Versorgungsleitungen zu verbinden. Die „Schlaftransistoren“ verbinden die virtuellen Versorgungsleitungen mit den tatsächlichen Versorgungsleitungen. Die Schlaftransistoren weisen hohe Beträge für die Einsatzspannungen (High-VT-Tran-

sistoren) auf. Somit können mit ihrer Hilfe die leitenden Pfade aufgrund von Unterschwellenströmen zwischen U_{DD} und U_{SS} sehr gut unterbrochen werden. Sollen auch Tunnelströme unterdrückt werden, müssen die „Schlaftransistoren“ mit dicken Isolierschichten ausgestattet sein. In der Literatur findet man auch Schaltungen, die nur mit einem Typ von „Schlaftransistoren“, entweder NMOS- oder PMOS-Transistoren, aufgebaut sind.

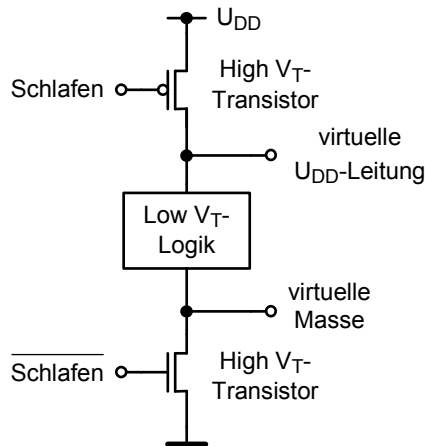


Bild 4.119 MTCMOS-Schaltungsstruktur [109].

Wenn im aktiven Betrieb die „Schlaftransistoren“ leiten, sind die Logikblöcke mit den Versorgungsspannungen verbunden. Die Schaltvorgänge werden von den Transistoren in den Logikblöcken ausgeführt. Damit kurze Gatterlaufzeiten erzielt werden können, werden die Transistoren in den Logikblöcken mit betragsmäßig geringen Einsatzspannungen (Low-VT-Transistoren) ausgestattet.

Da bei dieser Technik zusätzliche Transistoren in die Querspfade eingebaut werden, ist die für die Logikoperationen zur Verfügung stehende Versorgungsspannung kleiner und die Schaltgeschwindigkeit ist reduziert. Im Vergleich zu den üblichen CMOS-Schaltungen weist die MTCMOS-Technik größere Gatterlaufzeiten auf. Dies gilt besonders, wenn die High-VT-Transistoren nicht weit genug ausgelegt werden. Es ist festzuhalten, dass die High-VT-Transistoren im leitenden Zustand im Triodenbereich arbeiten. Werden die Schlaftransistoren zu weit ausgelegt, wird wertvolle Siliziumfläche vergeudet. Außerdem ist eine höhere Energie nötig um die Schaltung aus dem Schlafmodus in den aktiven Bereich zu überführen. In der Literatur wird diese Technik auch als „Power Gating“ bezeichnet.

Mit der MTCMOS-Technik (Power Gating) können die Unterschwellenströme um mehrere Größenordnungen verringert werden. Der breiten Anwendung stehen jedoch zwei Probleme entgegen. Wird die MTCMOS-Technik angewendet, verlieren statische Flip-Flops, die mit virtuellen Versorgungsleitungen verbunden sind, ihre Informationen. Ein weiteres Problem stellt die Dimensionierung der Schlaftransistoren dar [109].

Bevor auf das Problem der genauen Dimensionierung eingegangen werden kann, müssen einige Nebeneffekte der MTCMOS-Technik behandelt werden. Im eingeschalteten Zustand arbeiten die Schlaftransistoren im Triodenbereich. Die Drain-Source-Spannungen der Schlaftransistoren sollten, um eine hohe Schaltgeschwindigkeit der Logikblöcke zu ermöglichen, klein sein. Die Schlaftransistoren können daher während dieser Betriebsart sehr gut mittels eines Widerstandes modelliert werden. Es wird für die folgenden Überlegungen angenommen, dass nur n-Kanal-Schlaftransistoren eingesetzt werden.

In Bild 4.120 wird ein einfacher Logikblock, der nur aus Inverter besteht, im aktiven Betrieb gezeigt. Vernachlässigt man zunächst die parasitäre Kapazität C_x , so fließt jeder Strom aus dem Logikblock nach Masse über den Schlaftransistor, der durch den Widerstand R_{Schlaf} dargestellt ist. Über den Widerstand R_{Schlaf} fällt die Spannung U_x ab. Dieser Spannungsabfall bewirkt zweierlei. Zum einen wird die für den Logikblock zur Verfügung stehende Versorgungsspannung um U_x reduziert. Darüber hinaus werden die Einsatzspannungen der n-Kanal-Transistoren in den Pull-Down-Pfaden des Logikblocks aufgrund des Substratsteuereffektes vergrößert. Beide Effekte verringern die Entladeströme. Wegen des Spannungsabfall am Widerstand R_{Schlaf} werden im aktiven Betrieb nur die $(1 \rightarrow 0)$ -Übergänge der Ausgänge langsamer, wenn nur n-Kanal-Schlaftransistoren eingesetzt werden. Dagegen bleiben $(0 \rightarrow 1)$ -Übergänge in den Logikblöcken unverändert. Für eine kurze Gatterlaufzeit werden möglichst weite Schlaftransistoren benötigt. Mit fortschreitender Verringerung der Versorgungsspannung aufgrund der Strukturverkleinerung verschärft sich das Problem. Da nach Gleichung 2.144 in Kapitel 2.1.12.3 der Widerstand R_{Schlaf} mit kleinerer effektiver Gate-Source-Spannung zunimmt. Dies bedeutet, dass die Schlaftransistoren von Technologiegeneration zu Technologiegeneration immer weiter ausgelegt werden müssen. Die parasitäre Kapazität C_x , die sich aus den Sperrschichtkapazitäten, den Gate-Drain- oder den Gate-Source-Kapazitäten der angeschlossenen Transistoren und der Kapazität der virtuellen Masseleitung zusammensetzt, wirkt zwar dem Anstieg von U_x entgegen. Letztendlich kann aber der Anstieg nicht verhindert werden. Es werden mit C_x nur Spannungsspitzen vermieden. Ein weiterer störender Nebeneffekt ist, dass ausgehend von der positiven Spannung U_x über einen Low-VT-n-Kanal-Transistor eine Ausgangskapazität im Logikblock, die entladen sein sollte, auf U_x aufgeladen werden kann (siehe Bild 4.120). Dieser Ladestrom kommt von anderen Invertern, beziehungsweise Gattern, deren Ausgänge entladen werden. Dadurch wird U_x etwas verkleinert. Die Gatterlaufzeiten werden etwas kürzer. Unterstützt wird dieser Vorgang durch die Tatsache, dass nun der Spannungshub für $(0 \rightarrow 1)$ -Übergänge an den Ausgängen reduziert ist. Aufgrund der Rückwärtsaufladung der Lastkapazitäten ist die Störsicherheit verringert.

Anhand einer einfachen Schaltung, die, wie es Bild 4.121 zeigt, in MTCMOS-Technik eine Baumstruktur aus Invertern enthält, soll die Abhängigkeit des Potentials der virtuellen Masseleitung U_x und der Ausgangsspannungen von der Dimensionierung des Schlaftransistors ermittelt werden. Für die gesamte Schaltung wird nur ein High-VT-n-Kanal-Transistor als Schlaftransistor verwendet. Ein $(0 \rightarrow 1)$ -Übergang am Eingang bewirkt, dass alle Ausgänge der Schaltung gleichzeitig ent-

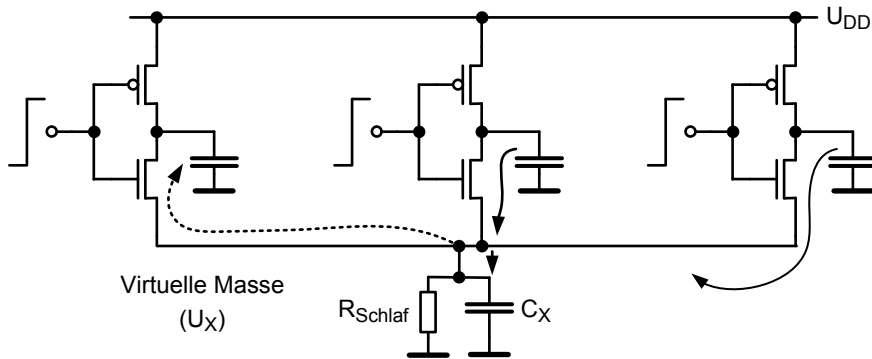


Bild 4.120 MTCMOS-Schaltung, die den äquivalenten Widerstand R_{Schlaf} , die parasitäre Kapazität C_x und die Rückwärtsladung der Ausgangsknoten illustriert.

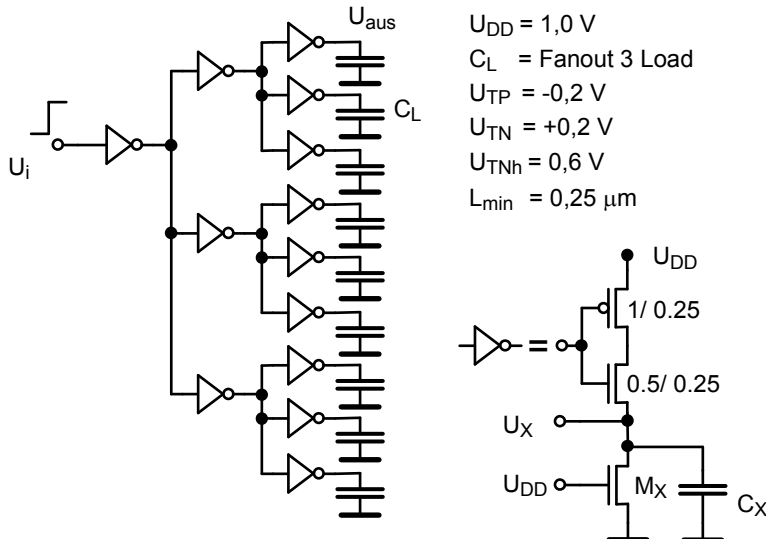


Bild 4.121 Baumstruktur aus Invertern in MTCMOS-Technik [109].

laden werden. Die Zunahme des Potentials U_x der virtuellen Masseleitung während der Schaltvorgänge sowie die Verläufe der Ausgangsspannungen sind in Bild 4.122 deutlich zu sehen. Dieses Bild veranschaulicht auch, warum es so wichtig ist, einen ausreichend weiten Schlaftransistor einzusetzen.

Die richtige Dimensionierung des Schlaftransistors ist schwierig, da sich bei der Übertragung von komplexen statischen CMOS-Logikblöcken in MTCMOS-Schaltungen die Betrachtungen bezüglich der „worst case“-Bedingungen verändern. In herkömmlichen CMOS-Logikschaltungen nimmt man an, dass die Potentiale der Masseleitungen die gewünschten Werte haben. Dagegen ist die Spannung U_x extrem wichtig für MTCMOS-Schaltungen. In MTCMOS-Schaltungen muss in jedem

Taktzyklus untersucht werden welche Transistoren schalten und welche Transistoren nicht schalten. So kann der Strom, der über den Schlaftransistor fließt, und damit auch die Spannung U_x bestimmt werden. Welche Schaltvorgänge ablaufen, wird von den Eingangssignalvektoren bestimmt.

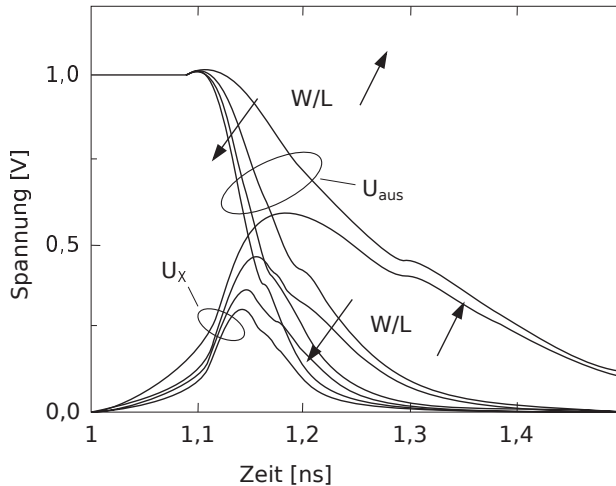


Bild 4.122 Verläufe der Ausgangsspannungen U_{aus} und von U_x in Abhängigkeit des W/L-Verhältnisses des Schlaftransistors [109].

Es müssen alle möglichen Pull-Down-Pfade in Betracht gezogen werden. Tatsächlich bräuchte man, um den Schlaftransistor optimal zu dimensionieren, eine vollständige Simulation der ganzen Schaltung für alle möglichen Eingangsvektoren und für alle W/L-Verhältnisse des Schlaftransistors. Dies ist jedoch für größere Schaltungen nicht durchführbar.

In [109] wird eine Methode beschrieben mit der das Problem gelöst werden kann. Zwar erhält man damit bei vertretbarem Aufwand nicht die optimale aber eine brauchbare Lösung. Der Lösungsansatz soll nun anhand eines einfachen Beispiels (Bild 4.123) skizziert werden. Die Beispielschaltung enthält drei Ketten von Invertern. Wobei jeder Inverter für ein Gatter steht. Im ersten Schritt wird nun jedem Inverter ein Widerstand, der einen Schlaftransistor modelliert, in Serie geschaltet. Der Widerstand R muss so dimensioniert werden, dass die jeweilige Gatterlaufzeit nur um einen vorgegebenen Prozentsatz verschlechtert wird. Für die einfache Schaltung – Gatter mit in Serie geschalteten Widerstand – ist die Festlegung der ungünstigen Bedingungen leicht. Da in einer Kette die Inverter nicht zur gleichen Zeit schalten, sondern sequentiell, ist es ausreichend in einem zweiten Schritt alle Widerstände in einer Kette durch einen einzigen gleich dimensionierten Widerstand (R) zu ersetzen (siehe Bild 4.124). Schließlich werden im letzten Schritt die drei verbliebenen

Widerstände, der parallel geschalteten Ketten, durch einen einzigen Widerstand mit dem Wert $R/3$ ersetzt. Man benötigt also nur einen einzigen Schlaftransistor. Dieser Transistor hat die dreifache Weite verglichen mit dem Schlaftransistor, der in diesem Beispiel für ein einziges Gatter ausgelegt wurde.

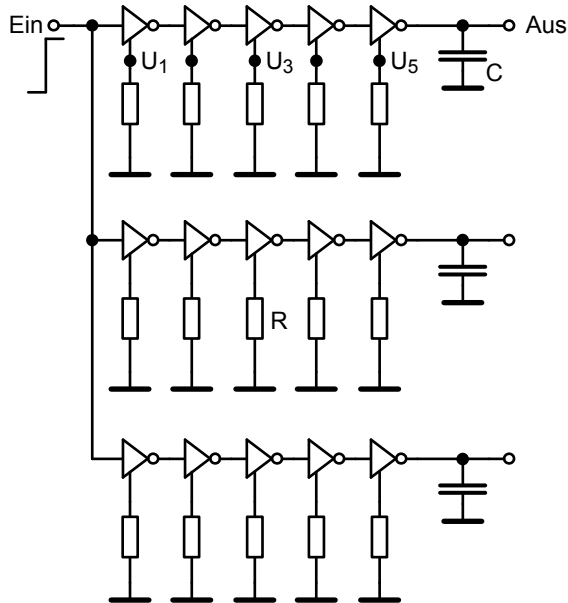


Bild 4.123 Beispiel zur Erläuterung der Dimensionierungsmethode des Schlaftransistors [109].

In der Vergangenheit suchte man nach Möglichkeiten die Schlaftransistoren zu vermeiden, da sie die Gatterlaufzeiten verschlechtern und schwer zu dimensionieren sind. Trotzdem sollten die Leckströme in der Schlafphase reduziert sein. Der erste Ansatz war die „eingebettete zweifache U_T -Logik“ (Embedded Dual-VT-Logic). In Bild 4.125 sind zwei NOR-Gatter in dieser Logik dargestellt. In dieser Schaltung werden ausschließlich für die Logikfunktion notwendige Transistoren verwendet. Die High-VT-Transistoren werden sparsam eingesetzt. Aber auf jeden Fall muss in jedem Querschnitt von U_{DD} nach U_{SS} ein High-VT-Transistor vorhanden sein. Dies wird ohne zusätzliche Schlaftransistoren erreicht. Dafür müssen im Schlafmodus für jedes Gatter an den Eingängen die Daten anliegen, die die High-VT-Transistor sperren. Dies ist mit der statischen CMOS-Logik in komplexen Schaltungen, wenn überhaupt, nur sehr schwer zu erreichen.

Besser geeignet ist die verbesserte Domino-Logik nach Bild 4.114b. Bild 4.127 zeigt das Schaltbild einer Logikstufe, die mit der Zweifach- U_T -Domino-Logik realisiert wird. Alle Low-VT-Transistoren sind schattiert dargestellt. Es wurde bereits festgestellt, dass in der Domino-Logik und in der verbesserten Domino-Logik die Gatterlaufzeit einer Kette im Wesentlichen von den Zeitauern der einzelnen Evaluierungsphasen bestimmt wird. Daher werden in dieser Technik alle Transistoren,

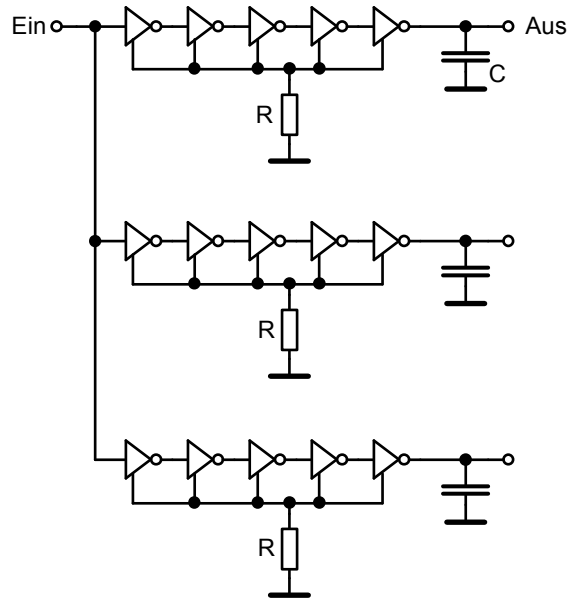


Bild 4.124 Zusammenfassung aller Widerstände einer Kette [109].

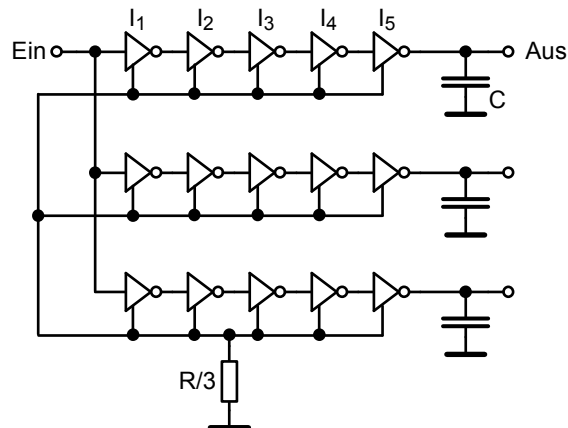


Bild 4.125 Zusammenfassung der Widerstände der parallel geschalteten Ketten [109].

die in der Ausführungsphase aktiv sind, mit einem geringen Betrag für die Einsatzspannung ausgestattet. Dagegen haben alle Transistoren, die in der Vorladephase aktiv sind, einen hohen Betrag der Einsatzspannung. Daher sind die Transistoren P1, P2 (der „Keeper“), der p-Kanal-Transistor von Inverter I2 und die Transistoren in den Pull-Down-Pfaden der Inverter I3 und I1 High-VT-Transistoren. Im Schlafmodus wird an die erste Stufe in einer Kette, die einen Fußpunkttransistor nach Bild 4.112 enthält, konstant ein Datensignal „Eins“ und ein Taktsignal „Eins“ angelegt.

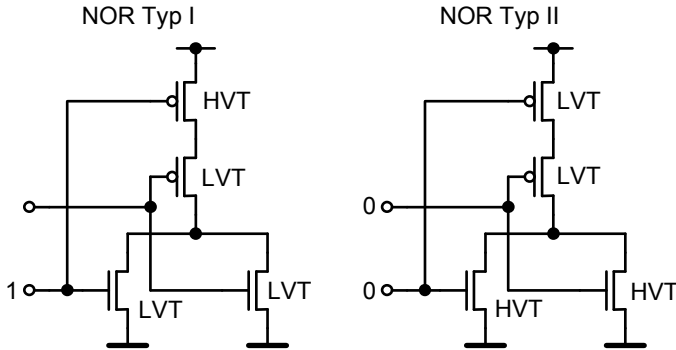


Bild 4.126 Zweifach- U_T -NOR-CMOS-Logikgatter. Eingezeichnete Eingangsdaten sind für den Schlafmodus notwendig.

Dies ist leicht realisierbar. Die nachfolgenden Stufen verfügen dann über die richtigen Eingangssignale. Das erste Datensignal soll eine logische „Eins“ sein, damit alle Ausgangsknoten im Schlafmodus sicher entladen sind. Da das Taktsignal eine „Eins“ darstellt, werden die High-VT-Transistoren sicher gesperrt.

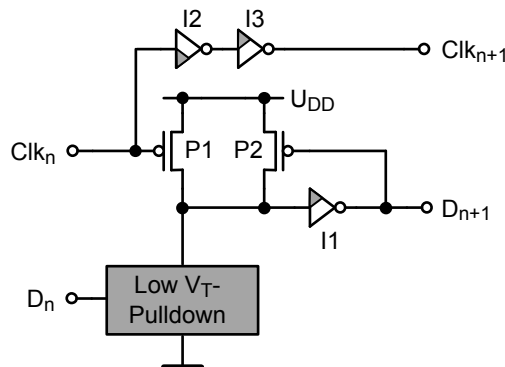


Bild 4.127 Zweifach- U_T -Domino-Logikgatter Low-VT-Transistoren sind schattiert dargestellt.

4.8.3.2 Minimierung der Verlustleistung im aktiven Betrieb

Im aktiven Betrieb können sowohl die Leckströme als auch die dynamische Verlustleistung verringert werden. Zunächst soll untersucht werden, wie im aktiven Betrieb die Leckströme vermindert werden können. Dann wird angegeben, wie die dynamische Verlustleistung reduziert werden kann. Schließlich werden Methoden besprochen wie Laufzeitfehler, die durch kleinere Versorgungsspannungen verursacht werden, erkannt und korrigiert werden können.

4.8.3.2.1 Reduktion der Leckströme im aktiven Betrieb

Die Leckströme (siehe Kapitel 2.1.5 und 2.1.8) setzen sich im Allgemeinen aus den Sperrströmen der pn-Übergänge, den Gate-Tunnelströmen, den von GIDL (Gate Induced Drain Leakage) verursachten Strömen und den Unterschwellenströmen zusammen. Tunnelströme können nur mittels technologischer Maßnahmen verringert werden. Zum Beispiel werden Transistoren mit dickeren Isolierschichten zwischen dem Gate und dem Substrat benötigt. GIDL kann verbessert werden, wenn flachere pn-Übergänge realisiert werden. Es hilft auch eine kleinere Versorgungsspannung.

Wenn die Leckströme im Wesentlichen von den Unterschwellenströmen verursacht werden, wie zum Beispiel in HP-Transistoren, stehen dem Designer vier Methoden zur Verfügung, mit denen er den Unterschwellenstrom verkleinern kann. Anhand von n-Kanal-Transistoren werden diese Methoden erläutert. Für p-Kanal-Transistoren gilt Entsprechendes. Diese Maßnahmen sind:

- Reduktion der Versorgungsspannung U_{DD}
- Einsetzen von Transistoren, die keine minimal dimensionierte Kanallänge haben
- Stapeln von Transistoren
- RBB: Erhöhung der Source-Substrat-Spannung (Reverse Body Bias)

Bei allen vier Methoden wird direkt oder indirekt die Einsatzspannung U_T erhöht, um die Unterschwellenströme zu minimieren. Werden Transistoren gestapelt, erzielt man zusätzlich eine negative Gate-Source-Spannung, mit der ebenfalls der Leckstrom reduziert wird.

Gleichung 2.36 gibt die Abhängigkeit der Einsatzspannung von der Source-Substrat-Spannung U_{SB} an. Jedoch für kleine Werte von U_{SB} kann die Gleichung linearisiert werden. Berücksichtigt man wegen DIBL zusätzlich eine lineare Abhängigkeit der Einsatzspannung U_T von U_{DS} , gelangt man zu folgender Gleichung [34]

$$U_T = U_{T0} + \gamma' \cdot U_{SB} - \eta \cdot U_{DS} \quad . \quad (4.193)$$

γ' und η sind Proportionalitätskoeffizienten. Es gilt

$$\gamma' \propto \gamma \propto t_{ox} \cdot \sqrt{N_A} \quad . \quad (4.194)$$

Mit reduzierter Versorgungsspannung verringern sich auch die Drain-Source-Spannungen. Damit erzielt man größere Einsatzspannungen. Natürlich erreicht man mit einer kleineren Versorgungsspannung auch eine kleinere dynamische Verlustleistung.

Die Leckströme werden auch als „Standby-Ströme“ I_{sb} bezeichnet, da die Verlustleistung aufgrund der Leckströme gemessen werden kann, wenn die Takte angehalten werden. Wenn die Unterschwellenströme dominierend sind, erhält man für I_{sb} aus den Gleichungen 2.84 und 4.193 [34, 19]

$$I_{sb} = \beta_n \cdot (n-1) \cdot U_t^2 \cdot e^{\frac{U_{GS} - U_{T0n} - \gamma' \cdot U_{SB} + \eta \cdot U_{DS}}{n \cdot U_t}} \cdot \left(1 - e^{-\frac{U_{DS}}{U_t}}\right) \quad . \quad (4.195)$$

Mit $U_{DS}/U_t \gg 20$ ($U_t = 33 \text{ mV}$ für 110°C) ergibt sich

$$I_{sb} = \beta_n \cdot (n-1) \cdot U_t^2 \cdot e^{\frac{U_{GS} - U_{T0n} - \gamma' \cdot U_{SB} + \eta \cdot U_{DS}}{n \cdot U_t}} \quad (4.196)$$

Der Unterschwellenstrom ist exponentiell von der Einsatzspannung abhängig, die wiederum von U_{DD} , das heißt von U_{DS} , von U_{SB} und von der Kanallänge L bestimmt wird. Eine Erhöhung des Betrages der Einsatzspannung um 100 mV verringert den Unterschwellenstrom um etwa den Faktor 10. Die Sättigungsströme, die die Gatterlaufzeit bestimmen, sind linear bis quadratisch von der Einsatzspannung abhängig.

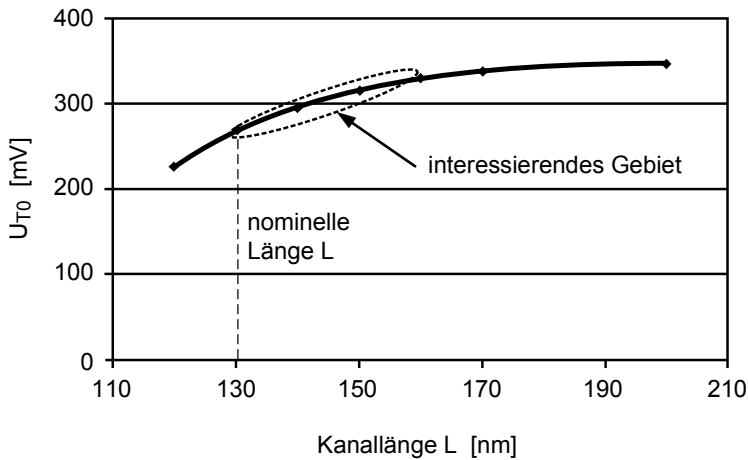


Bild 4.128 U_{T0} in Abhängigkeit von der Kanallänge für einen 130 nm NMOS-Transistor [37].

Transistoren mit nicht minimaler Kanallänge haben ein höheres U_{T0} und deswegen geringere Unterschwellenströme. Der Zusammenhang zwischen U_{T0} und der Kanallänge L ist in Bild 4.128 zu sehen. Im interessierenden Bereich besteht nahezu eine lineare Abhängigkeit.

Man sieht mittels der Verringerung der Drain-Source-Spannung (U_{DD} -Reduktion) oder der Erhöhung der Substratvorspannung U_{SB} (RBB) und von U_{T0} kann jeweils die Einsatzspannung erhöht und somit die Leckströme verkleinert werden. Jedoch ist zu beachten, dass es für die zulässige Erhöhung von U_{SB} nach Bild 4.129 ein Maximum gibt. Die Ursachen hierfür sind einmal Gate-Induzierter Drain-Leckstrom (GIDL, Gate Induced Drain Leakage, siehe Kapitel 2.1.9.4) und Band-zu-Band Tunneleffekt im Substrat um das Drain-Gebiet. Zwar nimmt der Unterschwellenstrom mit wachsender Spannung U_{SB} ab, aber der durch GIDL verursachte Leckstrom wächst mit steigendem U_{SB} .

Der Leckstrom kann auch mittels Stapeln von Transistoren verringert werden, da, wie Simulationen zeigen, der Zwischenknoten in der Konfiguration nach Bild 4.130c ein Potential U_x von etwa 100 mV hat. Dies ist von dem Spannungsabfall I_{off} .

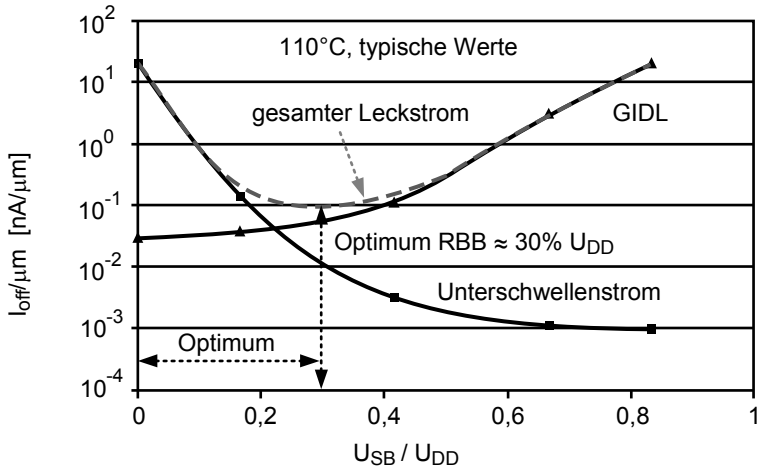


Bild 4.129 Optimale Source-Substrat-Spannung U_{SB} [37].

R_{off} über dem unteren Transistor bedingt. Daraus folgt eine negative Gate-Source-Spannung des oberen Transistors. Zusätzlich wird die Source-Substrat-Spannung des oberen Transistors erhöht und dessen Drain-Source-Spannung vermindert, was die Einsatzspannung des oberen Transistors vergrößert. Wenn Transistoren gestapelt werden, nehmen die Unterschwellenströme ab.

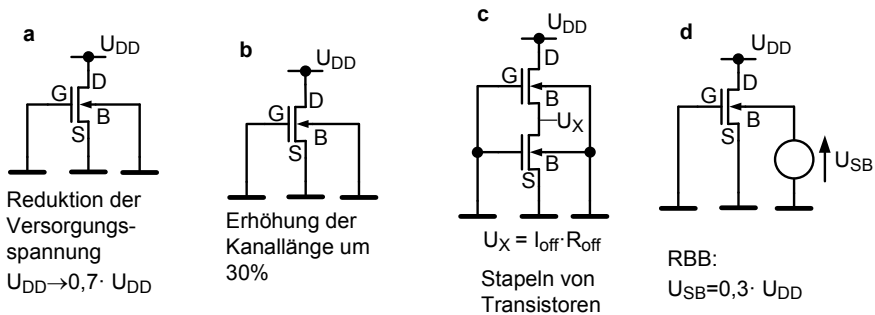


Bild 4.130 Simulationsbedingungen für die Berechnungen des Leckstroms [37].

Anhand der Gleichung 4.196 wurden für die vier in Bild 4.130 dargestellten Simulationsbedingungen die „worst case“-Leckströme berechnet ($U_{DS} = U_{DD}$, $U_{GS} = 0$, $U_t = 33 \text{ mV}$) [37], die in Richtung maximaler Schaltgeschwindigkeit und minimaler Chipfläche optimiert sind. Man sieht anhand von Tabelle 4.5, dass für eine 130 nm-Technologie das Stapeln von Transistoren und die Erhöhung der minimalen Transistorkanallänge um 30% am effektivsten sind (Gewinn um den Faktor 12 beziehungsweise 9,3), während die Reduktion der Versorgungsspannung oder

Tabelle 4.5 Leckstromreduktion für 130nm-Technologie.

Methode	Simulationsergebnisse	Theoretisches Modell
30% U_{DD} -Reduktion	$2,2\times$	$1,9\times$
$L_{\min} + 30\%$	$9,3\times$	$8,7\times$
Stapeffekt	$12,0\times$	$11,5\times$
RBB (30% U_{DD})	$2,3\times$	$2,1\times$

die Erhöhung der Source-Substrat-Spannung nur einen Gewinn um etwa den Faktor zwei ergibt.

Optimal wäre eine Reduktion der Leckströme, ohne gleichzeitig die Sättigungsströme I_{on} zu verkleinern. Da somit die Verlustleistung verbessert werden könnte, ohne die maximal mögliche Taktfrequenz zu verringern. Wie gut dies mit den einzelnen Maßnahmen gelingt, zeigen die Bilder 4.131a und 4.131b. Für eine 130nm-Technologie weisen RBB und nicht minimale Transistorlängen die geringste Degradation von I_{on} auf. Wegen der maximalen zulässigen Source-Substrat-Spannung U_{SB} ist bei RBB die Minderung der Leckströme begrenzt.

Für eine 70nm-HP-Technologie ist RBB die beste Methode, die Leckströme zu verringern ohne I_{on} zu sehr zu beeinträchtigen (siehe Bild 4.131b). Die zweitbeste Maßnahme ist das Stapeln von Transistoren. Eine Verringerung der Versorgungsspannung um 30% für eine 70nm-Technologie kann nicht empfohlen werden, da I_{on} zu sehr verringert wird.

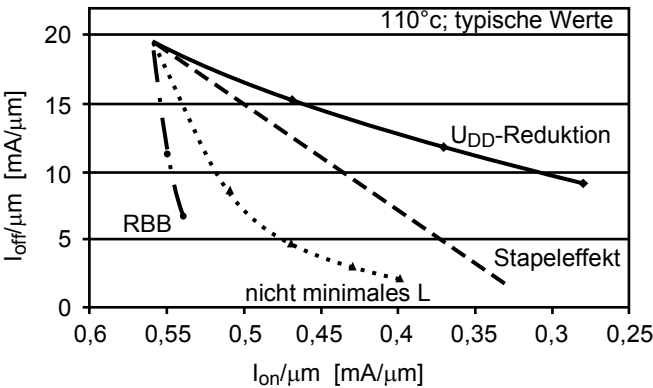


Bild 4.131a Kurven für I_{off} als Funktion von I_{on} für eine 130nm-Technologie [37].

Bisher wurde nur besprochen, wie die Leckströme und insbesondere die Unterschwellenströme verringert werden können. Jedoch kann nach der Herstellung der Chips festgestellt werden, dass es sowohl Chips mit zu großen Unterschwellenströmen, die eine hohe Taktfrequenz erzielen, als auch Chips mit zu geringen Taktfrequenzen bei niedrigen Unterschwellenströmen gibt. Für eine 180nm

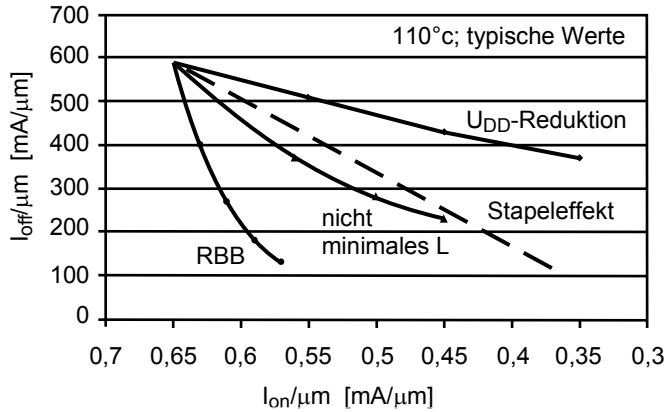


Bild 4.131b Kurven für I_{off} als Funktion von I_{on} für eine 70nm-Technologie [37].

CMOS-Technologie zeigt Bild 4.132 die Schwankungen der Taktfrequenz f_T und des Leckstroms I_{sb} für Mikroprozessorchips eines Wafers, die für sehr hohe Taktfrequenzen ausgelegt wurden [19, 20].

Die Leckströme variieren um den Faktor zwanzig und die Taktfrequenz um dreißig Prozent. Wegen der Probleme mit der Verlustleistung kann es sein, dass die Chips mit den hohen Taktfrequenzen und den hohen Leckströmen genauso wie die Chips mit den geringen Leckströmen aber ebenfalls zu geringen Taktfrequenzen weggeworfen werden müssen. Dies beeinträchtigte die Ausbeute so stark, dass Gegenmaßnahmen ergriffen werden müssen. Eine Möglichkeit ist, je nachdem ob die Chips zu hohe Leckströme aufweisen oder ob die Chips zu langsam sind, die Einsatzspannungen der Transistoren entweder betragsmäßig zu erhöhen (RBB) oder zu verkleinern (FBB, Forward Body Biasing). Insgesamt spricht man von ABB (Adaptive Body Biasing).

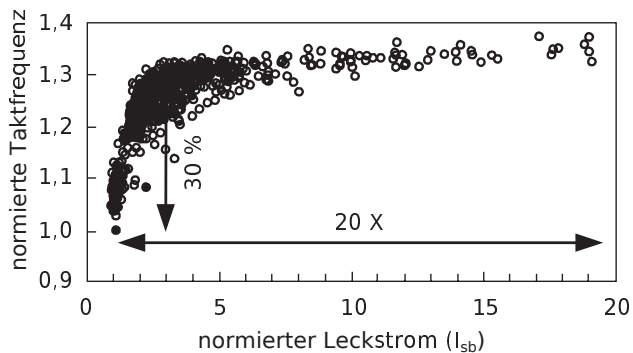


Bild 4.132 Schwankungen der Taktfrequenz und des Leckstroms [19].

ABB wirkt nur bei Transistoren, deren Leckströme im Wesentlichen von den Unterschwellenströmen bestimmt werden. Die Strukturverkleinerung von Transistoren, die für maximale Schaltgeschwindigkeit ausgelegt werden, bewirkt, dass die äquivalente Oxiddicke von Technologiegeneration zu Technologiegeneration abnimmt (Kapitel 2.1.4). Bei modernen FD-SOI-Transistoren und bei FinFETs ist das Substrat nur gering oder nicht dotiert. Beide Effekte – geringe effektive Oxiddicke und geringe Substratdotierung – bewirken, dass der Substratsteuerfaktor γ und damit nach Gleichung 4.194 auch γ' sowie die Substratempfindlichkeit abnehmen. Die Wirkung von ABB wird in der Zukunft schwächer.

Unkritische Signalfade können bereits im Entwurfsprozess mittels Transistoren mit längerer Kanallänge, höheren Beträgen der Einsatzspannung oder mittels Stapeln von Transistoren entschärft werden. Da Parameterschwankungen aufgrund des Herstellungsprozesses statisch, das heißt zeitlich konstant sind, genügt es bei zeitkritischen Pfaden nach der Herstellung einmal die Abweichungen bezüglich Gatterlaufzeit und Leckstrom zu messen und dann entsprechend die Substratspannung einzustellen.

Die Schaltung zur Messung der Gatterlaufzeit besteht aus drei Teilen, einem Pulsgenerator, einer Testschaltung für die Gatterlaufzeit und einem Laufzeitdetektor [157]. Wie es in Bild 4.133a dargestellt ist, sendet der Pulsgenerator einen Startpuls und einen Stopppuls. Der Startpuls wandert durch die Testschaltung und erreicht den Laufzeitdetektor, der vom Stopppuls gesteuert wird. Der Detektor enthält eine Kette von Invertern, deren Eingänge von Flip-Flops mit der steigenden Flanke des Taktsignals abgetastet werden. So wird die Laufzeit des Pulses in ein digitales Wort umgewandelt (Bild 4.133b). Diese Schaltung wird auch als TDC-Umsetzer (Time to Digital-Converter) bezeichnet [210]. Eigentlich müssten zwei Inverter zwischen zwei Messpunkten geschaltet werden. Um jedoch Fläche zu sparen wird nur ein Inverter verwendet. Die Eingangssignale für den Laufzeitdetektor ändern sich entsprechend. Anschließend wird das digitale Wort mit einem Zielwert verglichen und entschieden, ob die Versorgungsspannung oder die Substratspannung erhöht, erniedrigt oder gleich bleiben soll.

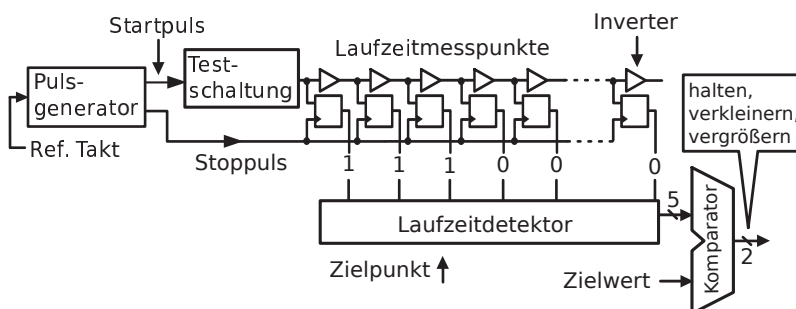


Bild 4.133a Schaltung zur Messung der Verzögerungszeit [157].

Die Testschaltungen können an mehreren Stellen auf einem Chip angebracht werden. Zur Bestimmung der Gatterlaufzeit können wesentliche Teile von zeitkritischen Pfaden des jeweiligen Chips oder Moduls verwendet werden [225]. Es gibt auch die Möglichkeit, die Testschaltungen zur Bestimmung der Gatterlaufzeiten flexibel aus mehreren Teilen, wie Logikschaltungen und charakteristischen Leitungsmodulen zusammenzusetzen [157]. Dies hat den Vorteil, dass die Testschaltung für viele Anwendungsfälle nutzbar ist.

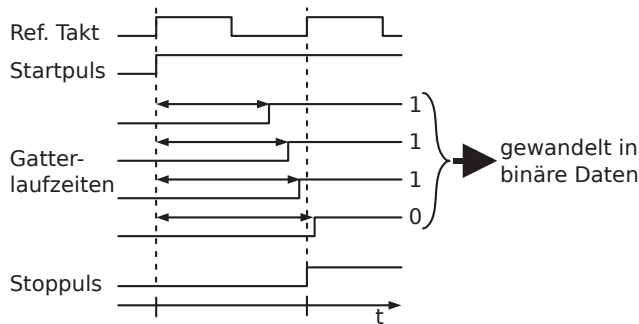


Bild 4.133b Signalverläufe für die Messung der Verzögerungszeit [157]. Die Abweichung vom Zielwert liegt als binäre Zahl vor.

Die Messung der Unterschwellenströme wird mittels des DIBL- (Drain Induced Barrier Lowering-) Effekt durchgeführt. Legt man an einem Transistor mit kurzer Kanallänge, der im Unterschwellenstrombereich betrieben wird ($U_{GS} < U_T$), eine hohe Drain-Spannung an, wird die Source-seitige Barriere vermindert, die Einsatzspannung nimmt ab und es fließt ein höherer Leckstrom. Umgekehrt, wenn ein konstanter Strom einem Transistor mit kurzer Kanallänge, der im Unterschwellenstrombereich arbeitet, eingeprägt wird, bildet sich nach Gleichung 4.76 eine geringere Drain-Spannung für einen Transistor mit niedriger Einsatzspannung und eine höhere Drain-Spannung für größere Einsatzspannungen U_T . Diese Spannungsunterschiede können gemessen werden und in ein digitales Wort zu Steuerung der Einsatzspannung oder der Versorgungsspannung umgewandelt werden [117]. Die Schaltung in Bild 4.134a ist nach diesem Prinzip aufgebaut. Der eingeprägte Strom und die Gleichspannungsquelle U_{Bias} dürfen nicht von Prozessschwankungen und von Schwankungen der Versorgungsspannung abhängen. In [117] wird beschrieben, wie dies erreicht werden kann.

Um einen genauen Wert für die Einsatzspannung zu gewinnen, müsste gelten: $U_{Ref} = U_{Sens}$. Hierfür müsste man mehrere Referenzspannungen einsetzen. Dies ist jedoch zu aufwendig. Einfacher ist es, eine Referenzspannung und mehrere Referenzströme einzusetzen. Es genügen einfache Stromspiegelschaltungen, um sukzessive höhere Referenzströme zu generieren (Bild 4.134b). Da mit wachsender Spannung U_{Sens} , der eingeprägte Strom abnimmt, wird eine nichtlineare Zunahme der Weiten der p-Kanal-Transistoren, die die Referenzströme bereitstellen, gewählt. Ein $0 \rightarrow 1$ Wechsel an den Ausgängen der Komparatoren markiert die Stelle an der die

Spannung U_{Sens} der Referenzspannung entspricht. Daraus kann die Einsatzspannung bestimmt werden.

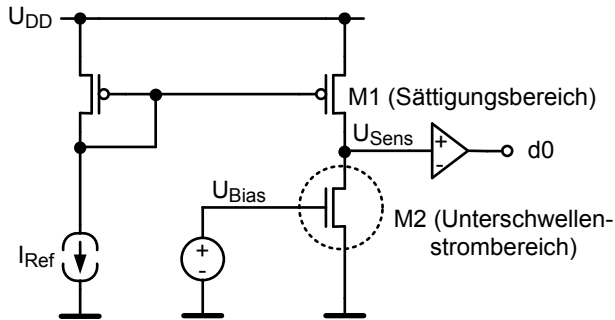


Bild 4.134a Prinzipschaltung zur Messung des Leckstroms [117].

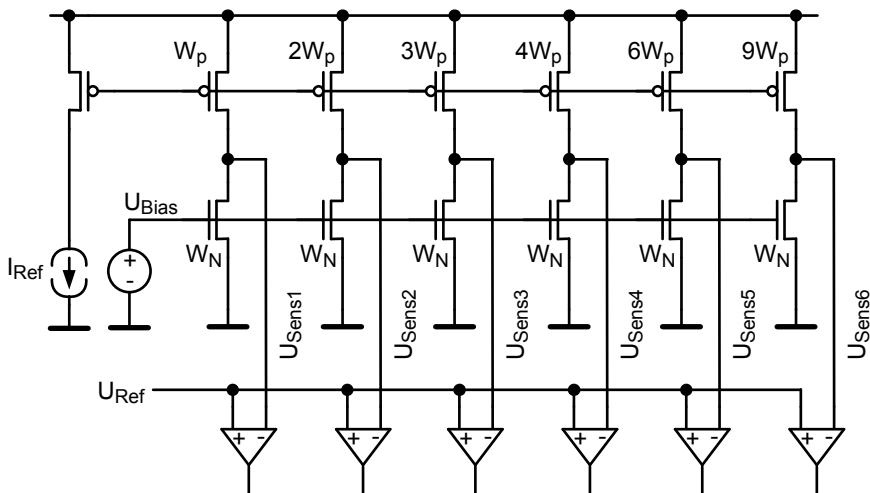


Bild 4.134b Sechs-Kanal-Leckstromsensor [117].

4.8.3.2.2 Reduktion der dynamischen Verlustleistung

Gemäß der Gleichung 4.74 kann die dynamische Verlustleistung verringert werden, wenn die Schaltaktivität $\alpha \cdot f_T$ und / oder die Versorgungsspannung U_{DD} reduziert werden. Verkleinert man die Taktfrequenz um 10%, reduziert sich auch die dynamische Verlustleistung um 10%. Wird U_{DD} um 10% vermindert, verkleinert sich die Verlustleistung um 20%. Die dynamische Verlustleistung und die Taktfrequenz sind nicht unabhängig von einander. Wird die dynamische Verlustleistung mittels der

Versorgungsspannung reduziert, erhöhen sich nach Bild 4.22 die Gatterlaufzeiten t_p . Die Taktfrequenz muss entsprechend eingestellt werden.

Werden die Versorgungsspannung und die Taktfrequenz um jeweils 10% verringert, erhält man eine um 30% reduzierte Verlustleistung. Man wird also in den meisten Fällen an zwei Knöpfen drehen müssen, um die Verlustleistung der einzelnen Blöcke eines Prozessors entsprechend den Anforderungen zu minimieren. Es gibt somit lokal und zeitlich variable Taktfrequenzen und Versorgungsspannungen. Zusätzlich wird „Clock und Power Gating“ angewendet.

Wenn die Verlustleistung aufgrund von Unterschwellenströmen kleiner ist als die dynamische Verlustleistung, kann die Zunahme der Gatterlaufzeiten mit kleineren Versorgungsspannungen ausgeglichen werden, indem man mittels ABB die Beträge der Einsatzspannungen vermindert. Die notwendige Störsicherheit sollte aber gesichert bleiben. Die Grenzen von ABB wurden bereits erläutert.

In Bildern 4.135a und 4.135b ist die dynamische Verlustleistung P_C und die Gatterlaufzeit t_p in Abhängigkeit von der Versorgungsspannung U_{DD} und der Einsatzspannungen U_{Tn} eingetragen. Zunächst stellt man ohne Überraschung fest, dass bei gegebener Schaltaktivität α an den Stellen, an denen die Verlustleistung P_C maximal ist die Gatterlaufzeit t_p minimal ist. Aber deutlich wird auch, dass gleiche Gatterlaufzeiten bei unterschiedlichen Verlustleistungen erzielt werden können. Dies eröffnet neue Perspektiven beim Entwurf von zukünftigen Prozessoren. In Kapitel 7.3 wird dieses Thema wieder aufgegriffen und vertieft behandelt.

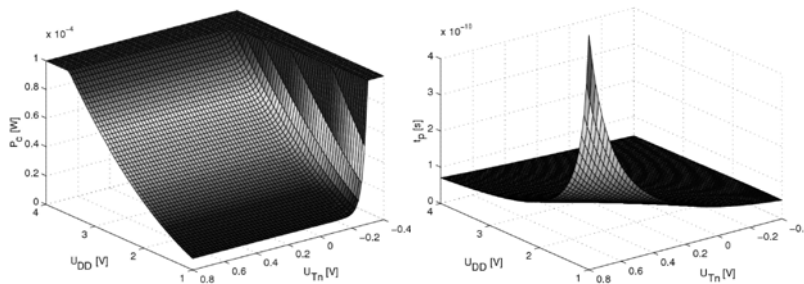


Bild 4.135 Abhängigkeit von P_C und t_p von U_{DD} und U_{Tn} [195]. Wenn sowohl U_{DD} als auch U_{Tn} verringert werden, bleibt t_p konstant ($\alpha = \text{const.}$), aber P_C nimmt ab.

In [193] wird der Xeon-Prozessor von Intel beschrieben, der aus zwei Prozessorkernen mit den entsprechenden Cache-Speichern besteht und mit einer Taktfrequenz von mehr als 3 GHz arbeitet. Auf einer Chipfläche von 435 mm^2 befinden sich 1,328 Milliarden Transistoren. Der Chip wurde in einer 65 nm CMOS-Technologie hergestellt. Der Chip ist in vier Bereiche unterteilt, nämlich PLL (Phase Lock Loop, Phasenregelschleife erzeugt das Taktsignal, siehe Kapitel 5.4.1.1), Ein- und Ausgangsschaltungen, Kernbereiche (Prozessorkerne) und Speicherbereiche. Jeder Bereich hat seine eigene Versorgungsspannung und bei Bedarf eine eigene Takt-

frequenz. Die Versorgungsspannung der PLL wird konstant auf einem hohen Wert gehalten. So kann die Taktfrequenz ohne Probleme variiert werden. Dagegen werden die Treiberschaltungen zur Verteilung der Taktsignale in den Logikblöcken mit der Versorgungsspannung betrieben, die auch den anderen Schaltungen in den Blöcken zur Verfügung steht. Der Xeon-Prozessor ist ein Beispiel für lokal variable Taktfrequenzen und Versorgungsspannungen.

Die Frage ist, wie die verschiedenen Versorgungsspannungen zur Verfügung gestellt werden. Sollen die Spannungen außerhalb der Chips bereitgestellt werden, ergibt sich das Problem, dass die Zahl der Pins begrenzt ist. In Kapitel 3.3.1 wurde dargestellt, dass der Widerstand des gesamten Versorgungsnetzwerkes etwa $0,5\text{ m}\Omega$ betragen soll. Dies wird erreicht, indem die vielen Versorgungsleitungen parallelgeschaltet werden, was aber viele Pins benötigt. Etwa 70% der Pins eines Mikroprozessors werden für die Zuführung der Versorgungsspannung eingesetzt. Somit ist es schwierig, mehrere Versorgungsnetzwerke zu realisieren. Die Lösung des Problems bedingt höhere Kosten für das Board, für das Gehäuse und für externe Komponenten. Daher können von außen nur eine begrenzte Anzahl von Versorgungsspannungen den Chips zugeführt werden.

Sollen die verschiedenen Versorgungsspannungen auf den Chips generiert werden, müssen sogenannte Gleichspannungswandler (DC-DC-Converter) eingesetzt werden. Für Gleichspannungswandlung stehen drei Konzepte zur Verfügung. Die LDO-(Low-Drop-Out-) Schaltung beruht auf einem Spannungsteiler, der mittels einer Rückkopplungsschleife geregelt wird. Das Ziel ist eine möglichst konstante Ausgangsspannung zu erzeugen. Die Ausgangsspannung ist immer kleiner als die zu regelnde Eingangsspannung. Mit dieser Schaltung lässt sich eine hohe Effektivität, das ist das Verhältnis Ausgangsleistung zu Eingangsleistung, erzielen. Möglicherweise ist die Stabilität der Schaltung wegen der Rückkopplung problematisch.

Beim geschalteten Regler (Switching Regulator), wird die Eingangsspannung mittels eines Schalters regelmäßig abgetastet und an ein LC-Tiefpassfilter gelegt. Die Zeitdauer des Abtastvorgangs bestimmt die Höhe der Ausgangsspannung. Es gilt, dass die Ausgangsspannung immer kleiner ist als die Eingangsspannung. Diese Schaltung verbraucht weniger Verlustleistung. Das Problem bei der Integration derartiger DC-DC-Converter ist, dass auf den Chips keine Induktivitäten mit geringen Widerstandsbelägen zur Verfügung stehen.

Schließlich werden Gleichspannungswandler nach dem Prinzip der Ladungspumpe realisiert (Charge Pump oder Switched Capacitor Regulator). Mit dieser Methode, die in Bild 4.62 angedeutet ist, können kleinere oder größere Spannungen als die ursprünglich zur Verfügung stehende generiert werden. Sollen große Ströme bereitgestellt werden, müssen große Kapazitäten verwendet werden. Die Schaltungstechnik der Gleichspannungswandler ist sehr ausgereift. Es gibt eine umfangreiche Literatur über diese Schaltungen, zum Beispiel [54, 38, 137]. Bis heute werden Gleichspannungswandler selten auf den Chips implementiert.

In einem anderen Prozessor von Intel sind zeitlich variable Taktfrequenzen und Versorgungsspannungen implementiert [64]. Je nachdem welche Anforderungen das Programm stellt, kann zwischen verschiedenen Einsparmodi gewählt werden (siehe Bild 4.136). Im sogenannten C0-Zustand arbeitet der Chip mit der größten

Versorgungsspannung. Es kann zwischen einem Zustand mit hoher Taktfrequenz und einem mit niedriger Taktfrequenz gewählt werden. Im sogenannten C1-Zustand wird für den Kernbereich der Takt angehalten (Clock Gating). Die beiden vorhandenen PLLs (siehe Kapitel 5.4.1.1) arbeiten aber weiter. Die integrierten Speicher werden ebenfalls in einen Sparmodus geschaltet. Es wird weniger als $1\mu\text{s}$ benötigt, um den ursprünglichen Zustand wieder herzustellen. Im C4-Zustand werden zusätzlich auch die Phasenregelschleifen abgeschaltet (Power Gating) und die integrierten Speicher in einen erweiterten Sparmodus gebracht. Die Aufweckzeit beträgt nun weniger als $30\mu\text{s}$. Schließlich im C6-Zustand werden die Daten des Prozessors in DRAMs zwischengespeichert und die Versorgungsspannung des Kerns abgeschaltet. Die Rückkehr in den aktiven Zustand beträgt nun weniger als $100\mu\text{s}$. In das Bild ist auch eingetragen, wie stark in den einzelnen Modi die Verlustleistung eingespart werden kann. Das eben beschriebene Verfahren wird in tragbaren Geräten eingesetzt. Man spricht in diesem Zusammenhang von dynamischer Spannungsskalierung (Dynamic Voltage Scaling).

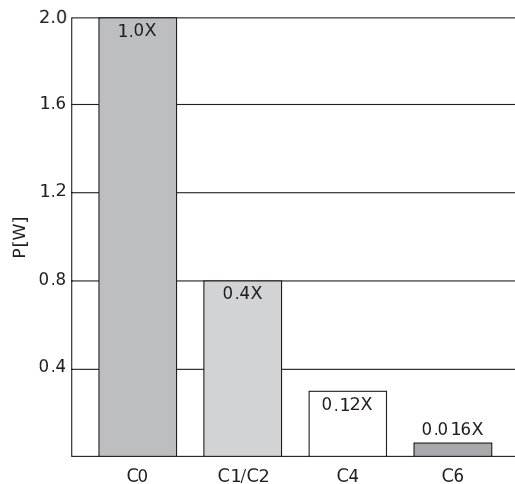


Bild 4.136 Verlustleistung für die verschiedenen Moden des Prozessors IA von Intel [64]. (Die Leistung wird im Verhältnis zur maximalen Leistung bei 2 GHz und 90°C angegeben.)

Wenn man bereit ist, um Verlustleistung zu sparen, die Versorgungsspannung und die Taktfrequenz in den einzelnen Modulen entsprechend den Anforderungen des Programms zu modifizieren, sollte man zusätzlich auch die Veränderungen, die durch Alterungsprozesse und Temperaturschwankungen hervorgerufen werden, berücksichtigen. Somit würden neben den Herstellungstoleranzen auch Alterungsprozesse, wie HCS und NBTI, ausgeglichen werden. Wenn durch Alterungsprozesse die Einsatzspannung verändert wird, empfiehlt es sich, wie es im vorhergehenden Kapitel besprochen wurde, ABB einzusetzen. Allerdings setzt die Regelung der Substratspannung von n-Kanal-Transistoren in den einzelnen Modulen einen „Drei-

Wannen-Prozess“ voraus. In einer derartigen Technologie befinden sich sowohl die p- als auch n-Kanal-Transistoren in einer eigenen Wanne. Regelschaltungen auf den Chips helfen die immer größer werdenden Probleme von sub-90 nm-CMOS-Technologien zu bewältigen.

Ein kritischer Punkt der dynamischen Regelung der Versorgungsspannungen ist, wie weit die Versorgungsspannung in dem jeweiligen Block reduziert werden kann, so dass trotzdem unter allen Umständen der korrekte Betrieb gewährleistet ist. Im vorhergehenden Kapitel (Bild 4.133b) wurde eine Methode beschrieben, mit deren Hilfe man die Gatterlaufzeit messen kann. Man benötigt an einer anderen Stelle eine Testschaltung, die die kritischsten Pfade der Logikblöcke enthält. Die Testschaltung hat eine andere Umgebung als die zeitkritischen Pfade. Um sicher zu stellen, dass zuerst die Fehler in der Testschaltung auftreten, bevor sie in den Logikblöcken merkbar werden, müssen zusätzliche Sicherheiten beim Design der Testschaltung berücksichtigt werden. So wird sichergestellt, dass auch unter sehr ungünstigen Bedingungen, wie Schwankungen der Herstellungsparameter innerhalb der Chips, lokale Schwankungen der Versorgungsspannungen und Schwankungen aufgrund von heißen Stellen, zuerst die Testschaltung ausfällt. Da mit kleineren Strukturen die Variabilität der Schaltungen zunimmt, müssen die Testschaltungen mit immer größeren Sicherheiten entworfen werden. Globale Schwankungen, die alle Schaltungen auf einem Chips gleichermaßen betreffen, werden von der Testschaltung ohne zusätzlich eingebaute Sicherheiten richtig erkannt. Das Problem kann gelöst werden, wenn die Messung an Ort und Stelle der betreffenden Schaltung und nicht an einer Testschaltung, die an einer anderen Stelle liegt, durchgeführt wird. Im nächsten Kapitel wird diese Methode behandelt.

4.8.3.2.3 Erkennung und Korrektur von Laufzeitfehlern in dynamischen Umgebungen

Unter den Namen Razor I und Razor II wurden zwei ähnliche Methoden für die Lösung des Problems beschrieben [47] und [48]. In der Ausprägung unterscheiden sich die beiden Konzepte. Wie bereits erwähnt wurde, ist der Kern des Konzeptes die Fehler an Orten zu messen, an denen sie tatsächlich auftreten und nicht mittels einer Testschaltung an einem anderen Ort. Dadurch entfallen die zusätzlichen Sicherheiten, die in den Testschaltungen eingebaut werden müssen. Von dieser Tatsache leitet sich auch der Name des Konzeptes – Rasiermesser – ab. Die Versorgungsspannung kann so weit verringert werden, bis der erste Fehler auftritt (PoFF, Point of First Failure). In den Artikeln wird sogar vorgeschlagen die Versorgungsspannung so weit zu reduzieren, bis eine vorgegebene Fehlerrate erreicht ist. In diesem Zusammenhang spricht man nicht von einem katastrophalen Systemfehler, sondern von einer Abwägung zwischen dem Aufwand für eine Fehlerkorrektur und dem Gewinn an Verlustleistung aufgrund der reduzierten Versorgungsspannung.

Anhand von Bild 4.137, in dem die aufgewendete Energie in Abhängigkeit von der Versorgungsspannung dargestellt ist, wird das Konzept erläutert. Die gesamte Energie eines Razor-Prozessors setzt sich zusammen aus der Energie E_{proc} für den normalen Betrieb, die die Energie für die Razor-Messschaltungen einschließt, und der Energie für die Fehlerkorrektur E_{kor} . Die zulässige Versorgungsspannung

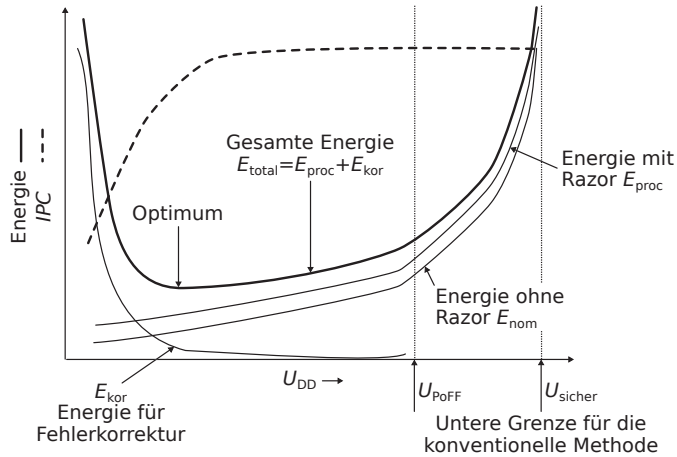


Bild 4.137 Qualitativer Zusammenhang zwischen Energie und damit Verlustleistung, Rechengeschwindigkeit, gemessen in Zahl der Instruktionen per Zyklus (IPC) und Versorgungsspannung [47, 48].

U_{PoFF}	Versorgungsspannung bei der der erste „Timing“-Fehler auftritt.
U_{sicher}	Minimal zulässige Versorgungsspannung bei konventionellen Methoden
E_{nom}	Energie ohne den Einsatz von Razor
E_{proc}	Energie mit dem Einsatz von Razor
E_{kor}	Energie für Fehlerkorrektur
E_{total}	gesamte Energie
IPC	Instruktionen per Zyklus

U_{sicher} , die mittels Testschaltungen an einem anderem Ort ermittelt wird und in der der schlechteste Fall berücksichtigt werden muss, ist wesentlich größer als die Versorgungsspannung, bei der in der gegebenen Logik der erste „Timing“-Fehler auftritt ($U_{\text{sicher}} \gg U_{\text{PoFF}}$). U_{PoFF} steht für die Versorgungsspannung, bei der der erste Fehler auftritt. Entspricht die Versorgungsspannung U_{PoFF} , ist die Fehlerrate sehr gering, nämlich etwa 1 Fehler pro zehn bis hundert Millionen Zyklen. An diesem Punkt ist der Energieaufwand für die Fehlerkorrektur vernachlässigbar. Allerdings muss die Zeit für die Fehlerkorrektur zur Verfügung stehen. Ein Realzeitbetrieb mit hohen Taktfrequenzen ist kritisch.

Wird die Versorgungsspannung reduziert, verringert sich die Verlustleistung quadratisch. Jedoch, wenn die Versorgungsspannung kleiner ist als U_{PoFF} , steigen die Fehlerrate und die Energie zur Fehlerkorrektur exponentiell an. Der Durchsatz wird kleiner, da mehr Zeit für die Fehlerkorrektur benötigt wird. Nur in zeitkritischen Pfaden werden die Messungen durchgeführt. Daraus ergibt sich eine um 3% erhöhte Prozessorverlustleistung (E_{proc}) im Vergleich zur Prozessorleistung ohne Razor (E_{nom}). Liegt die Versorgungsspannung unterhalb U_{PoFF} steigt die Fehlerrate exponentiell um den Faktor 10 pro 10mV Spannungsreduktion an. Unterhalb von U_{PoFF} gewinnt man nur 10%, während der Gewinn zwischen U_{sicher} und U_{PoFF} 35% bis 45% beträgt.

Razor I und Razor II unterscheiden sich im Wesentlichen dadurch, wie die Fehlerkorrektur durchgeführt wird. Bei Razor I wird die Fehlerkorrektur durch zusätzliche Hardware ermöglicht. Während Razor II eine konventionelle Wiederholprozedur auf der Architekturebene verwendet. Dadurch wird zwar der Durchsatz kleiner, aber da nur sehr selten ein Fehler auftritt, ist die Zunahme sehr gering. In dem man auf die in einem Prozessor vorhandene Wiederholprozedur zurückgreift, wird die Schaltung zur Erkennung und Reparatur eines Laufzeitfehlers wesentlich vereinfacht.

Die Datenausbreitung in einem Rechenwerk wird von Registern gesteuert. Die Fehlererkennung erfolgt in Razor I dadurch, dass das an einem Register eingehende Datensignal nicht wie üblich einmal sondern zweimal zu unterschiedlichen Zeitpunkten abgetastet wird. Die beiden Abtastwerte werden mittels eines EXOR-Gatters verglichen. Wenn die beiden Werte unterschiedlich sind, ist ein Fehler aufgetreten und es wird ein Fehlersignal generiert.

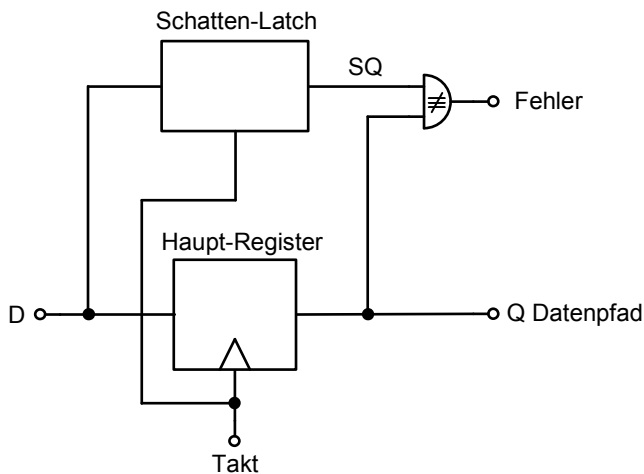


Bild 4.138a Prinzip des Razor I Flip-Flops [47].

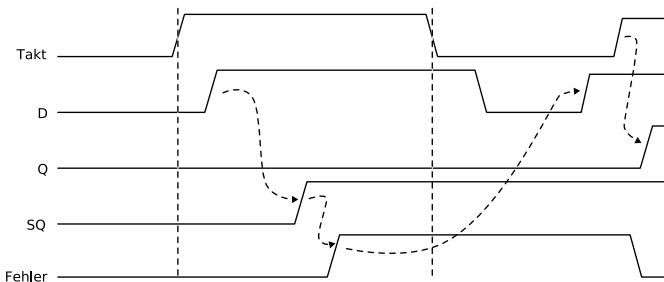


Bild 4.138b Zeitdiagramme des Razor I Flip-Flops [47].

Bild 4.138a zeigt ein erweitertes Register, das diese Funktion mit nur einem Taktsignal ausübt. Man muss also nicht zwei Taktsignale über den ganzen Chip verteilen. In Bild 4.138b sind die dazugehörigen Zeitdiagramme dargestellt. Mit der steigenden Taktfanke wird das eingehende Datensignal mittels des Hauptregisters bewertet, das im Datenpfad liegt. Gleichzeitig wird ein zusätzliches Latch, das sogenannte Schatten-Latch, transparent. Nach der Zeit t_h bewertet das Schatten-Latch mit der fallenden Flanke des Taktsignals das eingehende Datensignal ein zweites Mal. Das EXOR-Gatter vergleicht die beiden Abtastwerte und generiert gegebenenfalls ein Fehlersignal, das den Korrekturmechanismus startet. Ist die Taktphase, in der das Taktsignal eine logische Eins darstellt, genügend lang gewählt, kann man sicher sein, dass im Schatten-Latch der richtige Wert gespeichert ist. Man muss also im Fehlerfall den Inhalt des Schatten-Latch über einen Multiplexer auf den Eingang des Hauptregisters zurückkoppeln, wie es in Bild 4.138c dargestellt ist. Ist ein Datenpfad durch mehrere Hauptregister unterbrochen, werden die einzelnen Fehlersignale mit einem OR-Gatter verknüpft. Ein einziges Fehlersignal löst die Fehlerkorrektur auch bei allen anderen (Pipeline-) Stufen aus.

Beim Entwurf von Schaltungen nach Bild 4.138c sind einige Fallstricke zu beachten. Mit reduzierter Versorgungsspannung erhöhen sich die Laufzeiten der Logikkatter. Es kann der Fall eintreten, dass die steigende Flanke des Hauptregisters genau zu dem Zeitpunkt auftritt, an dem das Datensignal wechselt. Die Folge ist unerwünschte Metastabilität, wie sie in Kapitel 4.7.6 beschrieben wurde. Um Metastabilität zu vermeiden, wird in der Schaltung nach Bild 4.138c parallel zum EXOR-Gatter eine Schaltung zur Erkennung von Metastabilität angebracht.

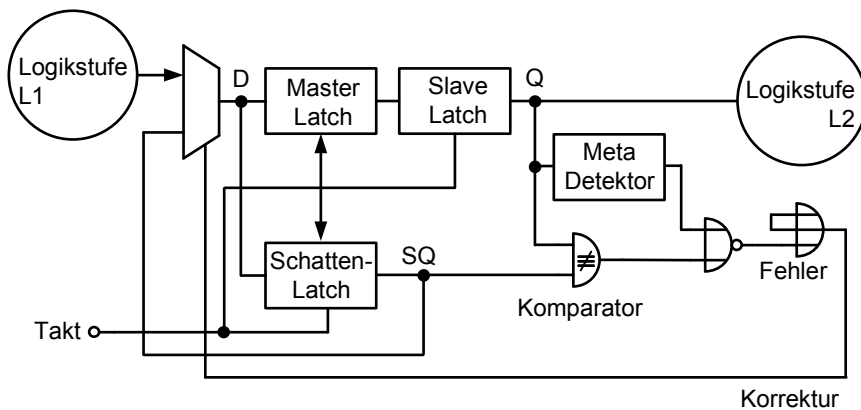


Bild 4.138c Erweitertes Blockschaltbild des Razor I Flip-Flops [47].

In einer anderen Veröffentlichung wird vorgeschlagen, einfach das Hauptregister und das Schatten-Latch zu vertauschen [21]. Da sich nun ein Latch im Datenpfad befindet, kann die Methode des „Zeitborgens“, wie sie in Kapitel 5.2 Bild 5.7 beschrieben wird, angewendet werden. Auf diese Weise ergibt sich eine größere Flexibilität, mit der das Problem der Metastabilität entschärft werden kann.

Weiter muss das Problem beachtet werden, dass ein neues Datensignal zu schnell kommen kann und somit ein zum Hauptregister unterschiedlicher Wert in das Schatten-Latch eingeschrieben wird. In diesem Fall wird irrtümlich ein Fehlersignal gebildet. Die Abhilfe besteht darin, in die zu schnellen Pfade zusätzlich Inverter einzubauen, die die Laufzeit der Datensignale verlängern.

Das vorrangige Problem in Hochgeschwindigkeitsprozessoren ist jedoch die Generierung, die Weiterleitung des Fehlersignals an die anderen Stufen in den zeitkritischen Datenpfaden und die Fehlerkorrektur mittels der Rückkoppschleifen. Diese Vorgänge werden mit verringerter Versorgungsspannung ebenfalls abgebremst. Der soeben beschriebene Signalpfad bestimmt, wie weit die Versorgungsspannung abgesenkt werden kann.

Die in Bild 4.138c dargestellte Schaltung benötigt 76 Transistoren. Falls die Zahl der zeitkritischen Datenpfade im Vergleich zur gesamten Zahl der Datenpfade eines Chips klein ist, wirkt sich die hohe Komplexität der Schaltung nur geringfügig auf die Verlustleistung aus. In einer späteren Veröffentlichung wurde ein wesentlich vereinfachtes Konzept unter dem Namen Razor II vorgestellt.

Der wesentliche Unterschied zu Razor I wurde bereits erläutert. Auch bei Razor II wird in den zeitkritischen Datenpfad ein Latch und nicht ein Register eingebaut. So wird das Problem der Metastabilität vermindert. Der zweite Abtastwert wird mit einem weiteren Latch und nicht mit einem Register gewonnen. Dies verringert die Komplexität der Schaltung weiter. Mit einer klug entworfenen zusätzlichen Schaltung wird festgestellt, ob eine Fehler aufgetreten ist oder nicht. An dieser Stelle wird der Leser, der weitere Einzelheiten wissen will, auf die angegebenen Literaturstellen verwiesen.

In Kapitel 4.8.3 wurde vorrangig behandelt, welche Methoden dem Schaltungsentwickler zur Verfügung stehen, um die Verlustleistung von digitalen Schaltungen zu senken. In Kapitel 7.1.2 wird ein Gütemaß abgeleitet mit dem unterschiedliche Designs verglichen werden können. Methoden zur Optimierung der Verlustleistung und der Rechenleistung werden in Kapitel 7.3 erläutert.

4.8.3.3 Adiabatische Logik

In allen bisher behandelten Logikschaltungen wird bei jedem Schaltvorgang Energie von der konstanten Versorgungsspannung zum Ausgangsknoten oder vom Ausgangsknoten nach Masse transferiert. Bei einem Signalwechsel am Ausgang von 0 nach U_{DD} wird der Versorgungsspannung die Energie $C_L \cdot U_{DD}^2$ (siehe Gleichung 4.73) entnommen. Die eine Hälfte dieser Energie wird in Wärme umgewandelt und die andere Hälfte auf der Lastkapazität gespeichert (siehe Gleichung 4.74). Beim nachfolgenden Signalwechsel von U_{DD} nach 0 wird die auf den Kondensator gespeicherte Energie ebenfalls in Wärme umgewandelt.

Um eine derartige Verlustleistung zu minimieren, kann der Schaltungsentwickler die Zahl der Schaltvorgänge reduzieren, die Lastkapazität verringern, die Versorgungsspannung verkleinern oder eine Kombination all dieser Maßnahmen vornehmen. Trotz all dieser Maßnahmen wird in jedem Zyklus die der Versorgungsspan-

nung entnommene Energie in Wärme umgewandelt. Die entnommene Energie wird nur für einen Zyklus genutzt. Gibt es keine Möglichkeit diese Energie für mehrere Zyklen zu gebrauchen?

Eine neue Klasse von logischen Schaltkreisen, die adiabatische Logik genannt wird, verspricht, dass die Schaltenergie zurück gewonnen und wieder genutzt werden kann. Hierzu ist es notwendig, die Schaltungstopologien und die Schaltungsvorgänge zum Teil drastisch zu modifizieren. In [221] wird eine umfassende und gut verständliche Darstellung der wichtigsten adiabatischen Logikfamilien gegeben. Hier können nur die Grundlagen skizziert werden.

Das Wort adiabatisch kommt aus der griechischen Sprache und bedeutet in der Thermodynamik, dass mit der Umgebung keine Energie ausgetauscht wird. Es gibt keinen Energieverlust aufgrund von abgeführter Wärme. In der realen Welt kann ein derartiger idealer Prozess nicht verwirklicht werden. Jedoch man kann eine sehr geringe Verlustleistung erreichen, wenn man die Schaltgeschwindigkeit reduziert und die Schalter nur unter bestimmten Bedingungen betätigt.

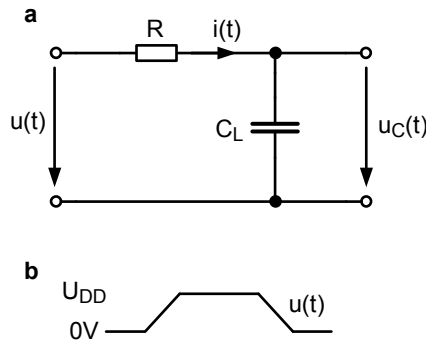


Bild 4.139 Prinzip einer adiabatischen Schaltung, **a** Schaltung, **b** Spannungspuls

Das Prinzip einer adiabatischen Schaltung setzt anstatt einer konstanten Spannungsquelle eine konstante Stromquelle voraus. Erreicht wird dies nach Bild 4.139 mit einer pulsförmigen Spannungsquelle $u(t)$, die mittels eines Widerstandes eine Lastkapazität C_L lädt oder entlädt. Wenn die Flanken der Pulse genügend flach sind, ist die Änderungsrate der Kondensatorspannung $u_C(t)$ genauso groß wie die Änderungsrate der Versorgungsspannung [221]

$$\frac{du(t)}{dt} = \frac{du_C(t)}{dt} \quad (4.197)$$

Der Widerstand R sei konstant. Es gilt mit der Anstiegszeit T

$$i(t) = C_L \cdot \frac{du}{dt} = \frac{C_L \cdot U_{DD}}{T} \quad (4.198)$$

Die Energie E eines Ladevorgangs erhält man mittels der Integration über die Leistung [221]

$$E = \int_0^T p(t) \cdot dt = \int_0^T u(t) \cdot i(t) \cdot dt = \int_0^T (u_R(t) + u_C(t)) \cdot i(t) \cdot dt \quad . \quad (4.199)$$

Da keine Energie im Kondensator in Wärme umgewandelt wird, ist das Integral über eine Periode von $u_C(t) \cdot i(t)$ gleich Null. Ersetzt man in Gleichung 4.199 $u_R(t)$ mit $i(t) \cdot R$ und setzt Gleichung 4.198 in Gleichung 4.199 ein, ergibt sich

$$E = \int_0^T R \cdot \frac{C_L^2 \cdot U_{DD}^2}{T^2} \cdot dt = \frac{R \cdot C_L}{T} \cdot C_L \cdot U_{DD}^2 \quad (4.200)$$

- E Energie, die während des Ladevorgangs in Wärme umgewandelt wird.
 C_L Lastkapazität
 R äquivalenter Widerstand des Pull-Up-Pfades
 T Zeit des Ladevorgangs .

Eine ganze Periode besteht aus einem Lade- und aus einem Entladevorgang. Der Entladevorgang verbraucht genauso viel Energie wie der Ladevorgang. Somit errechnet sich die gesamte Verlustenergie E_{ad} zu

$$E_{ad} = 2 \cdot \frac{R \cdot C_L}{T} \cdot C_L \cdot U_{DD}^2 \quad . \quad (4.201)$$

Nach Gleichung 4.201 ist die Verlustenergie pro Schaltvorgang umgekehrt proportional zur Flankensteilheit T . Wie bei der konventionellen Logik kann die Energie mittels der geeigneten Dimensionierung von C_L und U_{DD} beeinflusst werden. Aber im Gegensatz zur CMOS-Logik ist nun die Dimensionierung des Widerstandes von Bedeutung.

Aus dem Vergleich der Energie pro Schaltvorgang der adiabatischen Logik mit der Schaltenergie der CMOS-Logik

$$R \cdot C_L^2 \cdot U_{DD}^2 / T = \frac{1}{2} \cdot C_L \cdot U_{DD}^2 \quad , \quad (4.202)$$

folgt ein Hinweis unter welcher Bedingung die adiabatische Logik vorteilhaft sein könnte

$$T \geq 2 \cdot R \cdot C_L \quad . \quad (4.203)$$

Zu untersuchen bleibt, inwiefern auch reale Schaltungen dieser Bedingung genügen. Es gibt eine Vielzahl an adiabatischen Logikfamilien. Zwei jedoch die „Positive Feedback Adiabatic Logic“ (PFAL, [232]) und die „Efficient Charge Recovery Logic“ (ECRL, [150]) sind am wichtigsten. Ein Gatter der ECRL-Logikfamilie gleicht dem Gatter von DCVSL nach Bild 4.88. Während DCVSL-Gatter von einer kon-

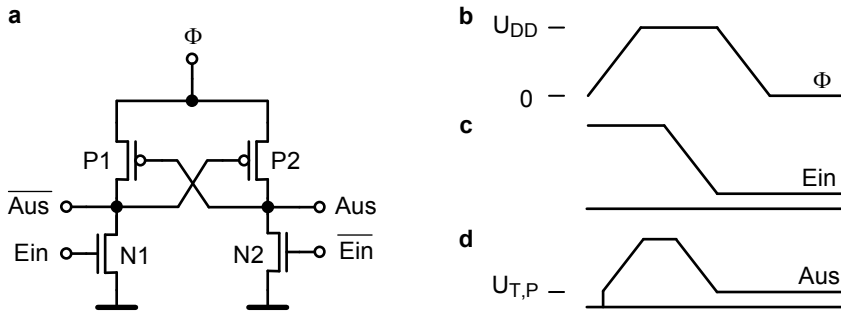


Bild 4.140 Inverter der ECRL-Logikfamilie: **a** Schaltplan; **b** zeitlicher Verlauf der gepulsten Versorgungsspannung Φ ; **c** zeitlicher Verlauf des Eingangssignals; **d** zeitlicher Verlauf des Ausgangssignals [221].

stanten Versorgungsspannung gespeist werden, wird die Versorgungsspannung Φ von ECRL-Gattern gepulst. Das einfachste ECRL-Gatter ist ein Inverter, wie er in Bild 4.140 dargestellt ist. Mit den gekoppelten p-Kanal-Transistoren wird die Information gespeichert. Während die beiden n-Kanal-Transistoren die gewünschte Logikfunktion ausführen.

Für den Augenblick wird angenommen, dass das Eingangssignal eine logische Eins aufweist. Somit gilt: $\overline{Ein} = 0$. Der n-Kanal-Transistor N1 leitet und verbindet den Ausgang $\overline{Aus}$ mit Masse. Der Transistor N2 sperrt. Nun wird Φ langsam hochgefahren. Sobald Φ den Wert der Einsatzspannung der p-Kanal-Transistoren $U_{T,p}$ überschreitet, beginnt der Transistor P2 zu leiten; der Ausgang Aus folgt der Versorgungsspannung Φ . Deswegen ist die Gate-Source-Spannung von P1 Null; der Transistor P1 ist gesperrt. Im linken Zweig fließt kein Strom. Sobald Φ U_{DD} erreicht, werden die Eingangssignale wieder herunter gefahren, da das vorhergehende Gatter zu dieser Zeit seine Energie zurückgewinnt. Auch wenn beide n-Kanal-Transistoren sperren, wird die Information von den beiden gekoppelten p-Kanal-Transistoren bewahrt und an die nächste Stufe weitergegeben. Schließlich wird die Versorgungsspannung wieder abgesenkt. Solange Φ größer ist als $|U_{T,p}|$, fließt die auf einer Lastkapazität gespeicherte Ladung zurück in die Versorgungsspannungsquelle, die Energie wird zumindest teilweise zurück gewonnen. Bild 4.141 enthält den Schaltplan eines Inverters der PFAL-Logikfamilie. Nun wird ein Flip-Flop (zwei mitgekoppelte Inverter) an Stelle der gekoppelten PMOS-Transistoren eingesetzt, um die Information, während die Eingangssignale abgesenkt werden, zu bewahren. Die Information wird mit einer statischen und nicht mit einer dynamischen Schaltung wie bei ECRL gesichert. Ein weiterer Unterschied ist, dass nun die NMOS-Transistoren, an deren Gates die Eingangssignale anliegen, die Ausgänge mit dem Signal Φ und nicht mit Masse verbinden. Sollen in beiden Logikfamilien komplexere Funktionen realisiert werden, müssen nur die beiden n-Kanal-Transistoren durch die gewünschten dualen Logikblöcke ersetzt werden.

Bei der Beschreibung der Funktionsweise beider Logikfamilien ist bereits angegeben, dass vorhergehende und nachfolgende Gatter andere Betriebsmodi als das

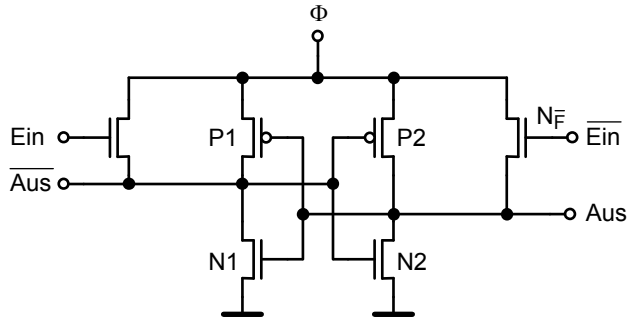


Bild 4.141 Inverter der PFAL-Logikfamilie [221].

betrachtete Gatter aufweisen. Tatsächlich braucht man für die beiden Logikfamilien Versorgungstakte mit vier Phasen Φ_0 bis Φ_3 (siehe Bild 4.142). Der Phasenunterschied zwischen aufeinander folgenden Phasen beträgt 90 Grad. Jede Phase enthält vier Intervalle. Während des Evaluierungsintervalls E werden die Ausgänge des betrachteten Gatters entsprechend den stabilen Eingangssignalen gebildet. Das nachfolgende Halteintervall dient zur Weitergabe der stabilen Ausgangssignale an die nächste Stufe. Daran schließt sich das Intervall R zur Rückgewinnung der Energie an. Das letzte Intervall W wird aus Symmetriegründen benötigt, da symmetrische Signale leichter erzeugt werden können. Daten in adiabatischen Logiken werden

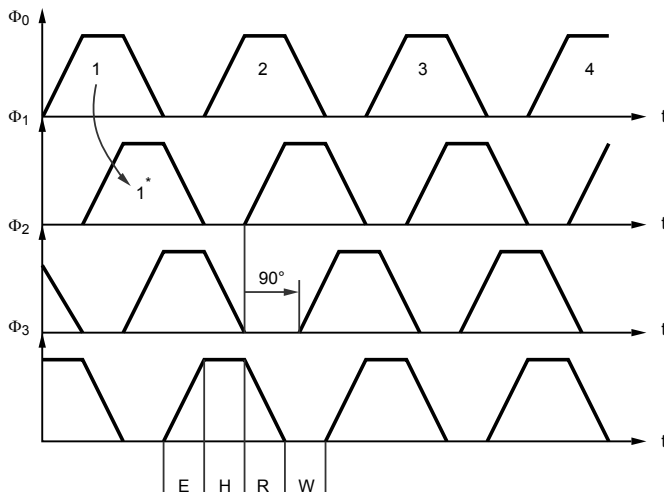


Bild 4.142 Schema der gepulsten Versorgungsspannung mit vier Phasen.

wie in Pipeline-Stufen verarbeitet. Wie es ebenfalls in Bild 4.142 dargestellt ist, werden die gültigen Datenwörter 1, 2, 3 und 4 während der Haltephase von Φ_0 an die nachfolgenden Gatter, die sich im Evaluierungsintervall von Φ_1 befinden, wei-

tergegeben. Befindet sich Φ_1 in der Haltephase geben diese Gatter ihre Information weiter und so fort. Eine Taktperiode besteht aus vier Intervallen. Die Daten können nur einmal pro Taktperiode weitergegeben werden. Damit die adiabatische Logik Vorteile gegenüber der konventionellen CMOS hat, muss die Bedingung für T von Gleichung 4.203 eingehalten werden. Da die Periodendauer mindestens $4 \cdot T$ sein muss, lässt sich daraus die Taktfrequenz berechnen.

Jetzt sind die Schaltungen für die wichtigsten adiabatischen Logikfamilien bekannt. Der Energieverbrauch für eine Schaltperiode der adiabatischen Logik kann nun präzisiert werden. CMOS-Transistoren weisen mehrere Leckstromkomponenten auf. Dies sind Unterschwellenströme für $U_{DS} \neq 0$, Gate Induced Drain Leakage Ströme (GIDL), Sperrströme der pn-Übergänge und Tunnelströme. Alle diese Ströme treten während den E-, H- und R-Intervallen auf und führen zu einem Energieverlust, der proportional zu einer Versorgungstaktperiode T_T ist

$$E_{\text{leck}} = U_{DD} \cdot \overline{I_{\text{leck}}} \cdot 1/f_T \quad . \quad (4.204)$$

Während des Halteintervalls H ist bei beiden Logikfamilien ein Ausgangsknoten entladen und der Andere an U_{DD} . Im nächsten Intervall R wird die Energie zurückgewonnen, in dem der Knoten, der an U_{DD} lag, bis auf die Spannung $|U_{Tp}|$ entladen wird. In einem ECRL-Gatter bleibt die entsprechende Ladung erhalten, bis sie im nächsten Zyklus wieder genutzt wird oder bei einem Eingangssignalwechsel abrupt nach Masse abgeleitet wird. Im Intervall E können die Ausgänge erst dann dem Versorgungstakt folgen, wenn gilt: $\Phi > |U_{Tp}|$.

Anders liegt der Fall in einem PFAL-Gatter. Im Warteintervall W ($\Phi = 0$) lädt das treibende Gatter erneut die Eingänge. Wenn kein Eingangssignalwechsel auftritt, wird mittels des aktivierten n-Kanal-Transistors der entsprechende Ausgang abrupt entladen. Wechselt dagegen das Eingangssignal, wird der betreffende Ausgang während des Intervalls E abrupt entladen.

In all den beschriebenen Fällen treten nicht-adiabatische Verluste auf. Es handelt sich um eine Wandlung von Energie in Wärme, wie er auch in einer CMOS-Logik auftreten kann. Also gilt für einen solchen Vorgang

$$E_{\text{non-ad}} = \frac{1}{2} \cdot C_L \cdot U_{Tp}^2 \quad . \quad (4.205)$$

Dieser Verlust ist unabhängig von der Frequenz des Versorgungstaktes.

In realen adiabatischen Schaltungen existieren drei Mechanismen für Verluste: adiabatische Verluste (Gleichung 4.200), die proportional mit der Frequenz f_T des Versorgungstaktes ansteigen, Leckstromverluste (Gleichung 4.204), die umgekehrt proportional zu f_T sind und nicht-adiabatische Verluste (Gleichung (4.205), die nicht von f_T abhängen. Alle drei Komponenten sind von Schwankungen der Einsatzspannung abhängig.

Gleichung 4.200 enthält den Widerstand R , der in beiden Logikfamilien mittels n-Kanal-Transistoren realisiert wird. Die Arbeitsweise der adiabatischen Logik bedingt einen langsamen Anstieg des Versorgungstaktes, so dass die Ausgänge diesem Anstieg folgen können. Deswegen arbeiten die n-Kanal-Transistoren, die die Lo-

gikfunktion ausführen, im linearen Bereich. Somit beschreibt die Gleichung 2.127 des Kapitels 2.1.12.2 diesen Widerstand. Die adiabatischen Verluste sind also umgekehrt proportional zu den Schwankungen der Einsatzspannungen. Während die nicht-adiabatischen Verluste nach Gleichung 4.205 proportional zu den Schwankungen sind.

Die Unterschwellenströme hängen nach Gleichung 2.84 des Kapitels 2.1.3.5 exponentiell von der Einsatzspannung ab. Daher zeigen Verluste aufgrund von Leckströmen bei HP-Transistoren die stärkste Abhängigkeit von Schwankungen der Einsatzspannungen. Das eben beschriebene Verhalten wird durch Simulationen von

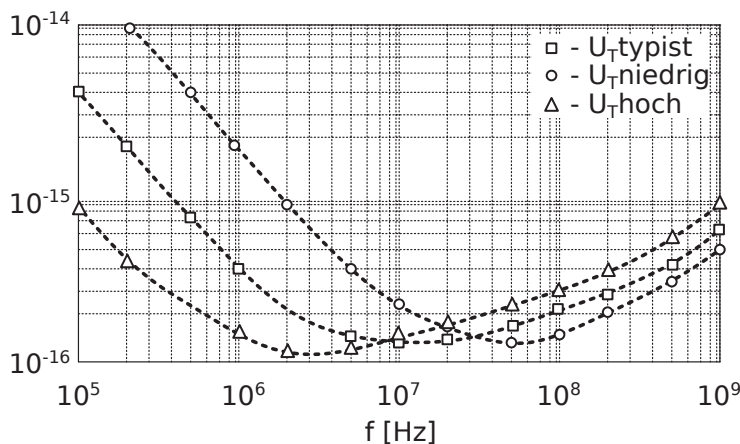


Bild 4.143 Abhängigkeit der Verluste von der Frequenz mit der Einsatzspannung U_T als Parameter für eine 120nm-CMOS-Technologie [221].

PFAL-Invertern der 120nm-CMOS-Technologie bestätigt (siehe Bild 4.143) [221]. Die Simulationen wurden für drei verschiedene Werte (niedrig, typisch und hoch) für die Beträge der Einsatzspannungen durchgeführt. Ist der Betrag der Einsatzspannung höher als der nominelle Wert, treten die geringsten Unterschwellenströme bei niedrigen Frequenzen auf. Dagegen ergibt sich ein höherer Widerstand während des Intervalls E, in dem die Ausgänge geladen werden. Für niedrige Werte der Einsatzspannung erhält man die umgekehrten Verhältnisse.

Die größten Abhängigkeiten von Schwankungen der Einsatzspannungen zeigen sich bei niedrigen Frequenzen. Es ist plausibel, dass mit niedrigen Werten für U_T das Minimum der Verluste zu höheren Frequenzen verschoben wird. Die optimale Frequenz liegt für typische U_T -Werte bei 10 MHz; für hohe Werte bei 3 MHz und für niedrige Werte bei 50 MHz. Für eine 45nm-Technologie ergeben sich für die optimale Frequenz Werte um 100 MHz [221].

Die optimale Frequenz des Versorgungstaktes liegt vor, wenn die adiabatischen Verluste genauso groß sind wie die Verluste aufgrund von Leckströmen. Mit $f_T = 1/4 \cdot T$ folgt aus den Gleichungen 4.201 und 4.204

$$U_{DD} \cdot \overline{I_{Leck}} \cdot \frac{1}{f_T} = 8 \cdot R \cdot C_L \cdot f_T \cdot U_{DD}^2$$

$$f_{T,opt} = \sqrt{\frac{\overline{I_{Leck}}}{8 \cdot R \cdot C_L \cdot U_{DD}^2}} \quad (4.206)$$

Wie vergleicht sich nun bei der optimalen Frequenz des Versorgungstaktes die Ver-

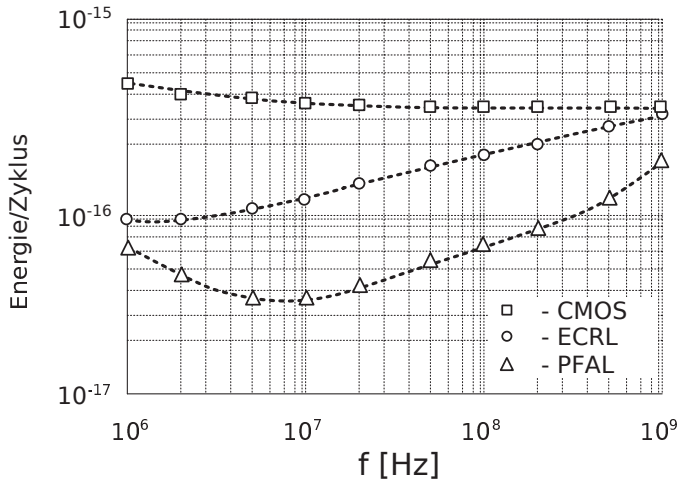


Bild 4.144 Simulierte Verluste für die drei Logikfamilien, CMOS, EPFAL und ECRL. Vorausgesetzt wurde ein 65 nm LP-CMOS-Prozess.

lustenergie der statischen CMOS-Logik mit derjenigen von PFAL oder ECRL? Da nur relativ niedrige Frequenzen in Betracht kommen, wird man statische CMOS-Logikschaltungen, wenn sie fast ständig betrieben werden, mit LP-Transistoren verwirklichen. Bild 4.144 zeigt für die drei Logikfamilien anhand von Invertern, die Verlustenergien pro Schaltvorgang in Abhängigkeit von der Taktfrequenz für eine 65 nm-LP-Technologie. Bei der konventionellen CMOS-Logik und bei ECRL kann wegen der LP-Transistoren kein wesentlicher Beitrag von Leckströmen festgestellt werden. Hervor zu heben ist, dass PFAL im Vergleich zu ECRL eine um den Faktor zehn höhere optimale Frequenz des Versorgungstaktes aufweist. Außerdem ist der minimale Energieverlust um den Faktor 2,65 kleiner. In dem Bereich, in dem die adiabatischen Verluste überwiegen, verbraucht PFAL, wegen der n-Kanal-Transistoren in den Logikblöcken, die das Laden der Lastkapazitäten während des Intervalls E zusätzlich unterstützen, weniger Energie. Im Vergleich zur konventionellen CMOS-Logik ist der Energieverlust von ECRL etwa um den Faktor zwei und für PFAL um den Faktor 5,5 kleiner. PFAL scheint die dominierende Logikfamilie zu sein.

Zu beachten ist, dass der Vergleich auf der Gatterebene durchgeführt wurde. Aussagekräftiger wäre ein Vergleich der drei Logikfamilien, wenn auch die Aufberei-

tung und die Verteilung der Versorgungstakte in die Betrachtung mit einbezogen werden würden. Es ist also notwendig sich der Generierung und der Verteilung der Versorgungstakte zuzuwenden. Die Bereitstellung der Versorgungstakte der adiabatischen Logik unterscheidet sich grundlegend von der Generierung und Verteilung der Taktsignale von konventionellen Logikfamilien, daher wird nun ein eigener Abschnitt dem Thema Generierung der Versorgungstakte gewidmet.

Die Versorgungstakte können mittels Induktivitäten oder ohne Induktivitäten erzeugt werden. Sollen Induktivitäten vermieden werden, muss die Versorgungsspannung U_{DD} auf dem Chip n -fach unterteilt werden. Jeder einzelne Wert wird auf einer großen Kapazität gespeichert. In der Evaluierungsphase E werden die einzelnen Spannungen $i \cdot U_{DD}/n$ mittels Transfertransistoren, beginnend mit dem kleinsten Wert, schrittweise angelegt. In der Rückgewinnungsphase R läuft der umgekehrte Prozess ab. Wegen der vier Phasen Φ_0 bis Φ_3 müssen diese Schaltungen, einschließlich der Schaltungen zur Kontrolle der Transfertransistoren, vierfach ausgelegt werden. Dies führt zu einem zu hohen Aufwand, so dass diese Methode nicht in Betracht kommt.

Das „adiabatische“ Laden und Entladen eines Kondensators kann mittels eines Schwingkreises erfolgen. Also wird neben der zu ladenden Kapazität auch eine Induktivität benötigt. Das Prinzip der adiabatischen Schaltung setzt Widerstände voraus. Daher sind die Schwingkreise stark mit Verlusten behaftet. Den Schwingkreisen muss deswegen Energie zugeführt werden. Mit dem Oszillator nach Bild 4.145 gelingt dies. Der Oszillator liefert zwei um 180° versetzte Sinusschwingungen. Werden Sinusschwingungen anstatt trapezförmiger Pulse eingesetzt, reduziert sich der Energiegewinn um $\pi^2/8$ [8]. Der aktive Teil der Schaltung besteht aus zwei kreuzgekoppelten Transistorpaaren. Kreuzgekoppelt heißt, dass das Gate des einen Transistors mit dem Drain des anderen Transistors verbunden ist. Wie sich anhand einer Kleinsignalberechnung zeigen lässt, bilden die Transistorpaare jeweils einen negativen Widerstand mit dem Wert $-2/g_m$ (g_m Steilheit eines Transistors des Paares). Bis heute wurden in adiabatischer Logik noch keine Treiberschaltungen entwickelt, so dass der Oszillator direkt die großen Lasten treiben muss. Die Frequenz

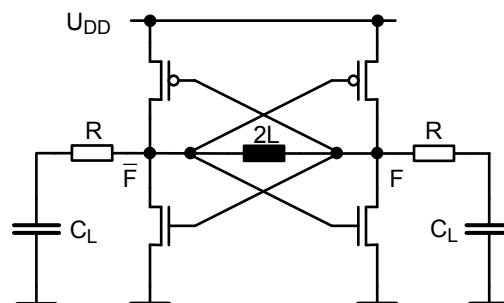


Bild 4.145 Schema eines LC-Oszillator.

der Schwingung errechnet sich für eine gegebene Induktivität und Lastkapazität zu

$$\omega_0 = \frac{1}{\sqrt{L \cdot C}} \quad . \quad (4.207)$$

Im Bereich von 10 MHz bis 100 MHz werden Induktivitäten zwischen 1 mH und 1 μ H auf jeder Seite des Oszillators verwendet. Wegen des großen Platzbedarfs werden gegenwärtig die Induktivitäten nicht mit auf dem Chip integriert. Da der Oszillator zwei Ausgänge hat und somit zwei Schwingkreise mit Energie versorgt, wird der doppelte Wert für die zu realisierende Induktivität benötigt. Die Mitte der 2L-Induktivität in Bild 4.145 weist ein konstantes Potential auf. Bei einer Kleinsignalbetrachtung bedeutet dies, dass dieser Punkt an Masse liegt.

Insgesamt braucht man vier Phasen, daher werden zwei Oszillatoren realisiert, die die korrekten Phasenlagen aufweisen. Wie dies erreicht werden kann, hat Herr Marc Tiebout anlässlich der European Solid State Circuit Conference 2000 (ESS-CIRC 2000) berichtet. Nach seinem Vorschlag werden die Ausgänge mit zusätzlichen Eingängen der beiden Oszillatoren geeignet verbunden. Es müssen vier Phasen generiert werden, daher beträgt die Summe aller Induktivitäten das Vierfache der Induktivität eines Schwingkreises.

Der gewohnte Weg zunächst einen Oszillator mit der vierfachen Frequenz zu implementieren und dann die vier Phasen mittels zweifacher Frequenzteilung zu verwirklichen, scheidet aus, da die Frequenzteiler nach Bild 4.101 die Anstiegsbeziehungsweise die Abfallflanken steiler werden lassen.

In [6] wird ein Oszillator beschrieben, der auch die gewünschten vier Phasen liefert. Wie bei der Lösung von Herrn Tiebout werden vier Induktivitäten benötigt. Für diesen Oszillatortyp wurde die Konversionsrate berechnet. Das heißt, es wurde das Verhältnis von Verlustleistung des gesamten Systems zur Verlustleistung, die die Last verbraucht, bestimmt. Es ergab sich ein relativ schlechter Wert. Wenn die gepulste Versorgungsspannung mittels einer LC-Beschaltung ohne zusätzliche Synchronisationssignale generiert wird, spricht man von selbstgetakteten oder asynchronen Schaltungen. Es gilt für alle derartige Oszillatoren, dass die Taktfrequenzen von der Variabilität der Lastkapazitäten beeinflusst werden. In diesem Fall ist die Variabilität weniger von Herstellungstoleranzen als von den verschiedenen signalabhängigen Lastkapazitäten der einzelnen Phasen bedingt.

Die Alternative hierzu ist den verlustbehafteten LC-Schwingkreis geschickt mit der Versorgungsspannung zu verbinden und so die Verluste aufgrund der Widerstände auszugleichen. Man spricht in diesem Zusammenhang von synchroner Generierung des Versorgungstaktes. Das Prinzip wird beispielhaft anhand der Aufgabe, eine einzige Kapazität C_L zu laden, erläutert (siehe Bild 4.146). Während der Phase S_1 wird die große Tankkapazität C_T auf $U_{DD}/2$ geladen und die Lastkapazität C_L entladen. Dann werden die Transistoren M1 und M3 gesperrt ($S_1 = 0$). Der Transistor M2 soll nun leiten ($S_2 = U_{DD}$). Es bildet sich eine gedämpfte Schwingung aus (Evaluierungsintervall). Wenn die Ausgangsspannung ihren maximalen Wert (circa U_{DD}) erreicht, wird der Transistor M2 gesperrt. Von da an ist die Ausgangsspannung konstant (Halteintervall). Das anschließende Rückgewinnungsintervall R wird eingeleitet, in dem der Transistor M2 wieder zu leiten beginnt. Wenn die Ausgangsspannung den minimalen Wert erreicht, werden die Transistoren M1 und M3 wieder

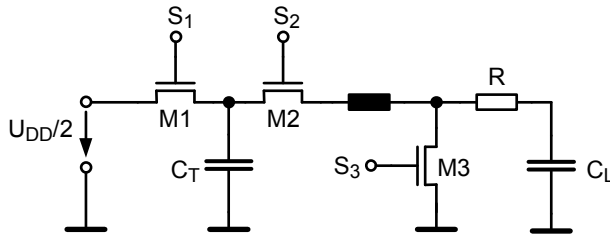


Bild 4.146 Synchrone Generierung des Versorgungstaktes für eine Lastkapazität [221].

leitend geschaltet, während Transistor M2 sperrt. So wird ein neuer Zyklus gestartet (Warteintervall).

Ein synchroner Oszillator für zwei Phasen Φ_0 und Φ_2 ist in Bild 4.147a dargestellt. Dieser Oszillator besteht aus zwei n-Kanal- und zwei p-Kanal-Transistoren, die von den Synchronisationspulsen S_0 und S_2 gesteuert werden. Dieser Oszillator zeichnet sich durch eine hohe Konversionsrate aus. Die Verläufe der Ausgangssignale und der Synchronisationspulse zeigt Bild 4.147b. Im Unterschied zu der Schaltung nach Bild 4.146 wird nun ein Ausgang, zum Beispiel Φ_0 , mit U_{DD} verbunden, wenn die Schwingung dieses Knotens ihr Maximum erreicht. Gleichzeitig weist die Phase Φ_2 ihr Minimum auf, so dass der betroffene Knoten an Masse gelegt werden kann. Periodisch werden die Ausgänge auf- oder entladen und so den Schwingkreisen Energie zugeführt. Für vier Phasen wird ein zweiter Oszillator eingesetzt, dessen Synchronisationssignale um 90° phasenversetzt sind. Trotz des erhöhten Aufwandes für die Erzeugung der Synchronisationspulse weist dieser Oszillatortyp die höchste Konversionsrate auf [6].

Immer wenn die Ausgänge eines Oszillators ihren maximalen beziehungsweise den minimalen Wert aufweisen, werden die Ausgänge geladen. In dieser Zeit wird die Induktivität nicht benötigt. Daher kann man bei zwei Oszillatoren nur eine Induktivität mit dem Wert $2 \cdot L$ einsetzen, indem man ständig diese Induktivität zwischen den beiden Oszillatoren hin- und herschaltet. Leider hat dieser Oszillatortyp nur eine geringe Konversionsrate [6].

In [221] wird anhand eines Finite Impulse Response- (FIR-) Filters, das für eine komplexe Struktur steht, die Vorteile der PFAL im Vergleich zur statischen CMOS-Logik untersucht. Das Filter wurde in einer 120 nm-Technologie implementiert. Ein FIR-Filter ist eine sehr reguläre Schaltung, die aus Addierern und Multiplizieren, die im siebten Kapitel beschrieben werden, aufgebaut wird. Ohne auf Einzelheiten einzugehen, kann folgendes festgestellt werden.

In der statischen CMOS-Logik sehen statische oder pseudo-statische Register und Latches zur Verfügung. Somit kann der Datenfluss mittels eines zentralen Taktes gesteuert werden. Dagegen müssen, da die Versorgungsspannung periodisch gepulst wird, in der adiabatischen Logik die Daten ständig von einer Phase zur nächsten weitergereicht werden. Zwei Wörter mit jeweils n Stellen werden am einfachsten mittels eines Ripple-Carry-Addierer (siehe Kapitel 7.1.4) addiert. Wie bei einer Handrechnung läuft ein Übertragungssignal von der niedrigstwertigen bis zur höchst-

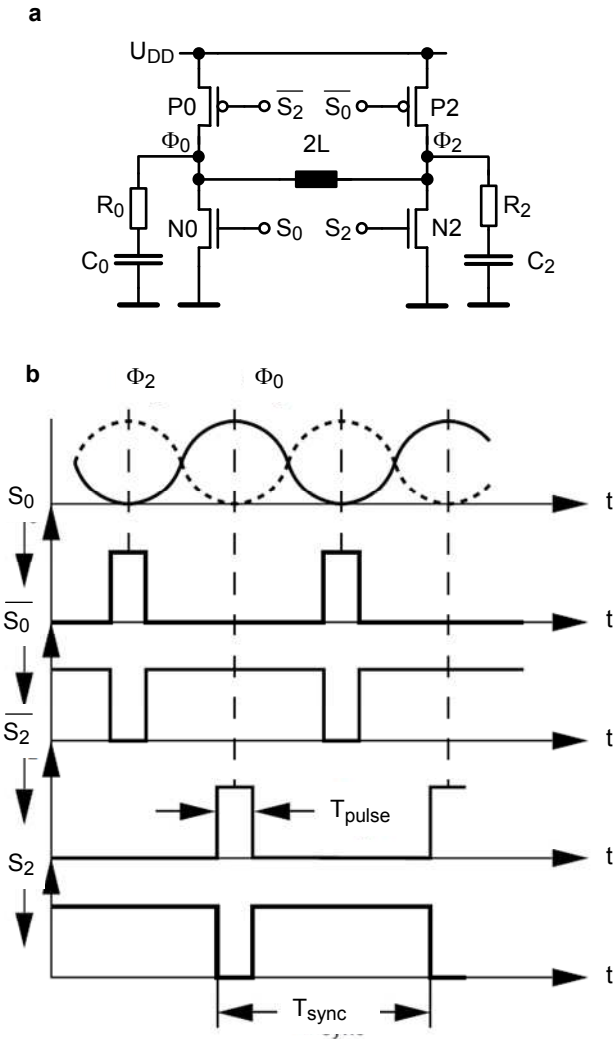


Bild 4.147 2N2P synchroner Oszillator: **a** Schaltbild; **b** Signalverläufe [221].

wertigen Stelle. Erst wenn das Übertragssignal der höchstwertigen Stelle gültig ist, kann dort das Summensignal berechnet werden. Das setzt aber voraus, dass die beiden zu addierenden Bits und das Übertragsbit synchronisiert sind. Es müssen entsprechend Buffer (siehe Bild 4.141) eingefügt werden. Zum Beispiel soll die Laufzeit des Übertragssignals bis zur höchstwertigen Stelle 8 Phasen betragen, dann müssen die beiden Eingangssignale der höchsten Stelle ebenfalls um acht Phasen verzögert werden.

Damit die Summenbits (die Ergebnisbits) alle mit derselben Phase weitergeleitet werden, ist es notwendig entsprechende Verzögerungen in den niederwertigen Stellen vorzusehen. Das Summenbit der niedrigstwertigen Stelle muss also auch um acht Phasen verzögert werden. Bei den höherwertigen Stellen vermindert sich die Anzahl der Verzögerungen für die Summenbits. Die Anzahl der Verzögerungen in den Eingangs- und den Ausgangspfaden ist konstant. Für große Wortbreiten führt dies zu einem unververtretbaren hohen Flächenbedarf. Dies gilt auch dann, wenn die Weiterleitung des Übertragssignals intelligenter organisiert wird. In [221] werden deswegen nur Wortbreiten von maximal 16 Bit untersucht.

In beiden Logikfamilien ist die Verlustenergie proportional zu U_{DD}^2 . In beiden Familien kann „Power Gating“ eingesetzt werden. Jedoch unterscheidet sich die minimal zulässige Versorgungsspannung in beiden Logiken. In der statischen CMOS-Logik gilt: $U_{DD} > U_{Tn}$. Wie Simulationen beweisen, sollte in PFAL am Ende des Evaluierungsintervalls $U_{DD} > 2 \cdot U_{Tn}$ sein. Diese Einschränkung spiegelt sich auch in den Simulationsergebnissen für den Energieverbrauch von PFAL im Vergleich zur statischen CMOS-Logik für das FIR-Filter wieder [33]. Die Simulationsergebnisse sind durch Messungen bestätigt. Leider wurde in den Vergleichen die Energie zur Generierung des Versorgungstaktes beziehungsweise für die Erzeugung und Verteilung der Takte bei der statischen CMOS-Logik nicht berücksichtigt. Bei einer Versorgungsspannung von 1,2 V für beide Logiken ist bei 10 MHz PFAL um den Faktor 11, bei 20 MHz um 10,8 und bei 100 MHz um den Faktor 8 besser. Der Vorteil für PFAL vermindert sich auf die Faktoren 4,5, 4,6 beziehungsweise 3,3 bei $U_{DD} = 0,8 \text{ V}$.

Insgesamt ist festzustellen, dass die adiabatische Logik, insbesondere PFAL, das Potential hat, bei niedrigen Durchsatzraten, das heißt niedrigen Taktfrequenzen, Logikschaltungen mit extrem geringer Verlustenergie zu verwirklichen. Jedoch fehlen noch Aussagen, bei welchen Anwendungen PFAL welche genau bezifferbaren Vorteile und Nachteile aufweist. Zum Beispiel muss die zusätzliche Fläche für PFAL genau angegeben werden. Weiter ist zu bedenken, dass bei Taktfrequenzen zwischen 10 und 100 MHz auch die statische CMOS-Logik wenig Energie verbraucht. Bei welchen Anwendungen zahlt sich die zusätzliche Energieeinsparung im Vergleich zur zusätzlichen Fläche aus? Wird zum Beispiel die Zeit zwischen zwei Aufladevorgängen von Mobilfunkgeräten merkbar verringert? Eine mögliche Anwendung für PFAL könnten Sensoren sein, die aus der Umgebung ihre Energie gewinnen (energy harvesting) und somit nur eine geringe Energie für die Logikschaltungen zur Verfügung stellen. Eine weitere wichtige Anwendung könnten RFID-Etiketten sein.

Nachdem die wichtigsten Logikfamilien besprochen wurden, werden im nächsten Kapitel die wichtigsten Taktsysteme für konventionelle Logiken sowie die Taktgenerierung und Taktverteilung behandelt.

Kapitel 5

Takte

Damit an Gatter Eingangssignale die korrekten Ausgangssignale verursachen, müssen die Signale räumlich und zeitlich richtig zusammentreffen. Der Entwurf einer komplexen Schaltung ist auch deswegen schwierig, weil sichergestellt werden muss, dass Millionen von Signalen an den Stellen und zu den Zeiten ankommen, an denen sie geplant sind. Mit der Verdrahtung wird die örtliche Zuordnung sicher gestellt.

In einer digitalen Schaltung werden den zeitkontinuierlichen Signalverläufen logische Werte zugeordnet. Es müssen Zeitfenster definiert werden, innerhalb derer die analogen Signale gültig sind, das heißt als digitale Werte interpretiert werden dürfen.

Wenn Signale elektrische Netzwerke durchlaufen unterliegen sie Verzögerungen, die aufgrund von Toleranzen, nicht genau vorher bestimmt werden können. Je nach Signalpfad addieren sich die einzelnen Laufzeiten zu unterschiedlichen Beträgen. Da aber die Signale trotzdem zu vorgegebenen Zeitfenstern zusammen wirken sollen, werden Methoden benötigt, die die zeitlichen Unbestimmtheiten ausgleichen.

In asynchronen Schaltungen können Signalwechsel zu jeder beliebigen Zeit auftreten. Die Vorgänge werden von keinem zentralen Takt gesteuert. Das Design einer asynchronen Schaltung ist schwierig und gewagt. Es bedarf einer sorgfältigen Zeitanalyse des vorliegenden Netzwerkes, um unter allen Umständen zu gewährleisten, dass nur die gewünschten Signale miteinander agieren. Die Abfolge der logischen Ereignisse ist von der Struktur des Transistornetzwerkes und daher von den relativen Signalverzögerungen in den einzelnen Pfaden bestimmt. Wegen der hohen Fehleranfälligkeit dieser Entwürfe wird von derartigen Schaltungen abgeraten.

Mit dem Prinzip der „selbstgetakteten Schaltungen“ („Self-timed Circuits“), können robuste und zuverlässige asynchrone Schaltungen realisiert werden. Mittels eines Handshake-Protokolls wird die sichere Weiterleitung von Daten von Modul zu Modul gewährleistet. Wieder wird auf ein zentrales Taktsignal verzichtet. Ein weiterer Vorteil derartiger Schaltungen ist, dass die Logikoperationen mit der von den einzelnen Schaltungen natürlich vorgegebenen Geschwindigkeit ausgeführt werden. Allerdings führt die Ausführung der Handshake-Protokolle zu einer wesentlich erhöhten Komplexität.

Eine andere Ausgleichsmethode beruht darauf, die Datensignale periodisch anzuhalten und die jeweiligen logischen Werte in Register oder Latches zwischenspeichern. Diese Methode, die einen zentralen Takt voraussetzt, gleicht die Unbestimmtheiten aus, indem die unterschiedlichen Signallaufzeiten an den ungünstigsten Fall angeglichen werden. Fast alle bis heute entworfen integrierten digitalen Schaltungen wurden mit einem zentralen Takt ausgestattet. Die Ausnahme ist ein ARM-Prozessor. Die Verwendung des zentralen Takts, der den Datenfluss auf einem Chip steuert und synchronisiert, stellt eine Einschränkung der Entwurfsfreiheit dar. Der große Vorteil der synchronen Schaltungen ist, dass sie leichter entworfen werden können und im Vergleich zu „selbstgetakteten Schaltungen“ trotz der Aufwände für die Takterzeugung und der Taktverteilung sowie der zusätzlichen Register und Latches weniger Chipfläche benötigen.

In diesem Kapitel wird zunächst der ideale Ein-Phasen-Takt behandelt. Es werden Randbedingungen abgeleitet, die eingehalten werden müssen, um zu gewährleisten, dass die digitalen Schaltungen korrekt arbeiten. Sodann werden Nichtidealitäten, wie Taktversatz und Jitter besprochen. Für bestimmte Logikblöcke, mit denen Funktionen der digitalen Signalverarbeitung ausgeführt werden, sind komplementäre Zwei-Phasen-Taktsysteme vorteilhaft. Daher werden ebenfalls komplementäre Zwei-Phasen-Taktsysteme erläutert. Dann werden die beiden Taktsysteme verglichen. Daran schließt sich ein Abschnitt über die Erzeugung der verschiedenen Taktsysteme an. Weiter wird erklärt, wie die Takte auf den Chips verteilt werden.

5.1 Ein-Phasen-Taktsysteme

In synchronen Schaltungen scheint es auf den ersten Blick am einfachsten zu sein, nur ein einziges Taktsignal über den gesamten Chip zu verteilen. Damit die zeitliche Zuordnung der Datensignale gewahrt ist, müssen Randbedingungen eingehalten werden. Am kritischsten für die Einhaltung der Zuordnung der Signale sind rückgekoppelte (sequentielle) Schaltungen, wie sie exemplarisch in Bild 5.1 für ein Ein-Phasen-Taktsystem mit Register unter der Annahme von idealen Taktsignalen dargestellt sind. Zunächst werden nur Register betrachtet. Später werden auch Latches berücksichtigt. Ein ideales Taktsystem bedeutet, dass die Taktsignale an jedem Register identisch sind mit dem zentralen Takt, von dem sie abgeleitet werden. Damit logische Schaltungen eindeutig vorher bestimmbar sind, müssen in sich geschlossene (rückgekoppelte) Datenpfade mittels getakteter Register unterbrochen werden. Unerwünschte Oszillationen werden somit vermieden. Es müssen zwei Fälle unterschieden werden. Einmal soll die betrachtete kombinatorische Logik in Bild 5.1 eine hohe Verarbeitungstiefe haben, das heißt eine große Gatterlaufzeit aufweisen. Zum anderen sei die Gatterlaufzeit der betrachteten kombinatorischen Logik minimal.

Bei einer minimalen logischen Tiefe der kombinatorischen Logik, dürfen während einer bestimmten Taktperiode T die rückgekoppelten Signale nicht zweimal an den Eingang der kombinatorischen Schaltung gelangen. Auch schnelle Signale am Ausgang der kombinatorischen Logik, die durch mehrfaches Schalten oder

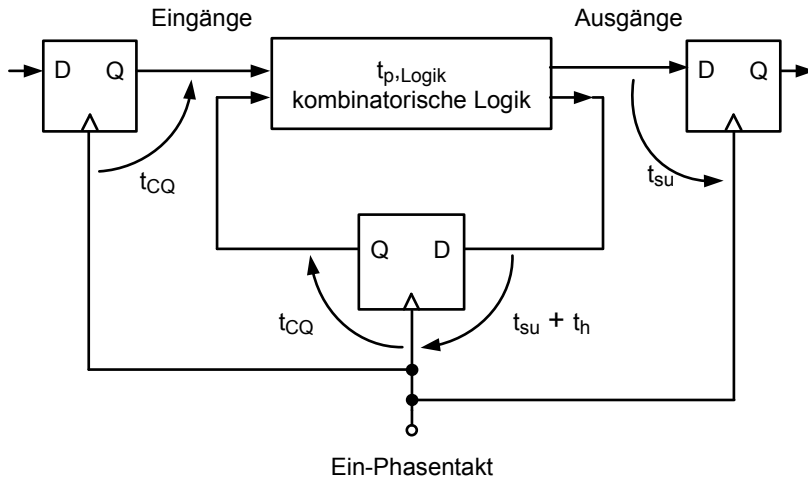


Bild 5.1 Zustandsautomat mit flankengesteuerten Register.

durch Störungen verursacht sein können, dürfen nicht zurückgekoppelt werden. Man muss, zum Beispiel wegen unterschiedlicher Laufzeiten der Taktsignale zu den einzelnen Registern, damit rechnen, dass das Register im Rückkoppelpfad während der gesamten Hold-Zeit t_h durchlässig ist. Mit der positiven oder der negativen Flanke des Taktsignals beginnt die Berechnung der neuen Ausgangssignale. Damit Oszillationen vermieden werden, müssen die Laufzeiten der rückgekoppelten Datensignale sowie die Laufzeiten der möglichen Störsignale auf jeden Fall größer sein als t_h

$$t_{CQ, \text{Register}, \min} + t_{p, \text{Logik}, \min} \geq t_h \quad . \quad (5.1)$$

Wie für die Laufzeit der kombinatorischen Logik $t_{p, \text{Logik}, \min}$, wird auch für das Register eine minimale Laufzeit festgelegt.

Andererseits darf die maximale Laufzeit $t_{p, \text{Logik}, \max}$ durch die kombinatorische Logik nicht größer sein als die zur Verfügung stehende Taktperiode T minus der Set-up-Zeit t_{su} des Registers im Rückkoppelpfad und dessen maximaler Laufzeit $t_{CQ, \text{Register}, \max}$

$$T > t_{p, \text{Logik}, \max} + t_{CQ, \text{Register}, \max} + t_{su} \quad . \quad (5.2)$$

Es muss also eine zweiseitige Randbedingung eingehalten werden. Die langsamsten Signale müssen schnell genug sein. Während die schnellsten Signale langsam genug sein müssen.

Nach den Überlegungen mit idealen Taktsignalen werden nun realistische Taktsignale berücksichtigt.

5.1.1 Clock Skew (Taktversatz)

Die räumliche Variation der Ankunftszeiten von Taktsignalen an bestimmten Orten eines Chips wird mit „Clock Skew“ (Taktversatz) bezeichnet. Der Taktversatz zwischen zwei Punkten i und j ergibt sich aus

$$\delta(i, j) = t_i - t_j \quad (5.3)$$

$t_{i,j}$ Zeitabstände der fallenden oder der ansteigenden Flanken an den Orten i und j in Bezug auf die Flanken des zentralen Taktes.

Der Taktversatz wird durch statische Fehlanpassung in den einzelnen Taktpfaden verursacht. Darin sind auch die unterschiedlichen Lasten, mit denen die Pfade abgeschlossen sind, eingeschlossen. Dies kann durch Herstellungstoleranzen, lokal unterschiedlichen Erwärmungen oder von lokal langsam veränderlichen Versorgungsspannungen verursacht sein. Per Definition ist der Taktversatz von Periode zu Periode konstant. Wenn der Takt 2 in einer Periode um δ gegenüber dem Takt 1 verzögert ist, dann gilt dies auch für die nächsten Perioden. Der Taktversatz beeinträchtigt nicht die Taktperiode, sondern nur die Phasenlage. Die Testschaltung nach Bild 5.1, die nur ein Register enthält, ist daher nicht geeignet um die Auswirkung des Taktversatzes zu untersuchen. Es müssen mindestens zwei benachbarte Register betrachtet werden.

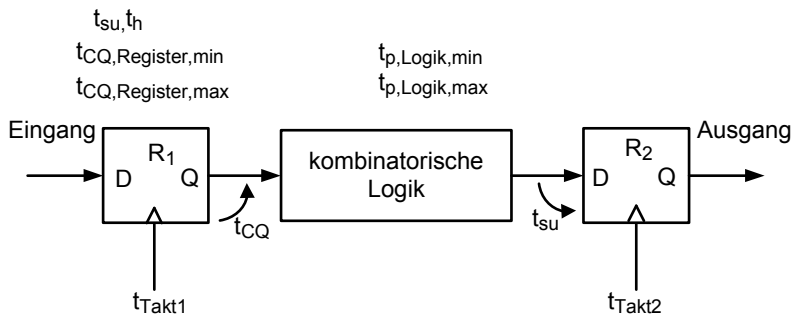


Bild 5.2 Einfacher Datenpfad mit zwei Register und einen Ein-Phasen-Takt mit Taktversatz. $t_{\text{Takt2}} = t_{\text{Takt1}} + \delta$, $\delta > 0$ da das Daten- und Taktsignal die gleiche Ausbreitungsrichtung haben.

Je nachdem, ob die Ausbreitungsrichtungen der Datensignale und des Taktsignals gleich oder gegenläufig sind, ergeben sich positive oder negative Taktversätze. In Bild 5.2, ist eine kombinatorische Logik mit den Taktsignalen dargestellt. Da das Datensignal und das Taktsignal sich in die gleiche Richtung ausbreiten gilt: $\delta > 0$.

Es müssen wieder zwei Fälle unterschieden werden. Zunächst werden lange Gatterlaufzeiten für die Logik $t_{p, \text{Logik}, \text{max}}$ und für das Register $t_{p, \text{Register}, \text{max}}$ angenommen. Wie Bild 5.3 zeigt, wird das neue eingehende Signal mit der Flanke 1 des Taktsignals 1 bewertet. Das Signal läuft durch die kombinatorische Logik und wird

mit der Flanke 4 des Taktsignals 2 abgetastet. Bei einem positiven Taktversatz δ erhöht sich die Zeit, die für die Laufzeit des Datensignals zur Verfügung steht. Es gilt

$$T + \delta \geq t_{CQ,Register,max} + t_{p,Logik,max} + t_{su} \quad (5.4)$$

Ein positiver Taktversatz verlängert die für die gewünschte Berechnung zur Verfügung stehende Zeit. Bei gegebener kombinatorischen Logik könnte man die Taktperiode verkürzen und somit die Taktfrequenz und damit den Datendurchsatz vergrößern. Die Bestimmung der maximalen Gatterlaufzeiten muss, wegen deren Abhängigkeit von den Eingangsdaten und wegen den Herstellungstoleranzen und der Variabilität der Versorgungsspannung und der Temperatur, sehr sorgfältig durchgeführt werden.

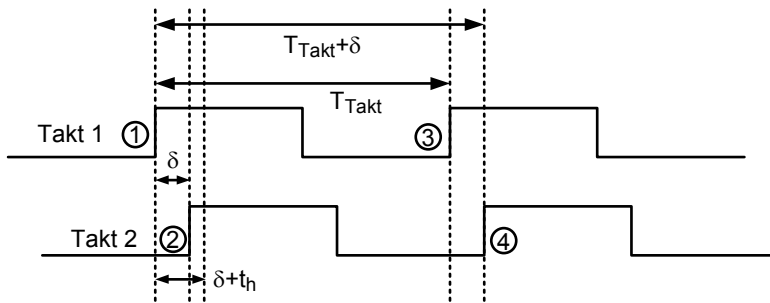


Bild 5.3 Taktsignale mit positiven Taktversatz δ [179].

Zu dem Gewinn an Datendurchsatz muss zusätzlich festgestellt werden, dass in rückgekoppelten Schaltungen nicht gesichert ist, dass die Datensignale und das Taktsignal immer in die gleiche Richtung laufen. Weiter ist zu bemerken, dass ein erhöhter Taktversatz auch die Gefahr von „Races“ erhöht, wie es im nächsten Abschnitt gezeigt wird. Dadurch wird die zulässige Erhöhung der Taktfrequenz begrenzt.

Es müssen auch hier die schnellsten Signale $t_{CQ,Register,min}$ und $t_{p,Logik,min}$, auch wenn sie durch Störsignale oder mittels „falschen Schaltens“ verursacht werden, in die Betrachtung einbezogen werden. Es wird wieder angenommen, dass das eingehende Signal mit der Flanke 1 in Bild 5.3 abgetastet wird. Dieser Wert läuft durch die kombinatorische Logik und das Ausgangssignal sollte vor der Flanke 4 des Taktsignals 2 gültig sein. Jedoch, wenn die minimalen Gatterverzögerungszeiten zu klein sind, kann es vorkommen, dass das Ausgangssignal, das vom Register R2 bewertet wird, bereits seinen Wert vor der steigenden Flanke 2 des Taktsignals 2 ändert. Die Zuordnung der Signale wäre in diesem Fall gestört. Um „Races“ zu vermeiden, muss daher sicher gestellt werden, dass ein Signalwechsel am Ausgang der kombinatorischen Logik erst nach der Hold-Zeit t_h des Registers 2 erfolgt. Damit ergibt sich folgende Randbedingung

$$\delta + t_h < t_{CQ,Register,min} + t_{p,Logik,min} \quad (5.5)$$

Ist die Randbedingung nach Gleichung 5.5 nicht erfüllt, nützt es nichts die Taktperiode zu ändern. Die Fehlfunktion der Schaltung ist unabhängig von der Taktfrequenz.

Wenn das Datensignal und das Taktsignal, wie es in Bild 5.4 dargestellt ist, in entgegengesetzte Richtungen laufen, wird zwar der Datendurchsatz nach Gleichung 5.4 verringert. Aber es können keine „Race“-Probleme auftreten, da die steigende Flanke des Taktsignals 2 immer vor der steigenden Flanke des Taktsignals 1 liegt. Mit der Flanke 1 werden die Eingangsdaten übernommen. Es dauert relativ lange, bis das Register 2 mit der steigenden Flanke neue Daten übernimmt. Lässt man die Daten- und das Taktsignal in entgegengesetzte Richtungen laufen, werden Desaster aufgrund von „Races“ auf Kosten des erzielbaren Datendurchsatzes vermieden.

Im Allgemeinen treten, wie in rückgekoppelten Schaltungen, Datenflüsse in beiden Richtungen auf. Es ist daher nicht möglich Schaltungen nur mit negativem Taktversatz zu realisieren. Daher muss nach den schlechtesten Bedingungen für positiven Taktversatz gesucht werden und die Schaltungen entsprechend ausgelegt werden.

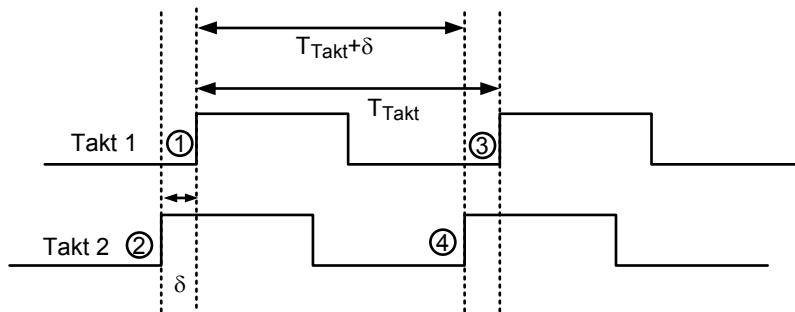


Bild 5.4 Taktsignale mit negativem Taktversatz [179].

5.1.2 Jitter

Neben dem Taktversatz muss auch der Jitter (Flackern) betrachtet werden. Unter Jitter versteht man die statistischen zeitlichen Schwankungen der Periode des Taktsignals an einem bestimmten Ort auf dem Chip. Von Zyklus zu Zyklus kann die Taktperiode entweder größer oder kleiner sein als der durchschnittliche Wert T_0 . Man misst die Zeitpunkte t_n der Nulldurchgänge des Taktsignals. Man unterscheidet zwischen Perioden-Jitter und akkumuliertem Jitter. Beim Perioden-Jitter j_n oder dem Flanke zu Flanke Jitter, wie er auch genannt wird, werden die Nulldurchgänge zu Beginn und am Ende einer Taktperiode gemessen. Es gilt

$$j_n := t_{n+1} - t_n - T_0 \quad (5.6)$$

j_n	Jitter
t_n	Zeitpunkt eines Nulldurchgangs
T_0	durchschnittliche Periodendauer.

Beim akkumulierten Jitter misst man die Abweichungen der Nulldurchgänge zwischen k Perioden

$$j_n(kT_0) := t_{n+k} - t_n - kT_0 \quad (5.7)$$

Wenn die Zahl k der Perioden, über die gemessen wird, gegen unendlich geht, spricht man vom langfristigen Jitter (long-term Jitter). Tatsächlich wird die Varianz σ^2 beziehungsweise die Standardabweichung σ_{j_n} gemessen. Der Jitter ist im Spektralbereich mit dem Phasenrauschen verknüpft.

Zunächst soll das Taktsignal mittels eines Inverters erzeugt werden, der periodisch von einem idealen Taktsignal angesteuert wird. Weiter soll jeder $0 \rightarrow 1$ oder $1 \rightarrow 0$ Wechsel von einem rauscharmen logischen Zustand aus starten. Mit p-Kanal-Transistoren werden die angeschlossenen Lastkapazitäten aufgeladen und mit n-Kanal-Transistoren wieder entladen. Jitter entsteht, weil die Lade- beziehungsweise die Entladeströme Rauschanteile enthalten und somit die Lastkapazitäten zu schnell oder zu langsam auf- oder entladen werden. Die Unbestimmtheit der Zeitpunkte, an denen die Kapazitäten auf $U_{DD}/2$ (das ist der Nullpunkt) geladen sind, wird als Jitter bezeichnet. Da die Signalwechsel von rauscharmen Zuständen starten und wegen des idealen Eingangssignals, sind die zeitlichen Unbestimmtheiten der verschiedenen Signalwechseln nicht korreliert. Es genügt, nur den Perioden-Jitter zu messen. Da Korrelationen ausgeschlossen sind, errechnet sich die Varianz des Perioden-Jitters aus der Summe der einzelnen Varianzen zu Beginn der und am Ende der Periode, also aus zweimal der Varianz eines Signalwechsels.

Tatsächlich hängt die Verzögerungszeit von Treiberschaltungen stark von der Versorgungsspannung U_{DD} ab. Da, wie in Kapitel 3.3 gezeigt wird, die Versorgungsspannung schnellen Änderungen unterliegen kann, ändert sich möglicherweise die Gatterlaufzeit der Treiber innerhalb einer Taktperiode. Dies ist in modernen Prozessoren die wesentliche Ursache für Jitter. PLL-Schaltungen reagieren relativ langsam, da sie eine geringe Bandbreite aufweisen. Somit können die schnellen Taktänderungen aufgrund von Versorgungsspannungsschwankungen von Phasenregelschleifen nicht ausgeglichen werden. Weitere Ursachen für Jitter sind schnelle Änderungen der Lastkapazitäten und kapazitive Koppelungen zwischen benachbarten Leitungen. Für weitere Informationen wird der Leser auf die Literaturstelle [1] verwiesen.

5.1.3 Gemeinsame Wirkung von Taktversatz und Jitter

In Bild 5.5 ist die gemeinsame Wirkung von positiven Taktversatz $\delta > 0$ und Jitter für flankengesteuerte Register angegeben. Im Vergleich zu Bild 5.3, das nur den positiven Taktversatz enthält, ist nun die maximal zur Verfügung stehende Rechenzeit um $2 \cdot \sigma_{j_n}$ verringert. Die steigende Flanke 3 des Taktsignals 1 kann um die Standardabweichung σ_{j_n} verzögert sein, während die steigende Flanke 10 des Taktsignals 2 im ungünstigen Fall um σ_{j_n} zu früh kommt. Es gilt für die maximal zur Verfügung stehende Rechenzeit, wenn man annimmt, dass der Jitter der betrachteten Taktflanken nicht korreliert ist,

$$T + \delta - 2 \cdot \sigma_{j_n} \geq t_{CQ,Register,max} + t_{p,Logik,max} + t_{su} \quad (5.8)$$

Der Jitter mindert die Wirkung des positiven Taktversatzes. Die Anforderung für schnelle Ausgangssignale der kombinatorischen Logik ergibt sich aus der Gleichung 5.5 und der Überlegung, dass die positive Flanke 1 des Taktes 1 in Bild 5.5 um σ_{j_n} zu früh kommt, während die Flanke 6 von Takt 2 um σ_{j_n} zu spät eintreffen soll. Für $\delta > 0$ gilt

$$\delta + t_h + 2 \cdot \sigma_{j_n} < t_{CQ,Register,min} + t_{p,Logik,min} \quad (5.9)$$

Aus der eben durchgeführten Überlegung und aus Bild 5.4 folgt für negativen Takt-

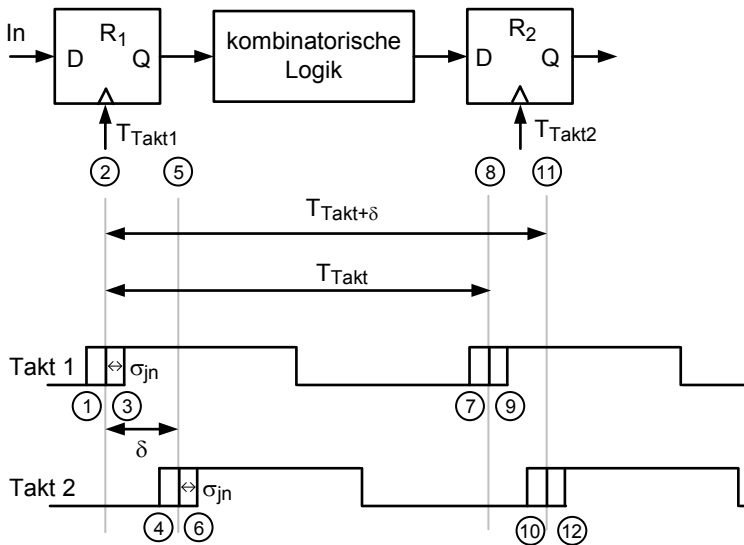


Bild 5.5 Einfacher Datenpfad mit zwei Registern und einem Ein-Phasen-Takt. Die gezeichneten Taktsignale enthalten positiven Taktversatz und Jitter [179].

versatz ($\delta < 0$), dass in die Gleichung 5.8 für die maximal zur Verfügung stehende

Rechenzeit nur der negative Wert für δ eingesetzt werden muss. Wenn der Betrag von δ größer ist als $2 \cdot \sigma_{j_n}$, bleibt die Aussage, dass bei negativen δ die Schaltung keine „Races“ aufweist, erhalten.

5.2 Nicht überlappende, komplementäre Zwei-Phasen-Taktsysteme

Auf den ersten Blick sehen Ein-Phasen-Taktsysteme sehr vorteilhaft aus, aber sie haben zwei Nachteile. Zum einen gibt es ein starres Schema, dass nicht variiert werden kann. Zum anderen müssen zweiseitige Randbedingungen eingehalten werden. Deswegen hat man in der Vergangenheit auch Zwei-Phasen-Taktsysteme mit nicht überlappenden komplementären Taktphasen ($\Phi_M \cdot \Phi_S = 0$, $\overline{\Phi}_M \cdot \overline{\Phi}_S = 0$) nach Bild 4.50 verwendet. Nicht überlappend heißt, dass auch bei Taktversatz und Jitter nicht zur gleichen Zeit die positiven und die invertierten Taktphasen ein von Null verschiedenes Potential aufweisen dürfen.

Anhand eines einfachen Zustandsautomaten nach Bild 5.6 wird nun überprüft, ob sich die zweiseitige Randbedingung nach den Gleichungen 5.1 und 5.2 mittels eines Registers nach Bild 4.58 für ein Zwei-Phasen-Taktsystem vereinfachen lässt. Frühestens mit der steigenden Flanke des Taktsignals Φ_M kann ein neuer Zyklus gestartet werden. Da die beiden Taktphasen definitionsgemäß nicht überlappen, wird jedes noch so schnelle Signal, das gültig oder ungültig sein kann, gehindert direkt von den Ausgängen der kombinatorischen Schaltung zu den Eingängen zu gelangen. Deswegen muss nur die Randbedingung nach Gleichung 5.2 für die langsamen Signale, das heißt für große Gatterlaufzeiten für die kombinatorische Logik berücksichtigt werden. Dies stellt eine Vereinfachung des Entwurfsprozesses dar.

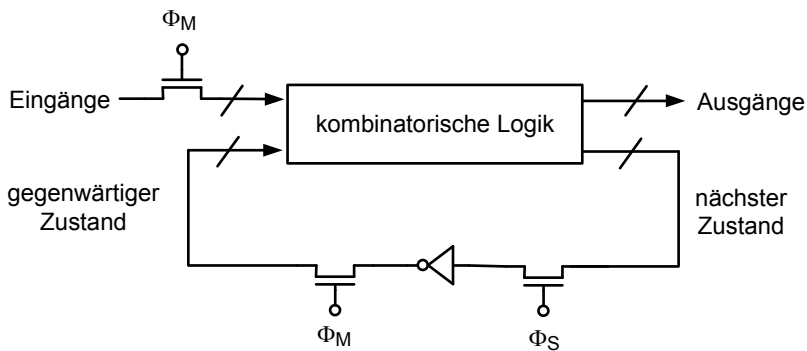


Bild 5.6 Sequentielle Logik mit Zwei-Phasen-Taktsystem.

Bisher wurden Latches nur als Teile von Registern betrachtet. Im einfachsten Fall besteht ein Latch aus einem Transmission-Gatter und einem Inverter. Kann man den

Inverter durch eine statische kombinatorische Schaltung ersetzen? Anhand von Bild 5.7 wird dieser Frage nachgegangen.

Zunächst ist festzustellen, dass die Daten der kombinatorischen Logikblöcke spätestens eine Set-up-Zeit vor der fallenden Flanke des nachfolgenden Latches gültig sein müssen. Um „Races“ zu vermeiden, oder weil die Taktflanken verzögert sein können, muss ebenfalls eine Hold-Zeit eingehalten werden. Die Gatterlaufzeiten der kombinatorischen Blöcke sind nicht einheitlich. Manche Blöcke haben eine kürzere und andere eine längere Laufzeit. Arbeitet man nur mit Registern, ist man gezwungen, sich an die langsamsten Gatterlaufzeiten anzupassen.

Jedoch mit der Schaltung nach Bild 5.7a hat man eine größere Flexibilität, da während den Zeiten für $\Phi_{M,S} = 1$ die entsprechenden Latches durchlässig sind. Zum Beispiel muss der Logikblock 0 spätestens eine Set-up-Zeit vor der fallenden Flanke des Taktes Φ_M gültige Werte $d0$ zur Verfügung stellen. Da jedoch die Gatterlaufzeit des Blockes 0 kürzer ist, kann, wie es im Bild 5.7c nachgewiesen wird, der nachfolgende Logikblock 1 früher mit der Berechnung seines Ausgangswertes beginnen. Zu dieser Zeit ist das Transmission-Gatter T1 transparent. Der Logikblock 1 kann sich vom Logikblock 0 Zeit borgen (Slack borrowing [14]). Dieser Vorgang erfolgt automatisch. Die Daten $d2$ müssen spätestens eine Set-up-Zeit vor der fallenden Flanke des Taktes Φ_S gültig sein. Die zur Verfügung stehende Zeitspanne soll vollständig vom Logikblock 1 ausgenutzt werden, so dass der Logikblock 2 erst mit der fallenden Flanke des Taktes Φ_S mit der gültigen Berechnung seines Ausgangswertes $d4$ beginnen kann. Das Bild 5.7 zeigt auch den zugrunde liegenden nicht überlappenden Zwei-Phasen-Takt. Wegen der besseren Übersichtlichkeit werden die komplementären Taktphasen nicht gezeigt. Weiter veranschaulicht dieses Bild, wann die entsprechenden Daten gültig werden und wie lange sie aufgrund der Hold-Zeiten gültig bleiben müssen.

Auch wenn kombinatorische Logikblöcke zwischen den Latches geschaltet werden, bleibt die Aussage korrekt, dass nur eine einseitige Randbedingung eingehalten werden muss. Da sich definitionsgemäß die entsprechenden Taktphasen auch bei Taktversatz und Jitter nicht überlappen sollen. Die Randbedingung für große Laufzeiten der kombinatorischen Logik nach Gleichung 5.8 kann sinngemäß angewendet werden. Sinngemäß heißt, dass T nun die Zeit zwischen den fallenden Flanken von Φ_M und Φ_S ist.

Werden statt Latches flankengesteuerte Register eingesetzt, muss man, um einen ähnlichen Effekt wie „Slack borrowing“ zu erzielen, nach einer kombinatorischen Logik mit zu großer Gatterlaufzeit die entsprechenden nachfolgenden Taktflanken verzögern (Time stealing [14]). Im Gegensatz zu „Slack borrowing“ sind für „Time stealing“ Eingriffe in den Design nötig.

Da die Taktphasen nicht überlappen sollen, müssen Totzeiten oder Nichtüberlappzeiten eingehalten werden. Bild 5.8 enthält die Definition der Überlappzeiten. Die n-Kanal-Transistoren von pseudo-dynamischen Latches können zu leiten beginnen, wenn das Taktsignal die Einsatzspannung U_{Tn} überschreitet. Dagegen können die p-Kanal-Transistoren zu leiten beginnen, wenn das anliegende Taktsignal kleiner ist als $U_{DD} - |U_{Tp}|$. Daraus ergeben sich die Totzeiten. Wenn die Gatterlaufzeit

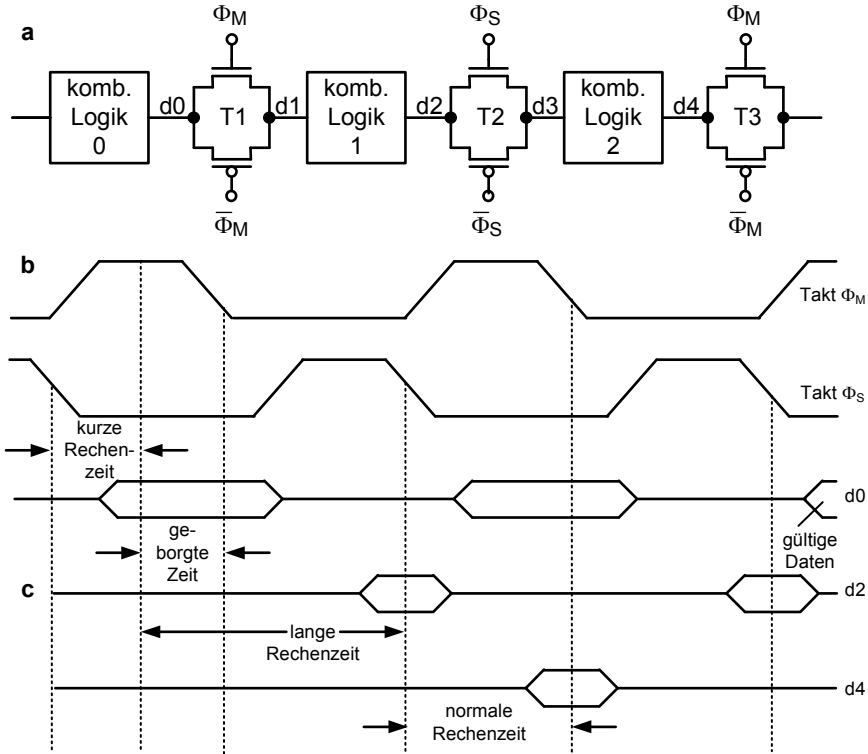


Bild 5.7 Ausborgen von Rechenzeit für eine Latch-basierte statische Logik: **a** Blockschaltbild; **b** Zeitdiagramm mit zwei nicht überlappenden Taktphasen; **c** Ausbreitung der Datensignale.

der kombinatorischen Logik zwischen den Latches kleiner ist als die Totzeit, wird die Rechnung angehalten.

Man kann in Bild 5.7 an Stelle des Zwei-Phasen-Taktes auch einen komplementären Ein-Phasen-Takt verwenden. Dazu braucht man nur Φ_S durch $\overline{\Phi_S}$ zu ersetzen. Allerdings handelt man sich dadurch auch die Probleme eines Ein-Phasen-Taktes ein. Für beide Taktsysteme stellt die Schaltung nach Bild 5.7 ein „Pipeline“-System dar. Mit jeder neuen Taktperiode kann ein neues Datensignal in die Kette eingegeben werden. Es muss nicht gewartet werden bis alle Logikfunktionen von dem Vorläufer durchlaufen sind (siehe Kapitel 7.3.2).

5.3 Vergleich von Ein-Phasen- und Zwei-Phasen-Taktsystemen

In [34] wird der komplementäre Zwei-Phasen-Takt gänzlich abgelehnt. Das wesentliche Argument hierfür ist der hohe Aufwand für die Erzeugung und Verteilung

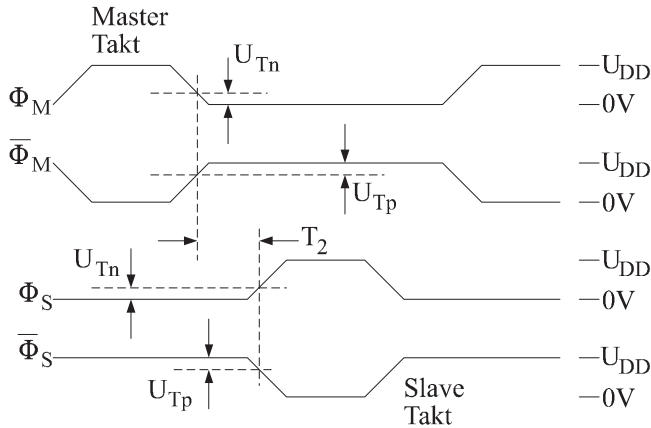


Bild 5.8 Definition der Nichtüberlappzeit T_2 für ein komplementäres nicht überlappendes Zwei-Phasen-Taktsystem (Pseudo-Vier-Phasen-Takt).

der vier Taktphasen. Deswegen werden integrierte digitale Schaltungen, die mit automatischen Entwurfswerkzeugen (CAD tools) auf der Basis von Standardzellen-Bibliotheken oder Gate Arrays entworfen werden, prinzipiell mit Ein-Phasen-Taktsystemen ausgestattet. Die Begriffe Standardzellen-Bibliotheken und Gate Arrays werden in Kapitel 1 erläutert.

Dies ist jedoch nicht die ganze Wahrheit. In Pentium-IV Mikroprozessoren der Intel Corporation werden neben einem zentralen Ein-Phasen-Takt lokal auch Zwei-Phasen-Takte und Takte mit geringen Pulsweiten eingesetzt. Die zuletzt genannten Takte werden für dynamische Logikschaltungen gebraucht. Nicht überlappende Pseudo-Vier-Phasen-Takte werden also als nützlich eingeschätzt. Ob ein Ein-Phasen-Taktsystem vorteilhafter ist als ein komplementäres Zwei-Phasen-Taktsystem bedarf einer sorgfältigen Analyse, in die alle relevanten Dinge eingehen müssen.

Zum Beispiel werden in einem Ein-Phasen-Taktsystem aufwendige Register eingesetzt. In die Berechnung der Verlustleistung dürfen nicht nur die Transistoren eingehen, die direkt mit dem Taktsignal verbunden sind, sondern es muss zusätzlich auch die Verlustleistung des gesamten Registers betrachtet werden. In einer sorgfältigen Analyse sollten auch die, aufgrund von „Elektromigration“ Effekten, notwendigen Weiten von Leiterbahnen, mit denen die Taktsignale verteilt werden, einbezogen werden.

In der digitalen Signalverarbeitung kommt es häufig vor, dass ein kontinuierlicher Datenstrom immer demselben Algorithmus unterworfen wird. Von Daten abhängige Sprünge treten nicht oder nur selten auf. Ist eine maximale Durchsatzrate, das heißt Taktfrequenz, oder eine möglichst niedrige Verlustleistung erforderlich, wird die erforderliche Logik optimal mit Latches unterteilt (Pipelining, Bild 5.7). Für eine derartige Logik hat sich das komplementäre Zwei-Phasen-Taktsystem in der Praxis gegenüber einem Ein-Phasen-Taktsystem als günstiger erwiesen. Es wurde bereits erwähnt, dass es vorteilhaft sein kann, zentral einen Ein-Phasen-Takt zu

verteilen und aus diesem lokal für bestimmte Module einen Zwei-Phasen-Takt abzuleiten.

In den nächsten Kapiteln wird erläutert, wie die verschiedenen Taktsysteme erzeugt werden.

5.4 Erzeugung der Takte

5.4.1 Erzeugung von Ein-Phasen-Takten

Meistens gibt es in den Systemen, in denen die integrierten Schaltungen eingesetzt werden, einen zentralen Ein-Phasen-Takt. Mittels Kristalloszillatoren können sehr genaue Taktsignale mit geringem Jitter im Frequenzbereich von einigen zehn Megahertz bis zu zweihundert Megahertz außerhalb der Chips generiert werden. Daher müssen für digitale Schaltungen, die mit höheren Taktfrequenzen arbeiten, wie zum Beispiel Mikroprozessoren, auf den Chips diese Taktsignale erzeugt werden. Mit Phasenregelschleifen (Phase Lock Loops, PLL, siehe Bild 5.9) gelingt dies.

Eine andere und gleichermaßen wichtige Funktion der PLL ist die Synchronisation des Datenaustauschs zwischen den Chips, wie es in Bild 5.9 auf der rechten Seite dargestellt ist. Ein Referenztakt wird parallel zu den Daten übertragen. Die Kommunikation zwischen den Chips weist oft eine geringere Taktfrequenz auf, als diejenige, mit der die digitalen Systeme betrieben werden. Daher ist der Referenztakt im Vergleich zum Systemtakt reduziert aber in Phase mit ihm. Im Chip 2 dient der Referenztakt zur Synchronisation der Eingangs-Flip-Flops. Im Fall von weiten Datenbussen besteht eine große kapazitive Belastung, die den Einsatz eines Takttreibers bedingt. Dieser wiederum hat eine Gatterlaufzeit, die einen Versatz zwischen den Daten und dem Taktsignal verursacht. Eine PLL justiert den Ausgang des Takttreibers im Hinblick auf die Daten. Das heißt die PLL wirkt dem Versatz entgegen. Mit einer PLL kann auch der Takt für das digitale System des zweiten Chips generiert werden.

Wenn die Daten, die zwischen den Chips ausgetauscht werden sollen, geeignet kodiert sind, kann auf die Übertragung eines Taktsignals zwischen den Chips verzichtet werden. Mittels einer Takt- und Daten-Rückgewinnungsschaltung (Clock and Data Recovery, CDR) wird aus den übertragenen Daten der Takt zurückgewonnen [183]. Der Kern einer CDR-Schaltung ist ebenfalls eine PLL. Da Phasenregelschleifen wichtig sind, wird im nächsten Abschnitt das Prinzip der PLL erläutert.

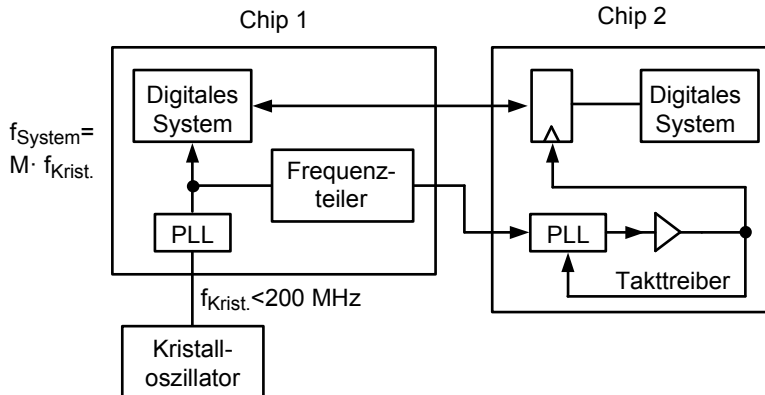


Bild 5.9 Beispiele für Anwendungen von Phasenregelschleifen (Phase Lock Loops, PLL). M rationale Zahl.

5.4.1.1 Phasenregelschleifen mit Ladungspumpen (Charge Pump PLL, CPPLL)

In diesem Kapitel werden zunächst die einzelnen Funktionsblöcke einer PLL vorgestellt. Sodann wird die Funktionsweise der gesamten Phasenregelschleife erläutert. Schließlich werden Schaltungen für die einzelnen Blöcke behandelt.

Seit etwa 1970 werden Phasenregelschleifen häufig eingesetzt. Eine PLL ist eine rückgekoppelte komplexe, nichtlineare Schaltung, die nach Bild 5.10 im Vorwärtspfad einen Frequenz-Phasen-Detektor, (PFD) ein Schleifenfilter (LPF) und einen spannungsgesteuerten Oszillator (Voltage Controlled Oscillator, VCO) enthält [63]. Moderne PLL haben eine Ladungspumpe (Charge Pump) im Vorwärtspfad, mit der die logischen Zustände des Phasen-Frequenz-Detektors in ein analoges Signal gewandelt werden, das den VCO steuert. Im Rückkoppelpfad befindet sich ein Frequenzteiler, der die Frequenz des Oszillators auf das Niveau des Referenzsignals teilt. Es wurde bereits erwähnt, dass das Teilverhältnis M eine rationale Zahl sein kann. Die Popularität der PLL beruht auf einem weiten Mitziehbereich, einer Frequenz unterstützten Erfassung sowie geringen Kosten, da PLLs auf den Chips integriert werden können. Unter Mitziehbereich versteht man den Frequenzbereich für das Eingangssignal, in dem die Schleife ihre Funktionalität bewahrt. Andere wichtige Eigenschaften einer PLL sind die Einrastzeit – das ist die Zeit, die die PLL benötigt um einer bestimmten Eingangsfrequenz zu folgen – und der Jitter.

Für die folgende Analyse der PLL, ist eine sorgfältige Definition des Einrastzustandes notwendig [183]. Wenn die Regelschleife eingerastet ist, soll die Phasendifferenz am Eingang des Frequenz-Phasenreglers konstant und möglichst klein sein. Daher definieren wir, dass die Regelschleife eingerastet ist, wenn die Phasendifferenz $\Phi_e = \Phi_{\text{in}} - \Phi_o$ sich zeitlich nicht ändert. Daher

$$\frac{d\Phi_e}{dt} = \frac{d\Phi_{\text{in}}}{dt} - \frac{d\Phi_o}{dt} = 0 \quad , \quad (5.10)$$

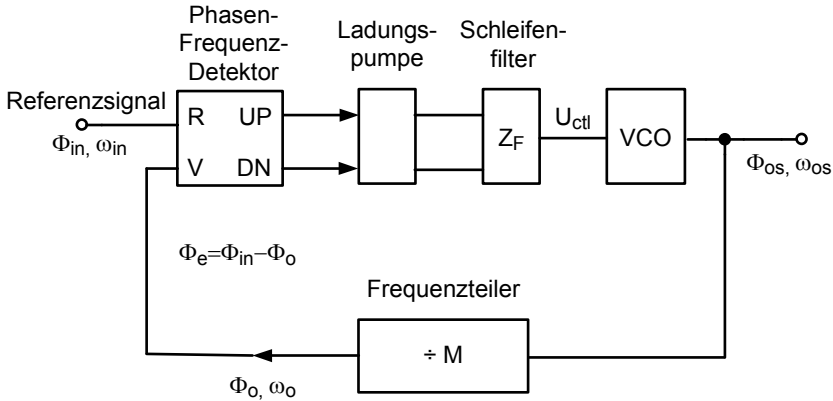


Bild 5.10 Phasenregelschleife mit einem Phasen-Frequenz-Detektor und einer Ladungspumpe.

daraus folgt

$$\omega_{\text{in}} = \omega_o = \frac{\omega_{\text{os}}}{M} \quad . \quad (5.11)$$

Der VCO erhält ein analoges Kontrollsignal U_{ctl} und generiert ein Taktsignal. Damit eine gewünschte Frequenz erreicht wird, muss die Kontrollspannung U_{ctl} einen geeigneten Wert aufweisen. Dies ist die Aufgabe der anderen Blöcke und der Rückkopplung.

Der Zusammenhang zwischen VCO-Frequenz f_{os} und Steuersignal U_{ctl} wird meist in einem gewissen Bereich linearisiert und mittels K_{VCO} beschrieben. Es gilt im eingeschwungenen Zustand

$$K_{\text{VCO}} = \frac{\omega_{\text{os}1}(U_{\text{ctl}1}) - \omega_{\text{os}2}(U_{\text{ctl}2})}{U_{\text{ctl}1} - U_{\text{ctl}2}} \quad . \quad (5.12)$$

Die effektive VCO-Frequenz ω_{os} ergibt sich damit zu

$$\omega_{\text{os}}(U_{\text{ctl}}) = K_{\text{VCO}} \cdot U_{\text{ctl}} + \omega_{0\text{s}} \quad . \quad (5.13)$$

wobei $\omega_{0\text{s}}$ die Frequenz für $U_{\text{ctl}} = 0$ ist. Dies ist die Frequenz des freilaufenden Oszillators.

Am Eingang des PFD liegen zwei periodische Signale mit den Phasen Φ_o und Φ_{in} an. Es wird angenommen, dass es sich bei beiden um rechteckförmige Verläufe handelt. Die logischen Zustände des PFD werden von den Flanken der Eingangssignale bestimmt. Wenn in Bild 5.10 die positive Flanke des R -Signals früher kommt als die des V -Signals, setzt die positive Flanke von R das UP -Signal auf eine logische Eins. Die nächste positive Flanke des V -Signals setzt das UP -Signal wieder zurück. Solange das R - vor dem V -Signal eintrifft, bleibt das DN -Signal bei Null.

Im umgekehrten Fall, wenn die positive Flanke des V -Signals vor der positiven Flanke des R -Signals eintrifft, setzt die positive Flanke von V das DN -Signal auf ei-

ne logische Eins, während das *UP*-Signal bei Null bleibt. Mit der nächsten positiven Flanke von *R* wird das *DN*-Signal zurückgesetzt.

Sowohl das *UP*- wie auch das *DN*-Signal können den Wert Null haben. Entweder *DN* oder *UP* weisen eine logische Eins auf. Aber niemals können beide Signale eine Eins haben. Daher hat der PFD drei zulässige Zustände, nämlich *UP*, *DN* und *N*, wobei *N* für den neutralen Zustand steht.

Der Phasen-Frequenz-Detektor bildet ein Fehlersignal $\Phi_e = \Phi_{in} - \Phi_o = \Phi_{in} - \Phi_{os}/M$. Für die Zeit t_p , während der, entweder das *UP*- oder das *DN*-Signal Eins sind, erhält man

$$\frac{t_p}{T_{in}} = \frac{\Phi_e}{2\pi} \quad . \quad (5.14a)$$

Daraus folgt

$$t_p = \frac{|\Phi_e|}{\omega_{in}} \quad (5.14b)$$

T_{in} Periodendauer des Eingangssignals.

Die beiden Eigenschaften, nämlich die drei logischen Zustände *UP*, *DN* und *N* sowie die Gleichung 5.14a oder 5.14b charakterisieren ausreichend den Phasen-Frequenz-Detektor.

Die nachfolgende Ladungspumpe ist nichts anderes als ein elektronischer Schalter, der von den drei Zuständen des PFDs gesteuert wird (siehe Bild 5.11). Im neutralen Zustand leitet keiner der beiden Schalter. Das nachfolgende Schleifenfilter ist isoliert. Für *UP* = 1 oder für *DN* = 1 wird entweder ein positiver oder ein negativer Ladestrom I_p geliefert. Der Strom der Ladungspumpe wird in das Schleifenfilter geleitet. Die einfachste Form dieses Filters ist eine Serienschaltung eines Widerstands und einer Kapazität. Der Eingangswiderstand Z_F beträgt

$$Z_F(s) = R + \frac{1}{sC} \quad . \quad (5.15)$$

Da Schalter in der Funktion der PLL involviert sind, handelt es sich um ein zeitdiskretes System. Man müsste im Zeitbereich Differenzengleichungen aufstellen und diese mittels der Z-Transformation in den Spektralbereich überführen. Aber in vielen Anwendungen ändert sich der Zustand der PLL während einer Periode des Eingangssignals nur geringfügig, da die Bandbreite der PLL klein ist im Vergleich zu der Frequenz des Eingangssignals. In solchen Fällen ist es ausreichend, nur das durchschnittliche Verhalten über viele Perioden zu betrachten. Man muss sich nicht um das genaue Verhalten während einer Periode kümmern. Indem man eine durchschnittliche Betrachtung vornimmt, kann die Berechnung des zeitdiskreten Systems umgangen werden [63]. Man kann den mächtigen Werkzeugkasten, der für die zeitkontinuierlichen Systeme entwickelt wurde, benutzen.

Es wird ein Ladestrom $I_p \cdot \text{sgn} \Phi_e$ während der Zeitdauer t_p in das Schleifenfilter mit der Eingangsimpedanz Z_F geleitet. Es muss über die Periode $T_{in} = 2\pi/\omega_{in}$

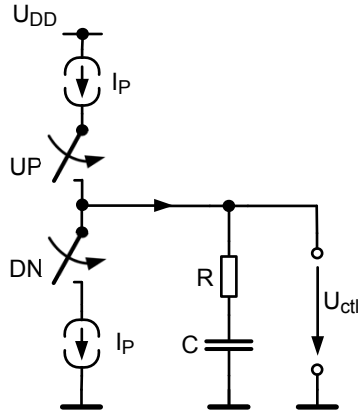


Bild 5.11 Ladungspumpe mit einfachsten Schleifenfilter.

gemittelt werden. Deswegen folgt aus Gleichung 5.14a für den durchschnittlichen Fehlerstrom

$$i_d = \frac{I_p \cdot \Phi_e}{2\pi} \quad (5.16)$$

Bevor als Nächstes die Übertragungsfunktion der geschlossenen Schleife abgeleitet werden kann, muss noch eine Zwischenbetrachtung angestellt werden. Eine PLL ist ein dynamisches System in dem Sinne, dass das gegenwärtige Verhalten von den vergangenen Werten des Eingangs- und des Ausgangssignal abhängen. Solange das Eingangs- und das Ausgangssignal perfekt periodisch sind, das heißt

$$\Phi_{in} = \omega_{in} \cdot t \quad \text{und} \quad (5.17a)$$

$$\Phi_o = \omega_{in} \cdot t + \Phi_e \quad (5.17b)$$

arbeitet die Phasenregelschleife im eingeschwungenen Zustand und zeigt kein transientes Verhalten. Somit reagiert die PLL nur auf Änderungen der Phasen entweder des Eingangs- oder des Ausgangssignals; beispielsweise auf Änderungen der Eingangsphase

$$\Phi_{in} = \omega_1 \cdot t + \Phi_1 \cdot u(t - t_1) \quad (5.18a)$$

oder der Eingangsfrequenz

$$\Phi_{in} = \omega_1 \cdot t + \Delta\omega \cdot t \cdot u(t - t_1) \quad (5.18b)$$

$u(t)$ Einheitssprungfunktion.

Bei einer sprunghaften Änderung der Eingangsphase Φ_{in} nach Gleichung 5.18a ändert sich der Ausgang des Schleifenfilters U_{ctl} nicht sofort. Der Oszillator behält zunächst seine Frequenz bei (Bild 5.12). Die wachsende Phasendifferenz $\Phi_{in} - \Phi_o$

verursacht breitere *UP*-Pulse, während *DN* den Wert Null aufweist. Wegen der breiteren *UP*-Pulse wächst die Kontrollspannung U_{ctl} allmählich an. Das Ergebnis ist, dass sich die VCO-Frequenz ändert, um die Phasendifferenz am Eingang des PFDs zu minimieren. Während dieses Vorgangs ist die Schleife nicht eingerastet, da sich der Phasenfehler mit der Zeit ändert.

Allerdings hat sich die Eingangsfrequenz nicht geändert, das heißt die Frequenz des Oszillators muss zu dem ursprünglichen Wert $M \cdot \omega_1$ zurückkehren. Das bedingt aber, dass die Kontrollspannung U_{ctl} und der Phasenfehler Φ_e die ursprünglichen Werte wieder einnehmen. Da sich die Eingangsphase um Φ_1 geändert hat, gilt Da

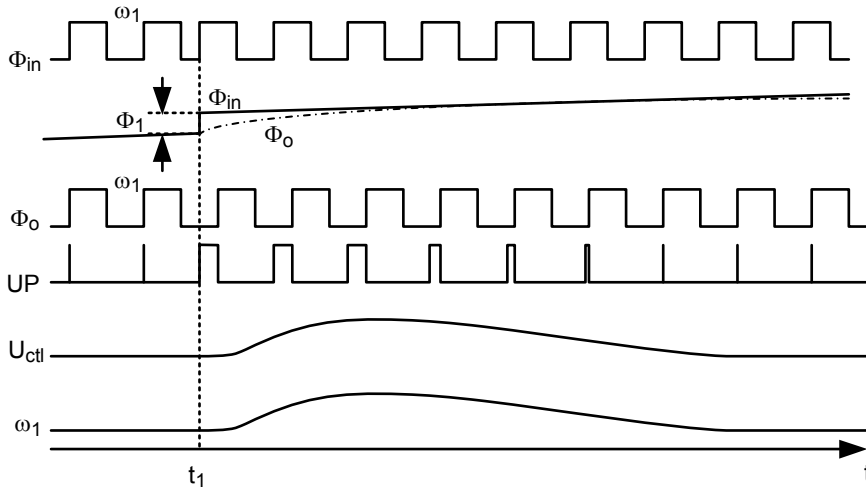


Bild 5.12 Reaktion der PLL auf einen Phasensprung am Eingang [183].

sich die Eingangsphase um Φ_1 geändert hat, gilt

$$\Phi_1 = \int_{t_1}^{\infty} \omega_o \cdot dt \quad . \quad (5.19)$$

Im eingeschwungenen Zustand, erhält man für das rückgekoppelte Signal

$$u_o(t) = U_o \cdot \cos(\omega_1 \cdot t + \Phi_1) \quad . \quad (5.20)$$

Wie es in Bild 5.12 dargestellt ist, holt die Ausgangsphase Φ_o die Eingangsphase Φ_{in} allmählich ein. Bei dieser Betrachtung wurde ein ideales Einschwingverhalten vorausgesetzt. Stabilitätsuntersuchungen werden später anhand der Übertragungsfunktion durchgeführt. Anders verhält sich die Regelschleife, wenn zum Zeitpunkt t_1 nach Gleichung 5.18b am Eingang ein Frequenzsprung auftritt. Da zunächst wieder der VCO seine Frequenz $M \cdot \omega_1$ beibehält, ergeben sich wieder breitere *UP*-Pulse. Mit der Zeit steigt U_{ctl} an, die Ausgangsfrequenz des VCOs wächst solange

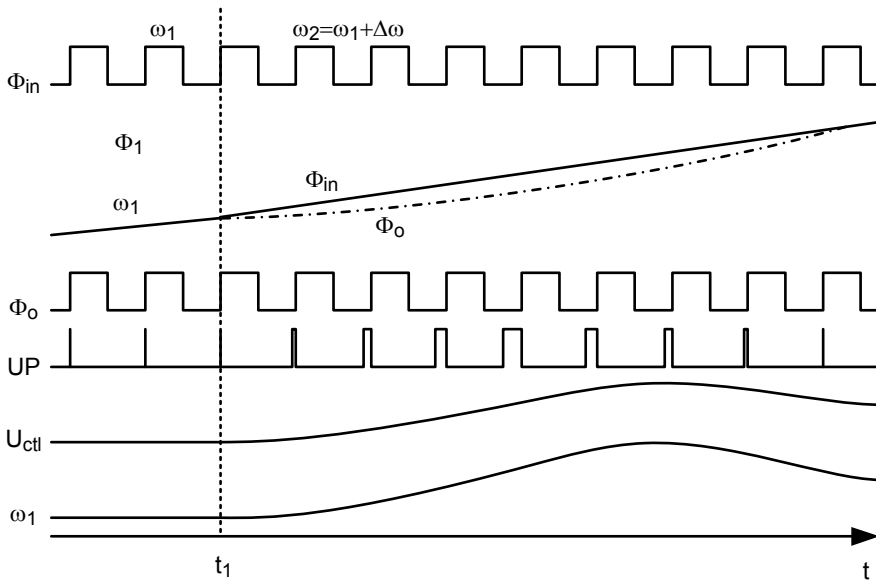


Bild 5.13 Reaktion der Regelschleife auf einen Frequenzsprung am Eingang.

bis $\omega_o = \omega_1 + \Delta\omega$. Der Phasenfehler wird wieder minimal und die Kontrollspannung hat einen neuen konstanten Wert. Den idealisierten Einschwingvorgang zeigt Bild 5.13.

Eine genauere Analyse des Einschwingverhaltens kann mittels der Übertragungsfunktion der Schleife vorgenommen werden. Es wurde bereits festgestellt, dass das System in den meisten Fällen wie ein zeitlich kontinuierliches System behandelt werden kann. Mittels der Laplace-Transformation kann eine Beschreibung des Systems im Zeitbereich in den Spektralbereich abgebildet werden. Wie bei einer Kleinsignalbetrachtung von analogen Schaltungen werden bei den Signalen nur die Abweichungen von den Gleichanteilen berücksichtigt. Es müssen also nur die Änderungen der Phasen der Eingangs- und Ausgangssignale betrachtet werden.

Mit der Laplace-Transformation folgt aus der Gleichung 5.16

$$I_d(s) = \frac{I_p \cdot \Theta_e(s)}{2 \cdot \pi} \quad (5.21)$$

$I_d(s)$ und $\Theta_e(s)$ sind die Laplace-Transformierten von $i_d(t)$ beziehungsweise von $\Phi_e(t)$. Weiter gilt

$$U_{ctl}(s) = \frac{I_p \cdot \Theta_e(s) \cdot Z_F(s)}{2 \cdot \pi} \quad (5.22)$$

Wegen

$$\Phi(t) = \int \omega \cdot dt \quad (5.23a)$$

folgt aus der Gleichung 5.13

$$\Theta_o = \frac{\Theta_{os}}{M} = \frac{K_{VCO} \cdot U_{ctl}(s)}{M \cdot s} \quad (5.23b)$$

Die Gleichungen 5.22 und 5.23b sowie die Gleichung

$$\Theta_e = \Theta_{in} - \Theta_o \quad (5.24)$$

führen zu den Übertragungsfunktionen der geschlossenen Schleife

$$\frac{\Theta_o(s)}{\Theta_{in}(s)} = \frac{K_{VCO} \cdot I_p \cdot Z_F(s)}{2\pi \cdot s \cdot M + K_{VCO} \cdot I_p \cdot Z_F(s)} = H(s) \quad (5.25a)$$

$$\frac{\Theta_e(s)}{\Theta_{in}(s)} = \frac{2\pi \cdot s \cdot M}{2\pi \cdot s \cdot M + K_{VCO} \cdot I_p \cdot Z_F(s)} = 1 - H(s) \quad (5.25b)$$

Ein wichtiges Ergebnis ist, dass für $Z_F(0) \rightarrow \infty$, das heißt, wenn keine Änderungen am Eingang vorliegen, der Phasenfehler Φ_e gegen Null geht; während $H(0)$ gegen Eins strebt. Das rückgekoppelte Signal Φ_o ist in diesem Fall ein exaktes Spiegelbild des eingehenden Signals Φ_{in} . Verursacht wird dieses wünschenswerte Verhalten dadurch, dass im neutralen Zustand keine Verbindung zum Schleifenfilter besteht. Setzt man für Z_F die Gleichung 5.15 ein, ergibt sich ein System zweiter Ordnung, das heißt die Übertragungsfunktionen der Phasenregelschleife enthalten zwei Pole.

Würde man das Schleifenfilter Z_F nur mit einer Kapazität C realisieren ($R = 0$ in Bild 5.11), enthielte die Übertragungsfunktion der geschlossenen Schleife zwei rein imaginäre Polstellen. Das System wäre instabil. Aber auch das Schleifenfilter mit R und C hat schwerwiegende Nachteile. Jedes Mal wenn ein Ladestrom in das Filter injiziert wird, unterliegt die Kontrollspannung großen Sprüngen (Ripple). Schaltungstechnische Imperfektionen, wie Herstellungstoleranzen, Ladungsinjektionen beim Sperren von Transistoren oder Takteinkoppelungen, führen ebenfalls zu Über- oder Unterschwingungen. Da die „Ripple“ die VCO-Frequenz modulieren, sind sie unerwünscht.

Die Leitung für das Kontrollsignal ist in der Praxis mit einer Kapazität abgeschlossen, wie Bild 5.14 zeigt. Daher liegt eine weitere Kapazität C_1 parallel zu der Serienschaltung von R und C nach Bild 5.11. Somit erhält man eine Phasenregelschleife dritter Ordnung. Diese zusätzliche Kapazität hilft bei geeigneter Dimensionierung die „Ripple“ der Kontrollspannung U_{ctl} zu minimieren. Wenn C_1 im Vergleich zu C sehr klein ist, liegt der zusätzliche Pol bei hohen Frequenzen und somit weit entfernt vom dominierenden Pol. Die Wirkung des zusätzlichen Pols entfaltet sich nur bei hohen Frequenzen. Das Verhalten der Schleife bei niederen Frequenzen, insbesondere im eingerasteten Zustand, ist das Gleiche wie bei einer Schleife zweiter Ordnung.

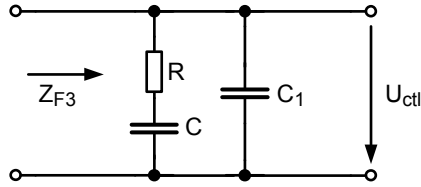


Bild 5.14 Schleifenfilter der PLL dritter Ordnung.

Bisher wurde die Funktion einer PLL erklärt. Was fehlt sind die Schaltungen, mit denen Phasen-Frequenz-Detektoren (PFD) und spannungsgesteuerte Oszillatoren (VCO) implementiert werden können.

5.4.1.2 Spannungsgesteuerte Oszillatoren (VCO)

Es gibt mehrere Typen von VCO-Schaltungen. Das geringste Phasenrauschen und damit geringer Jitter können mit einem VCO erreicht werden, der auf einem LC-Parallelschwingkreis beruht (siehe Bild 4.145 in Kapitel 4.8.3.3). Das geringe Phasenrauschen und damit der geringe Jitter sind darauf zurückzuführen, dass diese Oszillatoren sehr wenige aktive Bauelemente benötigen. Jedoch hat ein derartiger VCO einen relativ geringen Mitziehbereich. Der Bereich, in dem die Oszillatorfrequenz linear dem Kontrollsignal folgt, ist schmal. Außerdem wird eine große Chipfläche für die auf den Chips integrierten Induktivitäten verbraucht. Am häufigsten für die Taktgenerierung für digitale ICs werden VCOs mittels Ringoszillatoren nach Bild 4.21 in Kapitel 4.3.2.3 implementiert. Hierzu schaltet man eine ungerade Anzahl von Invertern in Reihe und schließt den Ausgang der Kette mit dem Eingang kurz. Man erreicht mit diesem Typ einen weiten Mitziehbereich und eine lineare Abhängigkeit der Frequenz von der Kontrollspannung. Eine ausführliche Darstellung der Thematik findet der Leser unter den folgenden Literaturstellen [183] und [182].

Anhand einer einfachen Überlegung kann gezeigt werden, dass ein Ringoszillator aus mindestens drei Invertern bestehen muss. Würde man einen einzigen Inverter zurückkoppeln, das heißt den Ausgang mit dem Eingang kurzschließen, ergäbe sich keine Schwingung. Der Ausgang und der Eingang hätten den gleichen konstanten Wert. Koppelt man nach zwei Invertern das Ausgangssignal auf den Eingang zurück, erhält man ein Flip-Flop und keinen Oszillator. Man benötigt schon drei Inverter, um einen Oszillator zu realisieren.

Die Frequenz des Ringoszillators, der aus Invertern besteht, muss mittels einer Kontrollspannung U_{ctl} möglichst linear abgestimmt werden können. Dies gelingt mit der Schaltung nach Bild 5.15a. Die Transistoren M2 und M3 bilden den Inverter. Mit dem Transistor M1 wird der Entladestrom und damit die Gatterlaufzeit reguliert. Eine Vereinfachung ergibt sich, wenn man einen Inverter mit aktiver Last nach Bild 5.15b implementiert. Der Transistor M2 stellt einen abstimmbaren Lastwiderstand dar.

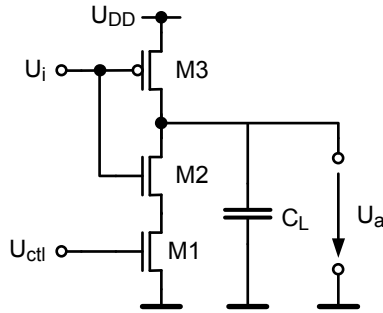


Bild 5.15a Inverter mit regulierbarer Gatterlaufzeit.

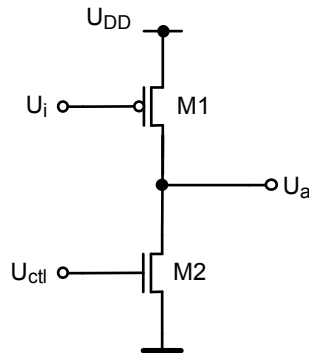


Bild 5.15b Vereinfachter regulierbarer Inverter.

Mit „single ended“ Verzögerungselementen lässt sich Fläche und Verlustleistung sparen. Aber es fehlt das komplementäre Taktsignal. Man könnte zunächst einen Ein-Phasen-Takt mit der doppelten Frequenz generieren und dann mittels eines Frequenzteilers die gewünschten komplementären Takte erzeugen. Mit differentiellen Verzögerungselementen erhält man sofort beide Taktsignale, Φ und $\overline{\Phi}$.

Indem man das Differenzprinzip am Eingang und am Ausgang der Verzögerungselemente einsetzt, können bei geeignetem Layout die Wirkung von Störsignalen und die Wirkung von globalen Herstellungstoleranzen unterdrückt werden. Besonders ist die Eigenschaft hervorzuheben, dass sich Schwankungen der Versorgungsspannung idealerweise als Gleichtaktsignale an den Ausgängen abbilden und von der nachfolgenden Differenzstufe unterdrückt werden. Diese hoch erwünschten Eigenschaften ergeben sich deswegen, da in der Nähe der Nulldurchgänge von Ein- und Ausgangsspannungen, an denen der Jitter gemessen wird, der Strom des Fußpunkttransistors M5 in Bild 5.16 sich trotz der Störsignale jeweils zur Hälfte auf die beiden Teile der Differenzstufe aufteilt. Wegen dieser Eigenschaft lässt sich mit voll differentiellen Differenzstufen leichter als mit Invertern ein Tastverhältnis (Duty Cycle) von 50% erzielen. Ein Tastverhältnis von 50% bedeutet, dass für rechteck-

förmige Takte die Zeitdauer für eine logische „Eins“ genauso lange ist wie für eine „Null“.

Ringoszillatoren mit Differenzstufen als Verzögerungselemente bieten noch einen weiteren Vorteil. Zum Beispiel kann ein Ringoszillator aus fünf Stufen mit nur vier Differenzstufen realisiert werden, man muss nur die Ausgänge einer Stufe vertauschen. So wird eine weitere Invertierung erzielt und es kann auf die fünfte Stufe verzichtet werden.

Differentielle Verzögerungselemente werden mittels Differenzstufen, wie sie in Kapitel 4.6.2 Bild 4.43 dargestellt sind, realisiert. Da Ohm'sche Widerstände in reinen Logikprozessen nicht kostengünstig zur Verfügung stehen, verwendet man anstatt der Widerstände R_L p-Kanal-Transistoren, deren Gate- und Drain-Anschlüsse kurzgeschlossen sind (Diode connected), wie es Bild 5.16 zeigt. Die Ableitungen des Kapitels 4.6.2 bleiben weiterhin gültig, wenn anstatt des Lastwiderstandes R_L $1/g_m$ des p-Kanal-Transistors eingesetzt wird. Der Strom I_5 des Fußpunkttransistors M5 wird von der Kontrollspannung U_{ctl} gesteuert. Der Strom I_5 bestimmt, wie schnell angeschlossene Lastkapazitäten entladen werden können. Arbeitet der Transistor M5 im Triodenbereich, liegt eine lineare Regelung der Schwingfrequenz des Oszillators vor.

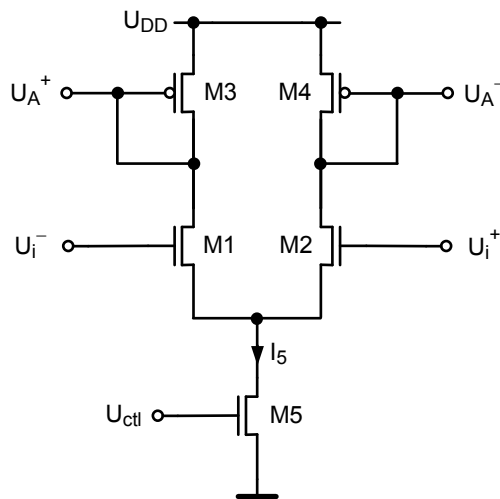


Bild 5.16 Volldifferentielle Differenzstufe als Gatterlaufzeitglied.

5.4.1.3 Phasen-Frequenz-Detektor (PFD)

Nachdem die Schaltungen für den VCO, die Ladungspumpe und das Schleifenfilter bekannt sind, bleibt noch die Schaltung für den Phasen-Frequenz-Detektor zu behandeln. Das Blockschaltbild ist in Bild 5.17a dargestellt [183]. Die Schaltung

besteht aus zwei flankengesteuerten, rücksetzbaren Registern. Die Dateneingänge sind mit einer logischen Eins verbunden. Die Signale R und V dienen als Taktsignale. Beide Register werden zurückgesetzt, wenn $R \cdot V = 1$ (logische Und-Verknüpfung). Wie gewünscht, verursacht für $UP = DN = 0$ zum Beispiel eine positive Flanke von R , dass UP den logischen Wert Eins annimmt. Nachfolgende Signalwechsel von R haben keinen Einfluss auf UP , da der Dateneingang konstant an U_{DD} liegt. Die steigende Flanke von V aktiviert das DN -Signal. Möglichst ohne Zeitverlust sollte mittels des AND-Gatters der Rücksetzmechanismus für beide Flip-Flops einsetzen. In Bild 5.17b sind die Signalverläufe von R , V , UP und DN dargestellt. Im Gegensatz zur Beschreibung des idealen PFD ändert sich, wenn auch kurzfristig, auch der jeweils andere Ausgang; in Bild 5.17b ist dies DN . Kurzzeitig wird das Schleifenfilter gleichzeitig entladen und aufgeladen.

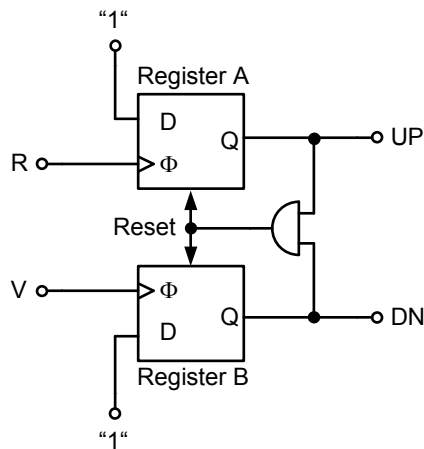


Bild 5.17a Blockschaltbild eines PFD.

Die Realisierung der rücksetzbaren Register von Bild 5.17a zeigt Bild 5.17c. Die Schaltung besteht aus geeignet verbundenen NOR-Gattern. Anhand der Tabelle 5.1 soll die Funktionsweise verdeutlicht werden. Um das Verständnis zu erleichtern, enthält die Tabelle 5.1 auch die logischen Werte für die internen Knoten ($Q1$, $Q2$ und $Q3$). Der Ausgangszustand sei $\Phi = Reset = 1$. Mit diesen Eingangsdaten weisen $Q1$ und $Q3$ den Wert Null auf. Somit gilt $Q2 = 1$ und weiter $Q = 0$. Im nächsten Schritt soll Φ Null sein. $Q1$ wechselt nach Eins und hält wie gewünscht Q auf dem Wert Null. Im übernächsten Schritt sind beide Eingangssignale Null. Da $Q1$ seinen Wert beibehält, haben Q und $Q2$ den Wert Null. Schließlich wechselt das Taktsignal Φ von Null nach Eins. Somit wird $Q1 = 0$ und $Q = 1$.

Die beschriebenen PLL- oder DLL-Schaltungen wurden und werden erfolgreich eingesetzt. Jedoch weisen sie auch Nachteile auf.

Zunächst ist festzustellen, dass die analogen Schleifenfilter viel Platz brauchen. Etwa 50% der gesamten Fläche einer PLL wird vom Schleifenfilter eingenommen [60].

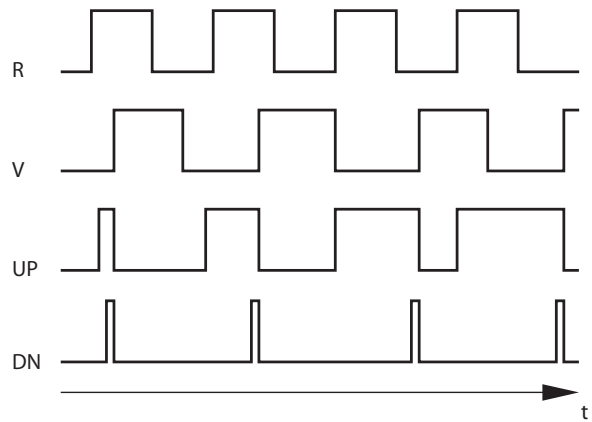


Bild 5.17b Signalverläufe der PFD [183].

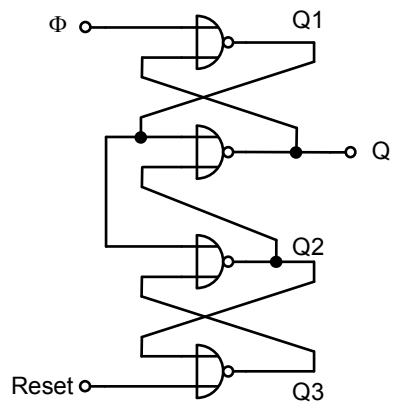


Bild 5.17c Schaltplan für ein rücksetzbares Register [183].

Tabelle 5.1 Zustände des D-Flip-Flops nach Bild 5.17c.

Φ	$Reset$	$Q1$	$Q2$	$Q3$	Q
1	1	0	1	0	0
0	1	1	0	0	0
0	0	1	0	1	0
1	0	0	0	1	1

Um Chipfläche zu sparen, werden die Kapazitäten des Schleifenfilters mittels MOS-Transistoren, realisiert, deren Drain- und Source-Anschlüsse kurzgeschlossen sind und die leitende Inversionskanäle haben. Somit können Störungen, die besonders von anderen digitalen Schaltungen verursacht werden, über das Substrat entweder kapazitiv oder über die Substratanschlüsse der MOS-Transistoren in das Schleifenfilter einkoppeln. Spezielle Technologien, wie tiefe Grabenisolation (deep trench isolation) oder große „Guard Rings“ (siehe Kapitel 2.2.3.1) werden eingesetzt, um eine ausreichende Isolierung zu erzielen. Mit immer kleineren Strukturen nimmt die Oxiddicke ebenfalls ab, was zu Tunnelströmen führt. In PLL-Schaltungen mit Ladungspumpen bewirken die Tunnelströme Störsignale, die den Jitter verschlechtern und den Mitziehbereich verringern [60].

Deswegen wird nach Alternativen für die konventionellen PLLs gesucht. Hierbei ist es das Ziel, möglichst alle analogen Schaltungen zu vermeiden. In [210, 60, 211] und [89] werden hierfür interessante Ansätze dargestellt.

5.4.1.4 DLL-Schaltungen

Eine Vereinfachung der PLL führt zu der DLL (Delay Lock Loop). Während bei der PLL die Frequenz des Eingangssignals unterschiedlich zu der Frequenz des Ausgangssignals sein kann, weisen bei einer DLL das Eingangs- und das Ausgangssignal die gleiche Frequenz auf. Wieder wird wegen der Rückkopplung die Phasendifferenz am Eingang des PFD minimiert. Beide Regelschleifen, die PLL und die DLL haben die Funktionsblöcke Phasen-Frequenz-Detektor, Charge Pump und Schleifenfilter gemeinsam. Die DLL enthält keinen Oszillator, sondern eine steuerbare Verzögerungsleitung (Voltage Controlled Delay Line, VCDL, siehe Bild 5.18). Die Referenzfrequenz wird in die Verzögerungsleitung geleitet. Die Verzögerungsleitung enthält die gleichen Elemente, wie ein VCO, also abstimmbare Inverter oder Differenzstufen nach den Bildern 5.15a und 5.16. Indem mittels der Kontrollspannung U_{ctl} die einzelnen Gatterlaufzeiten geregelt werden, wird das Ziel minimale Phasendifferenz erreicht.

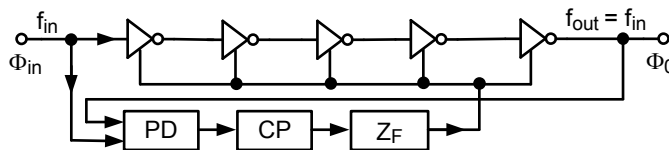


Bild 5.18 Blockschaltbild einer DLL (Delay Lock Loop).

Die Anwendung einer DLL in einem Taktverteilungssystem veranschaulicht Bild 5.19. Der globale Takt muss zu vielen Logikblöcken weitergeleitet werden. Hierzu sind Treiberschaltungen nach Kapitel 4.5.1 notwendig, die zusätzliche Gatterlaufzeiten aufweisen und somit Phasenfehler (Clock Skew) verursachen. Um die Phasenfehler minimal zu halten, wird der globale Takt nur zu schmalen Unterbereichen

weitergeleitet. Dies kann mit geringem Aufwand und somit mit geringen Phasenfehlern erfolgen. Die notwendigen Treiberschaltungen in jedem Unterbereich werden in die DLL-Schaltungen integriert. Somit wird erreicht, dass der Phasenfehler zwischen dem globalen Takt und dem Takt, den die Treiber liefern, minimal ist. Die Rückkopplungsschleife in jeder DLL kompensiert statische und langsam veränderliche Abweichungen, wie zum Beispiel Temperaturschwankungen. Ein ähnliche Funktion, wie die gerade Beschriebene, erfüllt die PLL auf Chip 2 in Bild 5.9.

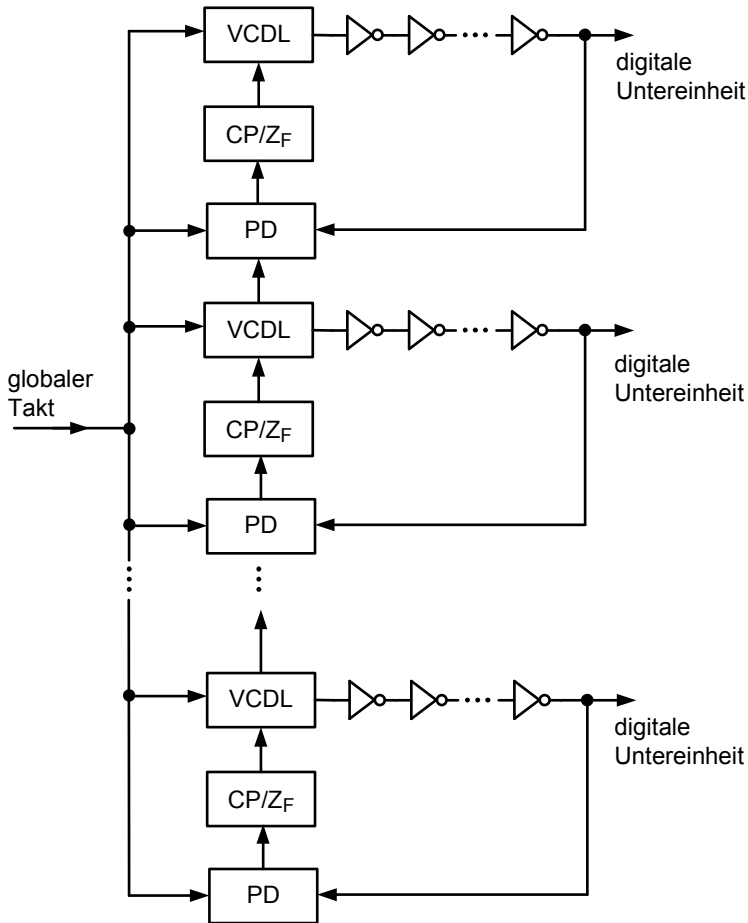


Bild 5.19 Beiträge der DLL zur Taktverteilung.

5.4.2 Erzeugung der nichtüberlappenden komplementären Zwei-Phasen-Takte (Pseudo-Vier-Phasen-Takt)

Am Ende von Kapitel 5.3 wurde festgestellt, dass nichtüberlappende komplementäre Zwei-Phasen-Takte durchaus vorteilhaft sein können. Daher wird nun erläutert, wie aus einem Ein-Phasen-Takt, der auf dem Chip oder außerhalb generiert sein kann, der Pseudo-Vier-Phasen-Takt generiert werden kann. Bild 5.20 zeigt eine für diesen Zweck geeignete Schaltung. Der Master- und der Slave-Takt werden an den Ausgängen des NOR-Flip-Flops abgegriffen. Die negierten Master- und Slave-Takte liefert ein NAND-Flip-Flop.

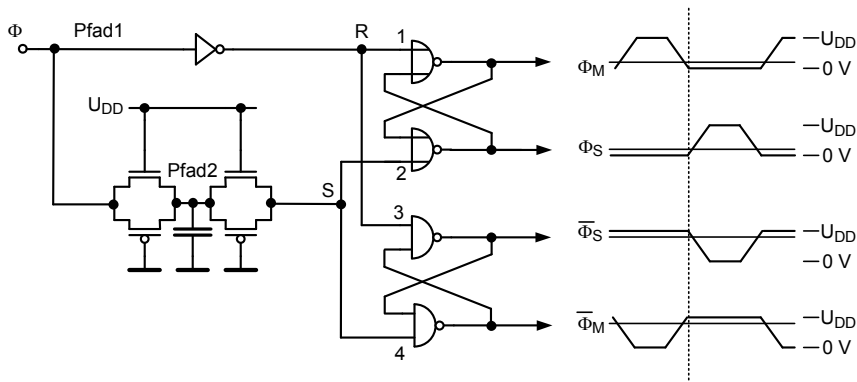


Bild 5.20 Schaltung zur Erzeugung eines Pseudo-Vier-Phasen-Taktes aus einem zentralen Takt Φ [160]. Die gestrichelten horizontalen Linien geben die Niveaus der Einsatzspannungen an.

In dem Pfad 2, der die S -Eingänge der beiden Flip-Flops mit dem zentralen Takt verbindet, wird mit Hilfe von Transmission-Gatter und zusätzlichen Kapazitäten eine Signalverzögerung erreicht, die exakt der Gatterlaufzeit des Inverters in Pfad 1 entsprechen soll. Mit dieser Maßnahme erzwingt man, dass die R - und die S -Eingänge immer zueinander komplementär sind.

Stellt beispielsweise der zentrale Takt Φ eine logische Null dar, so ist $R = 1$, $S = 0$ und somit $\Phi_M = 0$ und $\Phi_S = 1$. Die Zuordnung der vier Phasen Φ_M , Φ_S , $\overline{\Phi}_M$ und $\overline{\Phi}_S$ zu dem zentralen Takt Φ zeigt Tabelle 5.2. Bei einem Signalwechsel von Φ von $0 \rightarrow 1$ oder von $1 \rightarrow 0$ wechselt immer zuerst der Ausgang des NOR-Flip-Flops seinen Wert, der an U_{DD} liegt. In unserem Beispiel bei einem $0 \rightarrow 1$ Wechsel ist dies Φ_S . Nach dem Signalwechsel von Φ_S von $1 \rightarrow 0$ folgt um eine Gatterlaufzeit verzögert der andere Ausgang; in unserem Beispiel Φ_M von $0 \rightarrow 1$. Daraus folgt, dass die Zeiten, während denen die Takte Φ_M und Φ_S nicht überlappen und somit an Masse liegen, von der Laufzeit eines NOR-Gatters bestimmt werden. Entsprechendes gilt für die invertierten Takte $\overline{\Phi}_M$ und $\overline{\Phi}_S$.

Die Flip-Flops entstehen durch die Rückkopplung der Ausgangssignale zu den passenden Eingängen der NAND- und NOR-Gatter. In den Rückkoppelpfad können

die Leiterbahnen für die Taktverteilung einschließlich der angeschlossenen Latches einbezogen werden. Mit dieser Methode werden Taktüberlappungen sicher verhindert. Hohe Taktfrequenzen und damit hohe Verarbeitungsgeschwindigkeiten sind damit nicht zu erzielen.

Tabelle 5.2 Wertetabelle für das NOR- und für das NAND-Flip-Flop nach Bild 5.20.

Φ	R	S	Φ_M	Φ_S	$\overline{\Phi}_M$	$\overline{\Phi}_S$
0	1	0	0	1	0	1
1	0	1	1	0	1	0

5.5 Taktverteilung

Die Taktsignale müssen über den ganzen Chip verteilt werden. Das Netzwerk für die Taktsignale ist, neben dem Netzwerk für die Versorgungsspannungen, das zweite globale Netz auf den Chips. Aus den vorausgegangenen Diskussionen ist ersichtlich, dass Taktversatz und Jitter wesentliche Kriterien für das Netzwerk zur Verteilung der Taktsignale darstellen. Ideal wäre es, wenn an jedem Punkt eines Chips die Taktsignale identisch wären. Das heißt jedes Latch oder jedes Register auf dem Chip sollte von dem gleichen Taktsignal gesteuert werden. Anzustreben ist, dass die Taktsignale von einem zentralen Punkt aus möglichst gleichmäßig in alle Richtungen verteilt werden. Wären die Laufzeiten der Taktsignale vom zentralen Punkt aus zu den einzelnen Register oder Latches gleich groß, würde dies nicht stören. Nur Laufzeitunterschiede bringen Probleme, wie bereits gezeigt wurde. Neben Taktversatz und Jitter, ist die Verlustleistung, die bei der Verteilung der Takte anfällt, ein weiterer wesentlicher Faktor für die Beurteilung einer digitalen Schaltung [256].

In [73] wird beschrieben, dass im Mikroprozessor Alpha 21064 von Digital Equipment Corporation die Summe der Eingangskapazitäten aller Latches und Register 3,25 nF beträgt. Dies entspricht 40% aller Kapazitäten, die auf dem Chip umgeladen werden müssen. Daraus ergibt sich ein äquivalenter Treiber mit der Gate-Weite von 35 cm in einer 0,75 μm Technologie. Der Chip arbeitet mit einer Taktfrequenz von 200 MHz. Zieht man alle Treiber der letzten Stufe in einen Treiber zusammen, erhält man den äquivalenten Treiber. Die nachfolgende Generation, der Alpha 21164 Prozessor, arbeitet mit einer Taktfrequenz von 300 MHz. Die Summe der Lastkapazitäten für den äquivalenten Endtreiber mit der Gate-Weite von 58 cm beträgt nun 3,75 nF. Der Chip wurde in einer 0,5 μm Technologie hergestellt. Die Taktverteilung benötigt 20 W, dies entspricht 40% der gesamten Verlustleistung. Ein großer Teil der zur Verfügung stehenden Verlustleistung wird für die Verteilung der Takte auf den Chips verbraucht. Daher ist es nützlich, dass vorübergehend nicht benötigte Teile abgeschaltet werden können. Dies geschieht, indem zumindest die Taktsignale angehalten werden (Clock-Gating). Besser ist es, wenn zusätzlich

auch die Versorgungsspannung der betreffenden Teilschaltung abgeschaltet werden kann (Power gating). Leider trägt „Clock-Gating“ zum Taktversatz bei, wie später gezeigt wird.

Wegen der extrem großen Lastkapazität, die die Register und Latches darstellen, und wegen der resistiven Beläge der Verbindungsleitungen, ist es in den meisten Fällen nicht möglich, den zentralen Takt mit nur einem Treiber über den ganzen Chip zu verteilen. Man benötigt gut ausgewogene Inverterketten, wie sie bereits in Kapitel 4.8.1.1.2.2 behandelt wurden. Es gilt für den optimalen elektrischen Aufwand $f_i = 4$ ($g_i = 1$). Es gibt viele Strukturen für die Verteilung der Takte. Am gebräuchlichsten dürfte die Baumstruktur nach Bild 5.21a sein. Der zentrale Takt wird mittels eines „Stammes“ (Inverterkette) zur ersten Schicht der Treiber geführt. Von dort aus werden mittels „Ästen“ die Taktsignale weiter verteilt. Die „Äste“ wiederum können in „Zweige“ und diese in „Blätter“ und so weiter verteilt werden. Jeder Inverter treibt vier gleich große Inverter. Wenn die Kapazitäten der Verbindungsleitungen vernachlässigt werden können, entspricht dies einem elektrischen Aufwand $f = 4$. Die Hierarchie an Treiberschaltungen (Invertiern) dient einem doppelten Zweck. Zum einem soll die Verschleifung der Taktsignale durch die RC-Leitungen verhindert werden. Zum anderen schirmen die Treiber einer Schicht die vorangehenden Treiber von den Lastimpedanzen der betrachteten Treiber ab. Es soll nochmals betont werden, dass die Treiber eine wesentliche Ursache für den Taktversatz darstellen.

Gelegentlich wird auch eine zaunartige Struktur (Mesh-Struktur) nach Bild 5.21b verwendet. Die Kurzschlüsse zwischen den Ein- und Ausgängen der jeweiligen Treiber bewirken, dass die Widerstände der einzelnen Zweige parallel liegen. Somit werden die Widerstände und damit der Taktversatz minimiert. Es ergeben sich einheitlichere Ein- und Ausgangssignale.

Ebenfalls häufig eingesetzt werden H-Baum- oder X-Baum-Netzwerke nach den Bildern 5.21c beziehungsweise 5.21d. Das zentrale Taktsignal wird zunächst zu dem zentralen Punkt des Chips geführt. Mittels H- oder X-Baumstrukturen wird das Taktsignal vom zentralen Punkt zu den vier Enden der größten H- oder X-Baumstruktur verteilt. Jedes Ende hat einen Treiber, der den Ausgangspunkt für die nächste kleinere Struktur bildet. Der Verteilungsprozess durchläuft eine Hierarchie von immer kleineren Strukturen. Die letzten Endpunkte sind die Ausgangspunkte für die Treiber der lokalen Register und Latches. Wenn alle Pfade ideal ausgewogen sind, ist der Taktversatz Null. Tatsächlich bewirken umgebungsbedingte Schwankungen Taktversatz und Jitter. Bei jeder Verzweigung werden die Weiten der Leitungen bei H-Strukturen halbiert und bei X-Strukturen geviertelt. Damit erreicht man, dass geringe Reflexionen an den Verzweigungspunkten der Leitungen auftreten. Die hinführende Leitung hat somit den gleichen Wellenwiderstand, wie die wegführenden Leitungen zusammen haben.

Wohl ausgewogene Strukturen zur Taktverteilung sind besonders gut geeignet für digitale Schaltungen, die eine hohe Regularität besitzen. Prozessoren haben verschiedene Blöcke, wie Recheneinheiten, Steuereinheiten oder Speicher. Vorzugsweise hat jeder große Funktionsblock seine eigene lokal optimierte Taktverteilung. So können leichter bestimmte Anforderungen erfüllt werden.

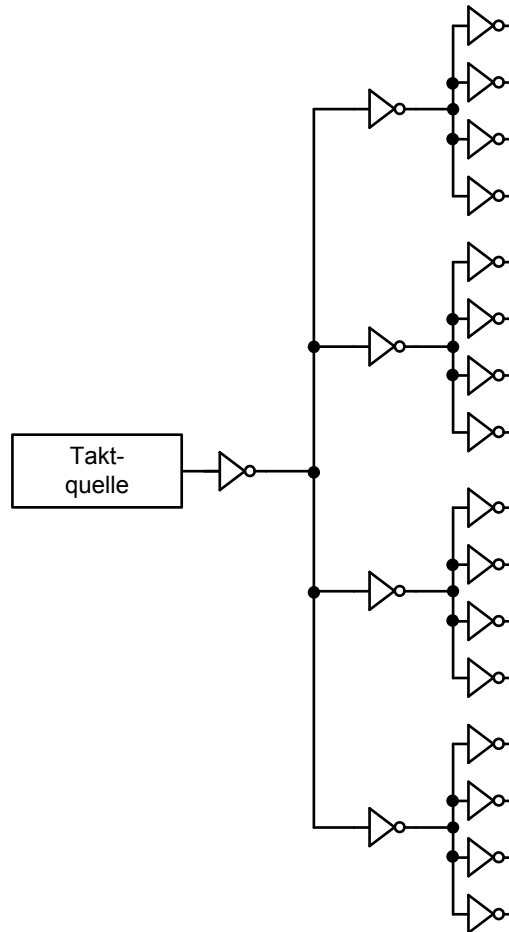


Bild 5.21a Vierfache Baumstruktur zur Verteilung von Taktsignalen.

Die lokale Optimierung muss aber nicht zu einem wohl ausgewogenen H- oder X-Netz führen. In diesem Fall bietet sich eine verallgemeinerte Form der Taktverteilung an, nämlich die angepasste RC-Baumstruktur.

Während bei den bisher besprochenen Netzwerken möglichst identische Strukturen verwendet werden, um die Taktsignale gleichmäßig über den Chip zu verteilen, werden nun auch unterschiedliche Lastkapazitäten und verschiedene Leitungslängen zugelassen. Indem man die Widerstände der Leitungen mittels der Weite, der Länge oder der Verdrahtungsebene variiert, erreicht man trotz unterschiedlicher Ausgangsbedingungen, dass die RC-Zeitkonstanten der verschiedenen Pfade auf einander angepasst sind (matched RC-Trees). Man kann zusätzlich auch die Treiber unterschiedlich dimensionieren, um dieses Ziel zu erreichen. Wenn auf eine neue Technologiegeneration gewechselt werden soll, muss auf jeden Fall überprüft

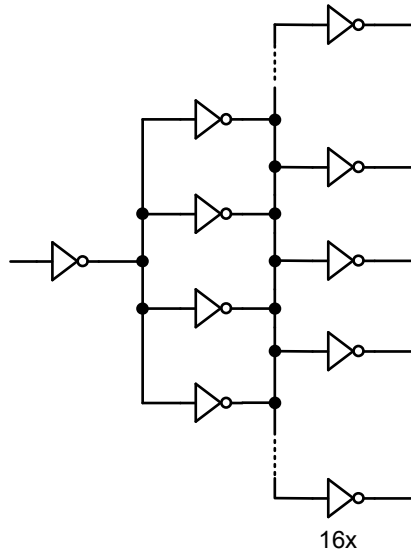


Bild 5.21b Zaunartige Struktur (Mesh-Struktur).

werden, ob die Pfade noch gut ausgewogen sind. Angepasste RC-Bäume können hierarchisch ausgelegt werden.

Eine Alternative zu den ausgewogenen Baumstrukturen stellen Gitterstrukturen nach Bild 5.22 dar [10]. Das Gitter wird von allen vier Seiten von zaunartigen Treiberstrukturen mit den Taktsignalen versorgt (Bild 5.21b). Es würden nur zwei zaunartige Treiberstrukturen reichen. Aber mit vier Treiberstrukturen wird die Empfindlichkeit gegen Prozessschwankungen verringert. Mit Gitterstrukturen wird das Konzept der möglichst ausgewogenen Pfade aufgegeben. Man versucht die Laufzeit der Taktsignale zu minimieren. Dies gelingt, wenn die Maschengröße des Gitters gering ist. Der Vorteil der Gitterstruktur ist, dass das Taktsignal fast an jedem Punkt des Chips verfügbar ist. Somit können Designänderungen im letzten Moment des Entwurfsprozesses leichter durchgeführt werden. Weiter ist der Taktversatz bei engmaschigen Strukturen unabhängig von den Lastkapazitäten der nachfolgenden Schaltungen. Unglücklicherweise bezahlt man diese Vorteile mit einer hohen Verlustleistung, da die Gitterstruktur „überflüssige“ Verbindungen enthält. Die Verteilung der Taktsignale sollte bereits in einer frühen Phase des Entwurfs in die Überlegungen einbezogen werden. Dies gilt genauso für das Testkonzept. Am Ende eines Designs sind die meisten Layoutstrukturen fertig und sollten nicht mehr geändert werden. Das Ergebnis ist, dass das eingefrorene Layout nachträgliche Änderungen des Taktsystems behindert und somit nur noch suboptimale Lösungen möglich sind.

Bisher wurden verschiedene Grundstrukturen für die Verteilung von Taktsignalen mit ihren Vor- und Nachteilen beschrieben. Anhand eines Beispiels soll nun erläutert werden, wie in der Praxis das Problem gelöst werden kann [10]. In dem Beispiel wird zentral ein Ein-Phasen-Takt erzeugt, der über den ganzen Chip ver-

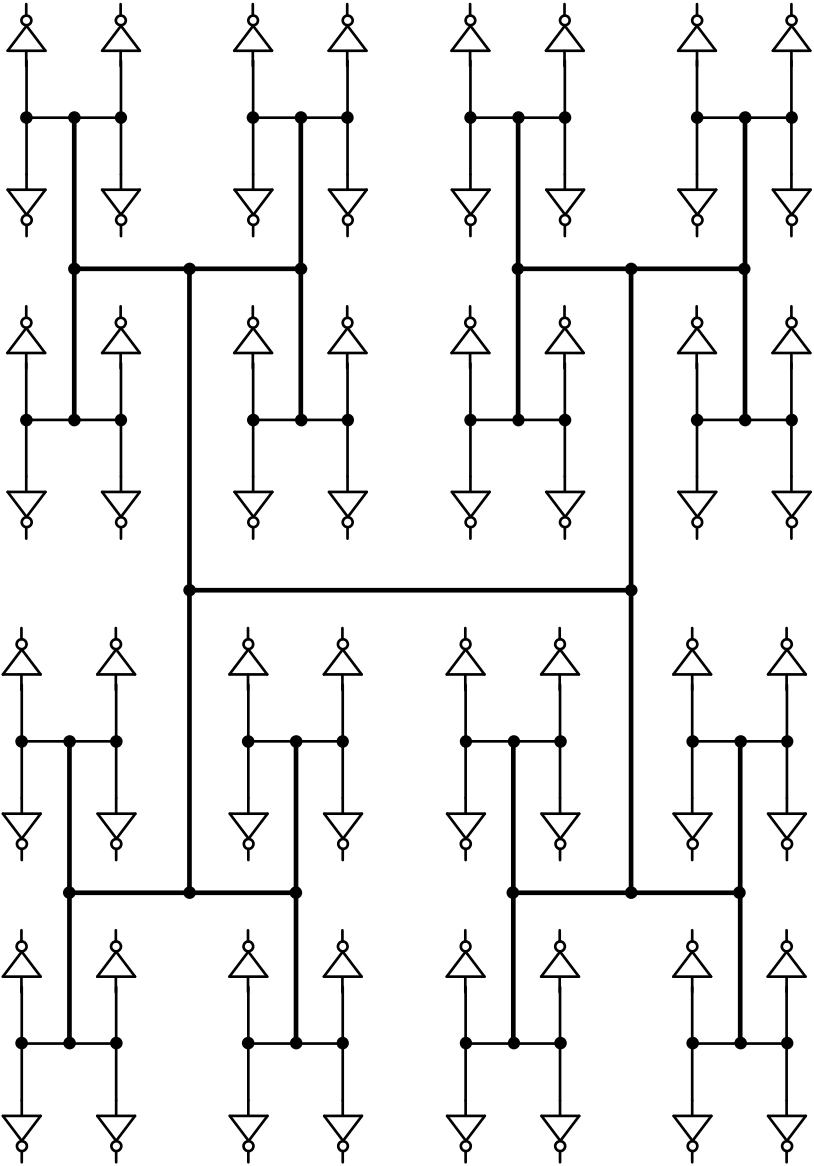


Bild 5.21c Taktverteilung mittels eines H-Baumes.

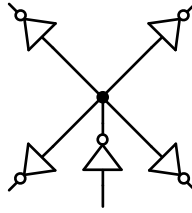


Bild 5.21d Taktverteilung mittels eines X-Baumes.

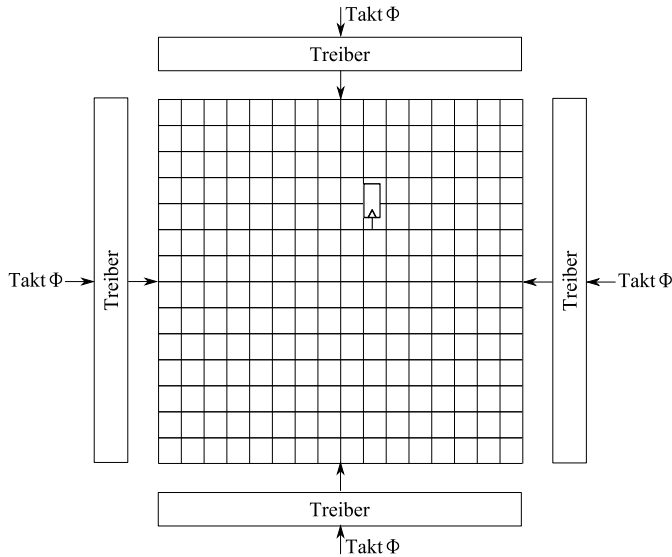


Bild 5.22 Gitterstruktur mit Treiberschaltungen nach Bild 5.21b zur Taktverteilung.

teilt werden muss. Für hochkomplexe Chips, wie sie Mikroprozessoren darstellen, ist die Verteilung der Taktsignale eine herausfordernde Aufgabe, da zwei widersprechende Anforderungen erfüllt werden müssen. Negativer Taktversatz reduziert die per Taktperiode zur Verfügung stehende Rechenzeit und muss deswegen möglichst klein gehalten werden. Die Minderung des Taktversatzes bedeutet höhere Verlustleistung und teurere Gehäuse, um die Wärme abzuleiten. Weiter stellt sich das Problem, dass eine große Anzahl von zeitkritischen Pfaden existiert, die eine optimierte lokale Taktverteilung bedürfen.

In dem Beispiel wird das Problem mittels einer Hierarchie von Taktsignalen gelöst (siehe Bild 5.23a). Zunächst wird das globale Taktsignal von einer PLL generiert. Die PLL hat eine eigene, geregelte Spannungsversorgung von 3,3 V. Während die anderen Schaltungen eine Versorgungsspannung von 2,2 V haben. Die PLL liegt, wie Bild 5.23b zeigt, in einer Chip-Ecke. So kann der Einfluss von Störsignalen klein gehalten werden. Der globale Takt wird mittels eines globalen Gitters über den ganzen Chip verteilt. Das globale Verteilnetzwerk ist in der Rückkoppel-

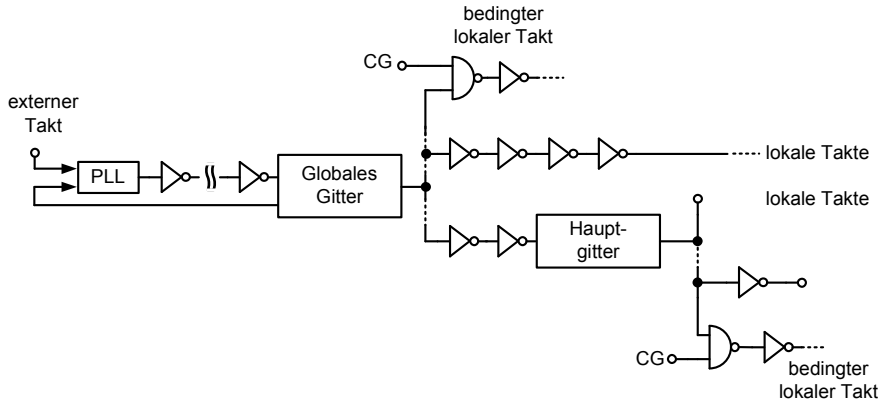


Bild 5.23a Hierarchisches Schema der Taktverteilung des Alpha Prozessors 21264 [10]. Bedingte Takte sind Takte mit „Clock-Gating“ (CG).

schleife der PLL einbezogen. Mit dem globalen Gitter wird sichergestellt, dass der globale Takt überall verfügbar ist. Allerdings wird so mehr Leistung, als es bei der Verwendung einer Baumstruktur der Fall wäre, verbraucht.

In Bild 5.23b ist die Verteilung des globalen Takts detaillierter dargestellt. Von der PLL wird der globale Takt in das Zentrum des Chips geführt. Von dort aus wird der Takt mittels H- und X-Bäume zu sechzehn zaunartigen Treiberschaltungen geleitet, die das in vier Teile unterteilte globale Gitter treiben. Die Balken repräsentieren die zaunartigen Treiberschaltungen. Damit ausgewogene RC-Zeitkonstanten erzielbar sind, werden die Enden der Leitung mit nur noch jeweils einem Treiber verbunden (Bild 5.23c). Um Verlustleistung zu sparen, wurde ein größerer elektrischer Aufwand f als 4 gewählt. Indem die Treiber über den ganzen Chip verteilt sind, kann man die Einbrüche der Versorgungsspannung und die ungleichmäßige Erwärmung des Chips minimieren. Der simulierte globale Taktversatz variiert örtlich bei einer Taktfrequenz von 600 MHz zwischen 15 ps und etwa 65 ps. Die gemessenen Werte sind etwas besser.

Vom diesem Gitter gehen mehrere Pfade aus, die mittels zusätzlicher Steuersignale blockiert werden können (Clock-Gating). Das hilft Verlustleistung zu sparen. Da dies mit NAND-Gattern erfolgt, ist die Ausgewogenheit der Pfade in der zweiten Hierarchiestufe gefährdet. Die NAND-Gatter bedingen zusätzliche Laufzeiten, die auch datenabhängig sind. Die Eingangskapazität der NAND-Gatter ist ebenfalls datenabhängig und unterscheidet sich von denjenigen der Treiberschaltungen. In der zweiten Ebene werden auch lokale Gitter, die Hauptgitter genannt werden, eingesetzt.

Die Hauptgitter werden großen Funktionsblöcken, wie Integer- und Floating-Point-Recheneinheiten, zugeordnet. Wie Bild 5.23a zeigt, gehen sowohl vom globalen Gitter als auch von den Hauptgittern lokale Taktsignale aus, die auch bei Bedarf angehalten werden können. Mit dieser Struktur erzielt man eine hohe Flexibilität, mit der den lokalen Anforderungen Rechnung getragen werden kann.

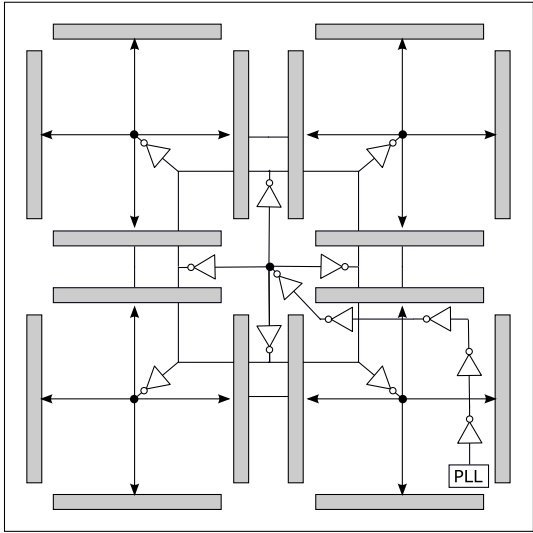


Bild 5.23b Detaillierte Darstellung der Verteilung des globalen Takts nach Bild 5.23a [10]. Die Balken stellen zaunartige Treiberschaltungen dar.

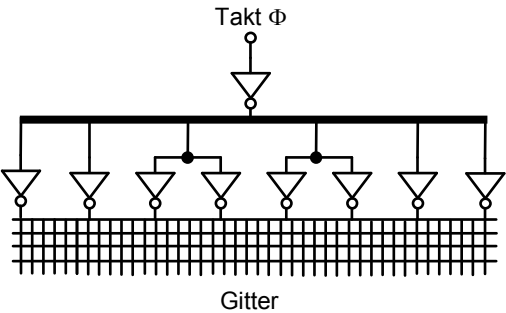


Bild 5.23c Ausgewogene baumartige Treiberschaltung von Bild 5.23b [10].

Kapitel 6

Halbleiterspeicher

Der Siegeszug der integrierten Schaltungen beruht auf der Eigenschaft, dass mit den Siliziumtechnologien gleichzeitig viele Schaltungskomponenten auf einem Chip integriert werden können. Es gelingt gegenwärtig mit einer 40 nm Technologie etwa eine Milliarde Schaltungselemente auf einer Chipfläche von 1 cm^2 zu integrieren. Der Trend zu noch feineren Strukturen, um noch größere Integrationshöhen zu erreichen, ist ungebremsst. Durch die gemeinsame Herstellung der vielen Schaltungselemente erreicht man sehr niedrige Kosten pro Schaltungsfunktion, wenn die Bausteine in großen Stückzahlen hergestellt werden können.

Im Allgemeinen ist der Entwurf von integrierten Schaltungen nicht so effizient wie der Herstellungsprozess, da die Schaltungselemente zwar gemeinsam hergestellt werden können, aber unterschiedlich dimensioniert werden müssen. Daher ist man bestrebt, möglichst reguläre Schaltungen zu entwerfen. Darunter versteht man die Realisierung von komplexen Funktionen mit möglichst wenigen und einfach aufgebauten Grundzellentypen. Indem man die Grundzellen vervielfacht und sie zu Zellenfeldern zusammenfügt, werden sehr reguläre Strukturen erzielt.

Typische Beispiele für diesen Designstil sind Speicherschaltungen wie ROM (Read-Only-Memory), SRAM (Static Random Access Memory) und DRAM (Dynamic Random Access Memory). Auch Logikfunktionen werden mit dieser Methode realisiert. Typisches Beispiel hierfür ist das PLA (Programmable Logic Array) [179].

Aus der Sicht eines Systementwicklers wäre es wünschenswert eine möglichst große Speicherkapazität zur Verfügung zu haben. Zusätzlich sollte auf jede beliebige Information sofort zugegriffen werden können. Da beide Wünsche nicht gleichzeitig verwirklicht werden können, muss man eine Speicherhierarchie einführen. An der Spitze stehen die Register, die nur eine sehr geringe Kapazität aufweisen, aber schnelle Zugriffe ermöglichen. Jede Lage tiefer in der Hierarchie verfügt über eine größere Kapazität als die vorher gehende Lage, aber sie ist auch langsamer. Die Hierarchie reicht von den Registern über die verschiedenen Cache-Speicher, Hauptspeicher, Festplatte bis zu den Magnetbändern (siehe Bild 6.1). Die einzelnen Lagen der Speicherhierarchie werden mittels Cache-Kontrolleinheit, oder Speicher-Management-Einheit (Hauptspeicher) oder vom Betriebssystem verwaltet.

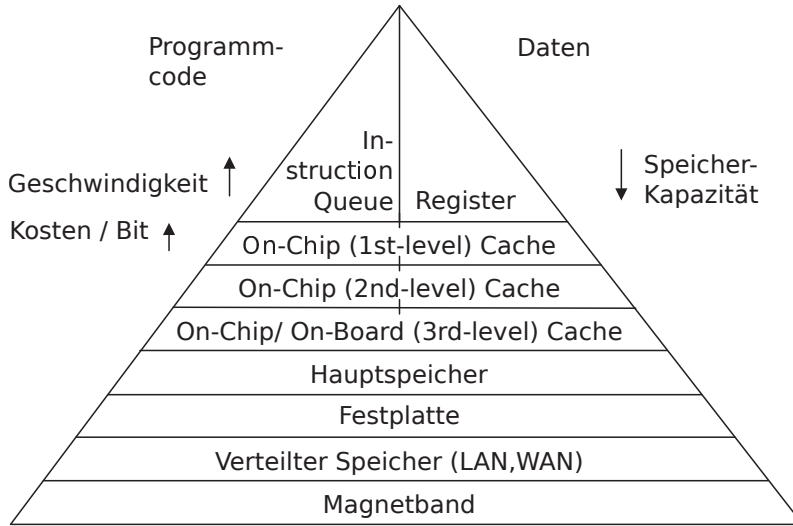


Bild 6.1 Typische Speicherhierarchie.

Dieses Kapitel soll nicht erschöpfend das Thema der integrierten Speicher behandeln, sondern es sollen nur die grundlegenden Konzepte und Methoden anhand von Zellenfeldern der wichtigsten Halbleiterspeicher dargestellt werden. Weiter werden Auswirkungen von Prozess- (P) und Temperaturvariabilität (T) sowie von Schwankungen der Versorgungsspannung (V) diskutiert. Zunächst werden Dekodierschaltungen angesprochen. Daran schließt sich die Behandlung von nicht flüchtigen Speichern an. Schließlich werden statische und dynamische Speicherschaltungen ausführlich erläutert.

6.1 Einführung in die Halbleiterspeicherschaltungen

In digitalen Systemen müssen Informationen gespeichert werden. Entsprechend der Komplexität des Systems reicht der Speicherbedarf von nur einigen Bits bis zu vielen Milliarden Bits. Wird wie bei den Cache-Speichern relativ wenig Speicherplatz gebraucht, aber dafür ein schneller Zugriff auf die gespeicherten Daten benötigt, werden die Speicher als Module neben Datenpfad und Kontrolllogik auf einem Chip integriert. Man spricht von eingebetteten Speichern (embedded memory). Oft werden neben Speicher auch zusätzlich andere Module, wie zum Beispiel Analog-Digital-Umsetzer, mit auf einem Chip integriert. Somit werden ganze Systeme auf einem Chip integriert (SOC, System On Chip). Indem man möglichst in einer einheitlichen Technologie mehrere Systemkomponenten gemeinsam auf einen Chip platziert, können Kosteneinsparungen erzielt werden. Da dadurch die Signale nur auf den Chips geführt werden müssen und somit zeitraubende „Off-Chip“-Verbindungen vermie-

den werden, erreicht man oft gute elektrische Eigenschaften. Eine einheitliche und einfache Technologie sollte angestrebt werden, da zusätzliche Prozessschritte zusätzliche Masken bedingen, die die Ausbeute verringern.

Für große Mengen von zu speichernder Information werden Standardbausteine hergestellt. Die Standardbausteine weisen großen Stückzahlen auf; sie sind deswegen billig. Man bezeichnet derartige Bausteine auch als Verbrauchsartikel (commodity). Als Beurteilungskriterien für Speicherbausteine sind Kosten und Zahl der Speicherplätze, schneller Zugriff auf die Daten, Verlustleistung und Zuverlässigkeit zu nennen. Sollen verschiedene Standardbausteine, wie zum Beispiel Mikroprozessor, Speicher und A/D-Umsetzer zu einem System zusammengeschaltet werden, stapelt man die bereits gehäuten einzelnen Bausteine übereinander und verbindet sie mit Bonddrähten (siehe Bild 6.2).



Bild 6.2 Stapeln von gehäuten Chips — System In Package (SIP).

Man spricht von SIP (System In Package). Bei SIP können die Bausteine in der für sie optimalen Technologie realisiert werden. Durch das Stapeln der Chips wird wenig Fläche gebraucht. Welche der beiden Methoden – „SOC oder SIP“ – für eine gegebene Anwendung günstiger ist, bedarf einer gründlichen Untersuchung. Jedoch kann festgestellt werden, dass bei großen Stückzahlen die Integration von mehreren Modulen auf einem Chip in der Vergangenheit die kostengünstigere Lösung war.

Entsprechend der Art der Informationsspeicherung und den verschiedenen Möglichkeiten die Information einzuschreiben oder auszulesen, werden die Halbleiterspeicher in verschiedene Klassen unterteilt. Bewahrt der Speicher die Information auch wenn die Versorgungsspannung abgeschaltet ist, wie zum Beispiel in einem ROM, spricht man von einem nicht flüchtigen Speicher (Festwertspeicher, non volatile memory). Zur Klasse der flüchtigen Speicher (volatile memory) gehören die statischen und die dynamischen Speicher (SRAM und DRAM). Da in einem SRAM die Information in Flip-Flops gespeichert wird, bleibt die Information gespeichert, solange die Versorgungsspannung aufrecht erhalten wird. Dagegen wird in dynamischen Speichern (DRAM) die Information in Form von Ladungen auf Kondensatoren gespeichert. Wegen der Leckströme verflüchtigen sich mit der Zeit die Ladungen, auch wenn die Versorgungsspannung erhalten bleibt. Deswegen muss in bestimmten Zeitabständen die Information in den Speicherzellen aufgefrischt werden (Refresh-Zyklus).

Wenn von außen auf jeden Speicherplatz zugegriffen werden kann, spricht man von einem Speicher mit wahlfreiem Zugriff (RAM, Random Access Memory). Schieberegister erlauben nur einen seriellen Zugriff auf die gespeicherten Bits. Andere serielle Speicher sind „FIFO“-Speicher (First-In-First-Out) oder „LIFO“-Speicher (Last-In-First-Out).

Die gespeicherten Daten eines „Schreib-Lese-Speichers“ (Read-Write-Memory) können geändert werden. In einem SRAM zum Beispiel können neue Daten mittels des wahlfreien Zugriffs in bestimmte Speicherplätze geschrieben werden und später für die weitere Verarbeitung wieder ausgelesen werden. „Read-Only-Memories“ (ROM) enthalten permanent die gespeicherte Information. Die natürliche Abkürzung für „Read-Write-Memories“ wäre RWM. Für die englische Sprache ist diese Abkürzung ungeeignet, deshalb wird die Abkürzung RAM für Schreib-Lese-Speicher verwendet. Dies ist ein üblicher Sprachgebrauch, obwohl auch „Read-Only-Memories“ (ROM) Speicher mit wahlfreiem Zugriff sind.

In jüngster Zeit wurden nicht flüchtige Speicher (Festwertspeicher) entwickelt, in die neue Daten eingeschrieben werden können. Typischerweise dauert der Schreibvorgang derartiger Speicher wesentlich länger als der Lesevorgang. Vertreter dieser Klasse sind EPROM (erasable programmable read-only memory), E²EPROM (electrically erasable programmable read-only memory) und Flash-Speicher (flash electrically erasable programmable read-only memory). Diese neuartigen, billigen und sehr dicht gepackten Speicher sind die am stärksten wachsende Halbleiterspeichergruppe.

Vom Schaltungsentwickler wird die Größe eines Speichers durch die Anzahl der Speicherplätze, das heißt durch die Anzahl der speicherbaren Bits beschrieben. Die Speichergröße eines Halbleiterspeichers wird immer als Potenz zur Basis zwei angegeben. Auf der nächst höheren Abstraktionsebene spricht man von Bytes, die gespeichert werden können. Bytes bezeichnen Gruppen von acht oder neun Bits. Ein Speicher umfasst das Vielfache davon – Kilobytes (kByte, das sind 1024 Bytes), Megabytes (MByte), Gigabytes (GByte) oder gar Terabytes (TByte). Ein Systementwickler definiert die Speicherkapazität mittels Wörtern. Ein Wort enthält 32 oder 64 Bits.

Die für Speicher am häufigsten angewendete Organisationsform zeigt Bild 6.3. Eingangssignale sind Daten, Adressen und Kontrollsignale. Die Ausgangssignale sind Daten und Statussignale. Die Steuer- und Kontrolleinheit regelt die Abläufe im Speicher für Lese- und Schreibvorgänge. Zusätzlich dient sie auch dazu, eine von mehreren Möglichkeiten bei dem Lesevorgang auszuwählen, den Speicher in den Schlafmodus zu schalten oder die Versorgungsspannungen zu regulieren. Welche Option gerade aktiv ist, wird von den Statussignalen angezeigt.

Die Organisation erlaubt von außen einen wahlfreien Zugriff (random access) mittels einer Adresse für jeden Speicherplatz. In Dekodierschaltungen wird die N -Bit umfassende Zeilenadressinformation dekodiert, um eine aus 2^N Wortleitungen auszuwählen. Das gleiche gilt für die Spaltenadresse. Die Adressen für die jeweilige Zeilen- und Bitleitung werden kodiert übertragen, um den Informationsaustausch zwischen der Recheneinheit und den angeschlossenen Speichern zu minimieren. Schreib-Lese-Schaltungen bestimmen, ob Daten eingeschrieben oder ausgelesen werden sollen. Zusätzlich führen sie notwendige Signalverstärkungen oder Zwischenspeicherungen durch.

Kennzeichnend ist die örtliche Trennung zwischen den Speicherschaltungen, die in einem Zellenfeld zusammengefasst sind, und den Logikschaltungen, die für das Schreiben und Lesen der Informationen nötig sind. Aufgrund dieser Organisations-

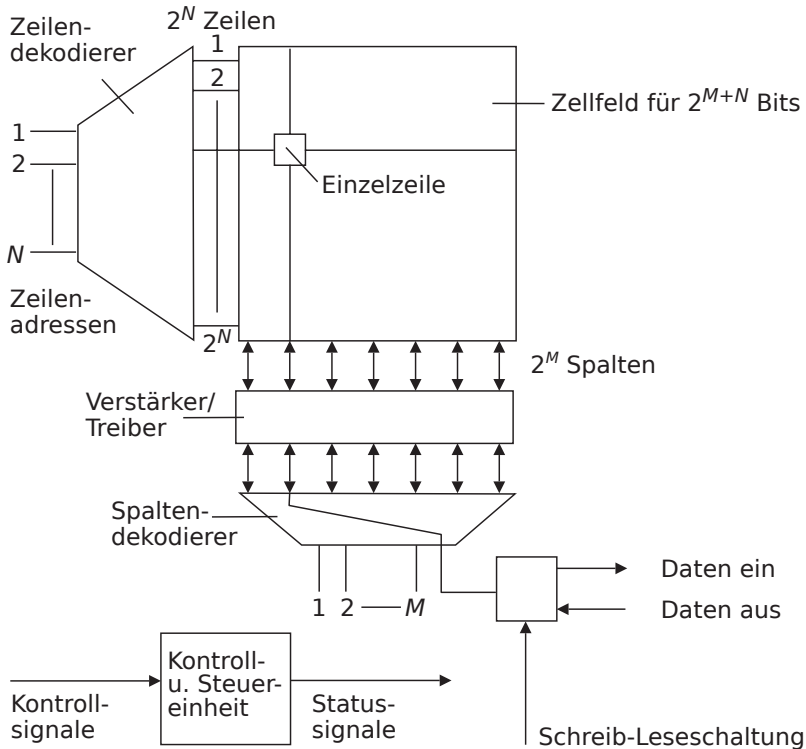


Bild 6.3 Organisation eines Speichers mit wahlfreiem Zugriff.

form können die Speicherzellen sehr einfach aufgebaut werden. Damit erzielt man eine hohe Integrationsdichte.

In dem Zellenfeld ist jede Speicherzelle zum Beispiel mit horizontal verlaufenden Wortleitungen („word lines oder row lines“), die von peripheren Schaltungen gesteuert werden, und den vertikal verlaufenden Bitleitungen („bit lines oder column lines“), die den Datenfluss dienen, verbunden. Eine Zelle wird für einen Lese- oder Schreibvorgang ausgewählt („accessed“), indem eine Wort- und eine Bitleitung aktiviert werden. Ist der gesamte Speicher in mehrere Zellenfelder unterteilt, können gleichzeitig so viele Wortleitungen aktiviert werden, wie Zellenfelder vorhanden sind.

Innerhalb eines Speichers können die Störsignale sehr gut kontrolliert werden. Deswegen können einige Sicherheitsmaßnahmen, wie Störabstand oder Signalhub eingeschränkt werden. Zum Beispiel werden beim Lesen die Signalhübe auf den Bitleitungen auf Werte begrenzt, die deutlich kleiner sind als die zur Verfügung stehende Versorgungsspannung. Dies hilft Verlustleistung zu sparen und beschleunigt die Lesevorgänge. Dagegen an den Grenzen zu den restlichen Schaltungen kennt man die Störsignale nicht und es muss auf ausreichende Störsicherheit geachtet werden. Daher werden die kleinen Signale der Bitleitungen verstärkt bevor sie an die

Umgebung weitergeleitet werden können. Bei einem Schreibvorgang werden die Bitleitungen mittels geeigneter Treiber auf die gewünschten Potentiale gezogen.

Gegenwärtig sind Speicher verfügbar, die asynchron oder synchron arbeiten. Die typischen Signalverläufe von asynchronen Speichern für Lesen oder Schreiben werden stark vereinfacht in den Bildern 6.4a und 6.4b dargestellt. Der Schreibzyklus beginnt mit dem Anlegen der Adressinformation (A). Mit der fallenden Flanke des Signals Chip-Select ($\overline{CS}$) oder „Block-Select“ ($\overline{BS}$) werden intern Taktsignale generiert, die den Lese- oder den Schreibvorgang steuern. Mit dem $\overline{CS}$ -Signal werden die Daten übernommen und in den Wort- und Bitleitungsdekodierschaltungen aufbereitet. Negierte Kontrollsignale bedeuten, dass die gewünschten Operationen ausgeführt werden, wenn die Signale eine logische Null darstellen. Daher, wenn $\overline{CS}$ an hohem Potential liegt, werden die anliegenden Signale ignoriert. Das Signal $\overline{W} = 0$ legt einen Schreibvorgang fest. Das am Dateneingang liegende Signal wird in eine Zelle, die von der Adressinformation festgelegt wird, gespeichert.

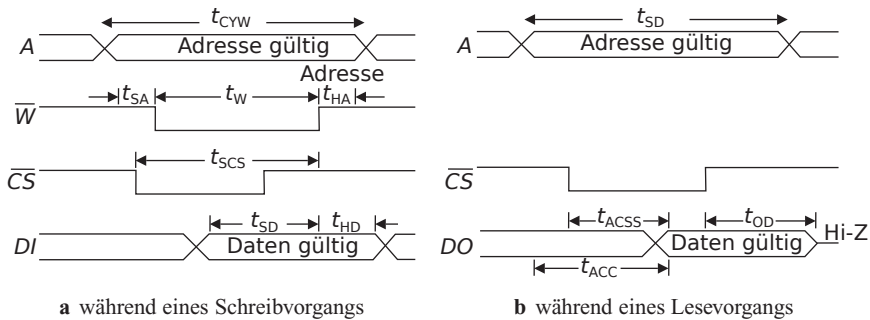


Bild 6.4 Signalverläufe.

In realen Schaltungen unterliegen die Signale unterschiedlichen Verzögerungen, die auch toleranzbehaftet sind. Wie bei Registern und Latches (Bild 4.55 in Kapitel 4.7.1) werden deswegen Set-up- und Hold-Zeiten vereinbart. Die Set-up-Zeit gibt an, wie lange ein betrachtetes Signal mindestens stabil und gültig sein muss, bevor das zugehörige Referenzsignal wechseln darf. In Bild 6.4a bestimmt die „address-set-up“-Zeit t_{SA} die Zeitspanne, während der die Adresseingänge stabil sein müssen, bevor das Signal $\overline{W}$ auf Null geschaltet werden kann. Zwei weitere Set-up-Zeiten die „chip-select-set-up“-Zeit t_{SCS} und die „data-set-up“-Zeit t_{SD} , müssen während des Schreibvorgangs beachtet werden. Die Hold-Zeiten bestimmen, wie lange das betrachtete Signal gültig bleiben muss, nachdem das Referenzsignal gewechselt hat. Zum Beispiel gibt in Bild 6.4a die „address-hold“-Zeit t_{HA} die Zeitdauer an, während der die Adressen gültig bleiben müssen, obwohl das Schreibsignal wieder eine logische Eins darstellt. Für die Dateneingänge muss eine weitere Hold-Zeit, nämlich die „data-hold“-Zeit t_{HD} eingehalten werden.

Die Schreibzykluszeit t_{CYW} ist eine charakteristische Kenngröße. Die maximale Rate ($1/t_{CYW}$), mit der Schreibvorgänge ausgelöst werden dürfen, wird durch

die Schreibzykluszeit begrenzt. Die Schreibzykluszeit ergibt sich aus den Verzögerungszeiten der internen Schaltvorgänge.

Typische Signalverläufe für den Lesevorgang zeigt Bild 6.4b. Entsprechend den Signalverläufen für einen Schreibvorgang beginnt der Zyklus mit dem Anlegen der Adressinformation. Mit dem Wechsel des $\overline{CS}$ -Signals werden die Adressen übernommen, dekodiert und die entsprechende Wortleitung und Bitleitung aktiviert. Im Gegensatz zum Schreibvorgang verbleibt das Schreibsignal $\overline{W}$ auf hohem Potential und bestimmt somit einen Lesevorgang.

Die Dateneingänge werden in den hochohmigen Zustand geschaltet und dadurch blockiert. Die gespeicherten Signale werden über Ausleseverstärker und Ausgangs-Buffer zu den Datenausgängen geführt. Wie beim Schreibvorgang wird auch beim Lesevorgang eine Zykluszeit, die „read-cycle-time“ t_{CYR} definiert.

Eine wichtige Kenngröße für die Leseoperation ist die Zugriffszeit (Access-Time). Die Zugriffszeit beschreibt die Verzögerung zwischen einem spezifizierten Eingangssignal und dem Zeitpunkt, an dem am Ausgang gültige Daten erscheinen. In Bild 6.4b werden zwei Zugriffszeiten angegeben. Die Adressenzugriffszeit t_{ACC} (address-to-output-access-time) gibt die Zeitverzögerung an zwischen dem Zeitpunkt, an dem die Adressen stabil sind, und dem Augenblick, an dem gültige Daten am Ausgang erscheinen. Weiter wird die „chip-select-to-data-output“-Zugriffszeit t_{ACCS} verwendet. Zusätzlich wird die Verzögerung zwischen dem Abschalten des Signals $\overline{CS}$ und dem Zeitpunkt an dem die Datenausgänge wieder blockiert werden, mit der Zeit t_{OD} beschrieben.

In dem bisher beschriebenen Verfahren wird $\overline{CS}$ eingesetzt um den Speicher zu aktivieren. Eleganter ist es einen Signalwechsel auf irgendeiner Adressleitung zu erkennen und mit diesem Signal die notwendige Signalfolge des Speichers auszulösen. Mit der in Bild 6.5 dargestellten Schaltung zur Erkennung eines Signalwechsels auf einer Adressleitung gelingt dies. Wenn auf einer der eingezeichneten Adressleitungen ein Signalwechsel erfolgt, wechselt der Ausgang eines EXOR-Gatters vorübergehend von Null nach Eins. Daher wird der Ausgang des nachfolgenden Pseudo-NMOS-NOR-Gatters nach Null gezogen. Nach dem Inverter erhält man somit eine Eins. Dieses Signal löst die benötigte Signalkaskade zur Steuerung des Speichers aus.

Asynchrone Speicher sind relativ langsam, das heißt sie haben lange Zugriffs- und Zykluszeiten. Für Anwendungen, die schnelle Zugriffe benötigen, werden synchrone Schaltungen bevorzugt. Man benutzt ein oder mehrere Taktsignale, die im Prinzip die Recheneinheit steuern, um die Abläufe in den Speichern zu regeln. An den Ein- und Ausgängen der Speicher befinden sich Latches oder Register, die von den Taktsignalen gesteuert werden. Somit können die Zugriffs- und die Zykluszeiten verbessert werden. Weiter erzielt man auf diesem Wege eine bessere Anpassung der Vorgänge in den Speichern an die Abläufe in der Recheneinheit.

Wird nur ein Taktsignal eingesetzt, spricht man von einem Eintaktspeicher. Von dem sogenannten K-Takt wird festgelegt, wann die Eingangssignale in Register eingeschrieben werden und wann die Ausgangssignale gültig werden. Bei einem Zweitaktspeicher kontrolliert der K-Takt nur die Eingangssignale, während der sogenannte C-Takt die Ausgangssignale festlegt.

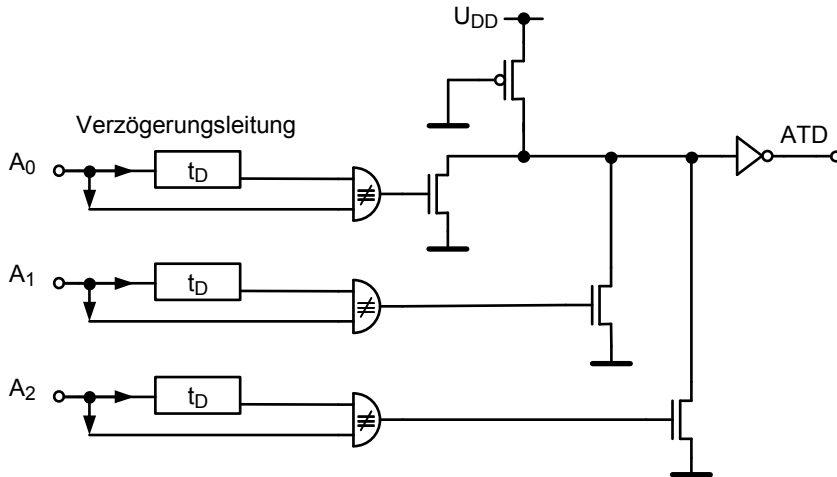


Bild 6.5 Schaltung zur Erkennung von Adresswechseln (address transition detection circuit).

Die große Vielfalt der Speicher spiegelt die breite Anwendungspalette. Die Vielfalt bezieht sich auf die Art, wie die Information gespeichert wird, wie die Speicher organisiert sind, wie groß die Speicher sind und schließlich, ob die Speicher zusammen mit der Recheneinheit auf einem Chip integriert sind oder nicht. Je größer die Speicher sind, desto größer sind auch die Zugriffs- und die Zykluszeiten. In einem Rechnersystem, sei es ein Großrechner, ein Arbeitsplatzrechner (Workstation) oder ein PC, wird eine Hierarchie von Speichern eingesetzt. Der L1 Puffer-Speicher (L1 Cache) muss mit der Geschwindigkeit der Recheneinheit betrieben werden. Deswegen ist dieser Speicher klein und wird zusammen mit der Recheneinheit auf einem Chip integriert. Wenn der L1-Speicher ein gewünschtes Datum nicht enthält, so soll in neunzig Prozent aller Fälle dieses Datum in möglichst kurzer Zeit im L2-Speicher gefunden werden. In einem PC wird der L2-Speicher etwa mit der Hälfte oder einem Drittel der Geschwindigkeit der Recheneinheit betrieben und ist um ein Vielfaches größer als der L1-Speicher. Bei einem Arbeitsplatzrechner wird verlangt, dass der L2-Speicher mit der Geschwindigkeit der Recheneinheit arbeitet. Heute wird der L2-Speicher mit auf dem Chip der Recheneinheit integriert. Die Daten, die von der Recheneinheit im L2-Speicher gehalten werden, werden periodisch in DRAM-Speicherbänke oder in den Festplattenspeicher (L3- oder L4-Speicher) ausgelagert. Nicht flüchtige Speicher, insbesondere Flash-Speicher, ersetzen zunehmend die Festplatte. Anwendungsspezifische Prozessoren, wie Prozessoren für die Bildverarbeitung oder Prozessoren für Mobilfunkgeräte weisen in vielen Fällen eine ähnliche Hierarchie auf; jedoch sind die Anforderungsprofile im Hinblick auf die eingesetzten Speicher unterschiedlich.

Im Vergleich zu den anderen Speichertypen haben die Halbleiterspeicher die Vorteile der niedrigen Kosten, der großen Schaltgeschwindigkeit, des geringen Platzbedarfs und der hohen Zuverlässigkeit. Jedoch ist die auf einem Chip integrierbare Anzahl von Speicherplätzen noch zu gering.

Es ist wegen der großen Vielfalt der Halbleiterspeicher schwer, bei der Darstellung der verschiedenen Möglichkeiten eine reine Aufzählung zu vermeiden. Der rote Faden in diesem Kapitel soll dadurch entstehen, dass dem Signalfluss bei einem Lese- oder Schreibvorgang gefolgt wird. Daher werden zunächst die Dekodierschaltungen beschrieben. Bei synchronen Speichern werden die Eingangssignale zuerst zwischengespeichert. Aber diese Schaltungen wurden bereits in Kapitel 4.7 behandelt. Als Nächstes werden dann die verschiedenen Speicherzellen und ihre Wirkungsweise behandelt.

6.2 Dekodierschaltungen

Wie Bild 6.3 zeigt, sind die Dekodierschaltungen (Decoder) wichtige Bestandteile eines jeden Speichers mit wahlfreiem Zugriff (RAM). Die Zugriffszeit, die Verlustleistung und die Chipfläche eines RAMs werden vom Entwurf der Dekodierschaltungen beeinflusst. Die Dekodierschaltungen haben die Aufgabe aus den mit $N + M$ Bit kodierten Adresssignalen eine der 2^N Wortleitungen und eine der 2^M Bitleitungen auszuwählen und somit den Zugriff auf die gewünschte Speicherzelle zu ermöglichen. Dekodierschaltungen sind eng mit dem Speicherzellenfeld verbunden. Daher muss die Geometrie dieser Schaltungen in das Raster der Wort- oder Bitleitungen passen. Dekodierschaltungen für die Wortleitungen bestehen aus zwei Teilen. Zunächst gilt es, die richtige Wortleitung auszuwählen. Die dafür notwendigen Schaltungen werden nachfolgend besprochen. Zusätzlich muss die ausgewählte Wortleitung von Null auf U_{DD} gebracht werden. Dies erfolgt mittels Inverterketten, die bereits in Kapitel 4.5.1 behandelt wurden. In einem späteren Abschnitt dieses Kapitels wird dann auf die Dekodierschaltungen für Bitleitungen eingegangen.

Es gibt auch Speicherorganisationen bei denen gleichzeitig mehrere Wort- und/oder Bitleitungen adressiert werden. Da die Dekodierschaltungen hierfür nach dem selben Prinzip wie „1 aus N “-Dekodierer arbeiten, werden sie nicht näher erklärt. Das Prinzip des „1 aus N “-Dekodierers wird anhand einer Adresse erläutert, die aus zwei Bits A_1 und A_2 , die die Werte $a_1, \overline{a_1}, a_2$ und $\overline{a_2}$ haben, besteht (siehe Gleichungen 6.1a bis 6.1d)

$$WL_0 = \overline{a_1} \cdot \overline{a_2} \quad (6.1a)$$

$$WL_1 = \overline{a_1} \cdot a_2 \quad (6.1b)$$

$$WL_2 = a_1 \cdot \overline{a_2} \quad (6.1c)$$

$$WL_3 = a_1 \cdot a_2 \quad (6.1d)$$

Bei zwei Bits ergeben sich vier mögliche Kombinationen. Für dieses einfache Beispiel können die Logikschaltungen leicht entworfen werden. Es handelt sich um eine einstufige Logik, das heißt, es treten nur AND- oder OR-Verknüpfungen auf. Die Logikfunktionen zeigen, dass für 2^N Wort- oder Bitleitungen 2^N AND- oder NOR-Gatter mit jeweils N Eingängen nötig sind. Wenn es sich um komplexere Speicher

handelt, wie zum Beispiel um einen 4 Mbit-Speicher, dessen Wort- oder Bitleitungsadresse jeweils 11 Bits umfasst, wird die Aufgabe schon schwieriger. Allein für die Dekodierung der Wortleitungsadresse müsste man 2^{11} (2048) NAND- oder NOR-Gatter mit jeweils 11 Eingängen entwerfen. Gleichgültig welche Logikfamilie man wählt, dies ist indiskutabel. Daher muss man nach Auswegen suchen. Wie es in Kapitel 4.8.1.1 bereits beschrieben wurde, liegt die Lösung darin, Komplexgatter durch eine Kaskade von einfachen Gatter zu ersetzen. Dies soll nun anhand einer Wortleitungsadresse mit 8 Bits erläutert werden. Bei 8 Bits Adressenumfang wird die Wortleitung WL_0 mittels der Gleichung

$$WL_0 = \overline{a_0} \cdot \overline{a_1} \cdot \overline{a_2} \cdot \overline{a_3} \cdot \overline{a_4} \cdot \overline{a_5} \cdot \overline{a_6} \cdot \overline{a_7} \quad (6.2a)$$

und die Wortleitung WL_{255} mittels

$$WL_{255} = a_0 \cdot a_1 \cdot a_2 \cdot a_3 \cdot a_4 \cdot a_5 \cdot a_6 \cdot a_7 \quad (6.2b)$$

bestimmt. Wählt man zwei Kaskadenstufen werden jeweils zwei Bits zusammengefasst und in einer Vorstufe (predecoder) berechnet. Man erhält zum Beispiel für WL_0

$$WL_0 = \overline{(a_0 + a_1)} \cdot \overline{(a_2 + a_3)} \cdot \overline{(a_4 + a_5)} \cdot \overline{(a_6 + a_7)} \quad (6.3)$$

Die Verknüpfung benachbarter Bits (zum Beispiel A_0 und A_1) ergibt jeweils vier Kombinationen; nämlich $a_0 \cdot a_1$, $\overline{a_0} \cdot a_1$, $a_0 \cdot \overline{a_1}$ und $\overline{a_0} \cdot \overline{a_1}$. Da vier Untergruppen gebildet werden müssen, ergeben sich insgesamt 16 Kombinationen in der ersten Stufe. Das heißt, die erste Stufe hat 16 Ausgangsleitungen, die die Eingänge für die zweite Stufe bilden.

In Bild 6.6 sind schematisch die AND-Verknüpfungen in der zweiten Stufe mit kleinen Kreise eingetragen. Aus dem Bild sollte das zugrunde liegende Schema erkennbar sein. Die niederwertigsten Bits A_0 und A_1 haben 4 Kombinationen. Nimmt man das benachbarte Bitpaar (A_2 und A_3) hinzu, ergeben sich $4 \times 4 = 16$ Kombinationen. Mit A_4 und A_5 erhöht sich die Zahl der Kombinationen auf 64. Schließlich mit A_6 und A_7 ergeben sich insgesamt die gewünschte Zahl (256) an Kombinationen. In dem Bild sind die Kombinationen mit den Bits A_6 und A_7 und teilweise die Kombinationen mit A_4 und A_5 nicht eingezeichnet, da sonst das Bild unübersichtlich werden würde. Die Wortleitung WL_{255} wird ausgewählt mit $(a_0 \cdot a_1) \cdot (a_2 \cdot a_3) \cdot (a_4 \cdot a_5) \cdot (a_6 \cdot a_7)$, also mit einer vierfachen AND-Verknüpfung. Für die Wortleitung WL_{254} muss nur $a_0 \cdot a_1$ durch $\overline{a_0} \cdot a_1$ ersetzt werden, alle anderen Terme bleiben unverändert.

Da das Auswahlsignal für jede Wortleitung aus der Verknüpfung von vier Eingangssignalen gebildet wird, braucht man vierfache AND- oder NOR-Gatter zur Bildung der Auswahlsignale; bei 256 Wortleitungen sind dies 256 Vierfach-Gatter. Würde man jedes einzelne Gatter des zweistufigen Dekodierers mit der statischen CMOS-Logik realisieren, ergäben sich für die erste Stufe, wenn man 16 zweifache AND- (NOR-) Gatter einsetzt, $4 \times 4 \times 4 = 64$ Transistoren. Die zweite Stufe weist $256 \times 8 = 2048$ Transistoren auf. Insgesamt werden 2112 Transistoren gebraucht.

Bei einer einstufigen Lösung wären es $16 \times 256 = 4096$ Transistoren. Die Zahl der Transistoren wird mittels der zweifachen Kaskadierung nahezu halbiert. Die Zahl der Transistoren kann weiter reduziert werden, wenn zu einer dreistufigen Lösung übergegangen wird.

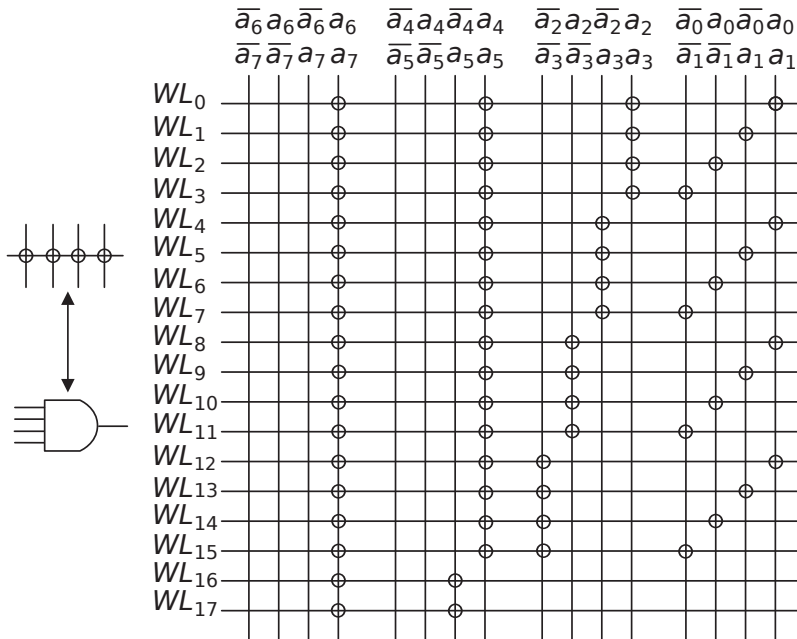


Bild 6.6 Schema der logischen Verbindungen in der zweiten Stufe einer zweistufigen Dekodierlogik für eine Adresse mit acht Bits. Kleine Kreise bedeuten eine AND-Verknüpfung.

Das Prinzip der dreistufigen Kaskadierung ist in Bild 4.77 bereits beschrieben worden. Da bei einer Adresse mit 8 Bits 256 Wortleitungen ausgewählt werden können, muss die Schaltung in Bild 4.77 entsprechend erweitert werden. Die in der Schaltung nach Bild 4.77 angelegte Baumstruktur soll aber beibehalten werden. Die Überlegungen lassen sich vereinfachen, wenn für den Augenblick angenommen wird, dass zweifache AND-Gatter zur Verfügung stehen. Ähnlich wie bei der zweistufigen Dekodierlogik besteht dann die erste Stufe aus 16 zweifachen AND-Gattern. Man bekommt wieder 16 Eingangssignale für die zweite Stufe der dreistufigen Logik. Um die Baumstruktur beibehalten zu können, werden jeweils 8 benachbarte Eingangsleitungen ($a_0 \cdot a_1$ bis $\bar{a}_2 \cdot \bar{a}_3$ und $a_4 \cdot a_5$ bis $\bar{a}_6 \cdot \bar{a}_7$) zu einem Bündel zusammengefasst und zu einer Logikschaltung geführt, die aus zweifachen AND-Gattern besteht. Somit setzt sich die zweite Stufe der Dekodierschaltung aus zwei identischen Hälften zusammen, wie es in Bild 6.7 dargestellt ist. Es zeigt sich, dass die betrachteten acht Eingangssignale in einer Hälfte der zweiten Stufe zu 16 Kombinationen und damit zu 16 Ausgangssignalen verknüpft werden können. Beide Hälften zusammen liefern 32 Kombinationen. Es ergeben sich $2 \times 4 \times 4 = 32$ zweifache

Gatter für die zweite Stufe. Zum Beispiel errechnen sich die Ausgangssignale X_0 und X_{16} wie folgt

$$X_0 = a_0 \cdot a_1 \cdot a_2 \cdot a_3 \quad (6.4)$$

$$X_{16} = a_4 \cdot a_5 \cdot a_6 \cdot a_7 \quad (6.5)$$

Nun muss jede der 16 Kombinationen der einen Hälfte mit allen 16 Kombina-

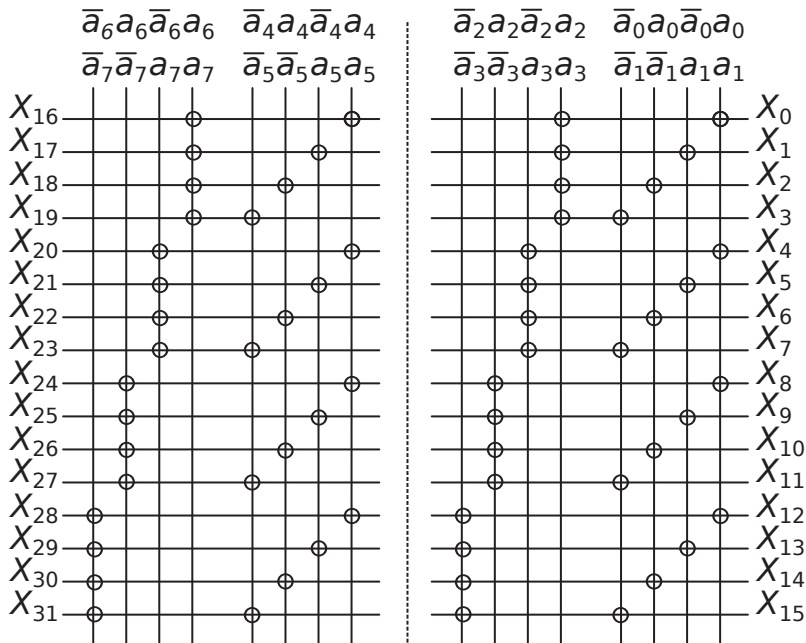


Bild 6.7 Logikschema der zweiten Stufe einer dreistufigen Dekodierschaltung für eine Adresse mit acht Bits.

nen der anderen Hälfte in der dritten Stufe verknüpft werden. Hierzu werden wieder zweifache Gatter eingesetzt. Insgesamt ergeben sich die geforderten 256 Kombinationen. Es werden $16 \times 4 + 32 \times 4 + 256 \times 4 = 1216$ Transistoren bei einer statischen CMOS-Logik benötigt. Dies bedeutet eine weitere starke Abnahme der Zahl der Transistoren. Zu berücksichtigen ist zusätzlich, dass nun die Transistoren bei einer Serienschaltung nur die doppelte Weite, und nicht die vierfache oder gar die achtfache Weite, wie es bei den beiden anderen Alternativen der Fall ist, aufweisen.

Bisher wurden nur Gatter der statischen CMOS-Logik berücksichtigt. Die Vor- und Nachteile der statischen Logik wurden in Kapitel 4.8.1.1.5 beschrieben. Zusammengefasst kann gesagt werden, dass die statische CMOS-Logik eine geringe Verlustleistung bei moderater Schaltgeschwindigkeit und relativ hoher Chipfläche aufweist. Im Prinzip kann jede der in Kapitel 4.8 beschriebenen Logikfamilie für diese Aufgabe eingesetzt werden. Jedoch sind einige Logikfamilien besser geeignet

als Andere. Da Gatter der Pseudo-NMOS-Logik statische Verlustleistung verbrauchen und wegen der Vielzahl der benötigten Gatter, werden derartige Gatter für die Dekodierschaltungen selten eingesetzt. Es sollte das Ziel sein, für die gegebene Anwendung ein Optimum aus Gatterlaufzeit, Chipfläche und Verlustleistung zu finden. Es kann günstig sein die kaskadierten Gatterstufen mittels verschiedener Logikfamilien zu implementieren.

Dynamische Logikgatter sind gut geeignet, wenn die benötigten Taktsignale zur Verfügung stehen. In Kapitel 4.8.2 Bild 4.109 wird ein typisches Gatter der dynamischen Logikfamilie gezeigt. In der Vorladephase, in der der Gatterausgang auf U_{DD} gezogen wird, liegt das Taktsignal Φ an zwei Transistoren an. Wenn es sicher gestellt werden kann, dass in der Vorladephase die logischen Eingangssignale auf Masse liegen, kann auf den zusätzlichen Transistor im Pull-Down-Pfad verzichtet und somit Platz gespart werden.

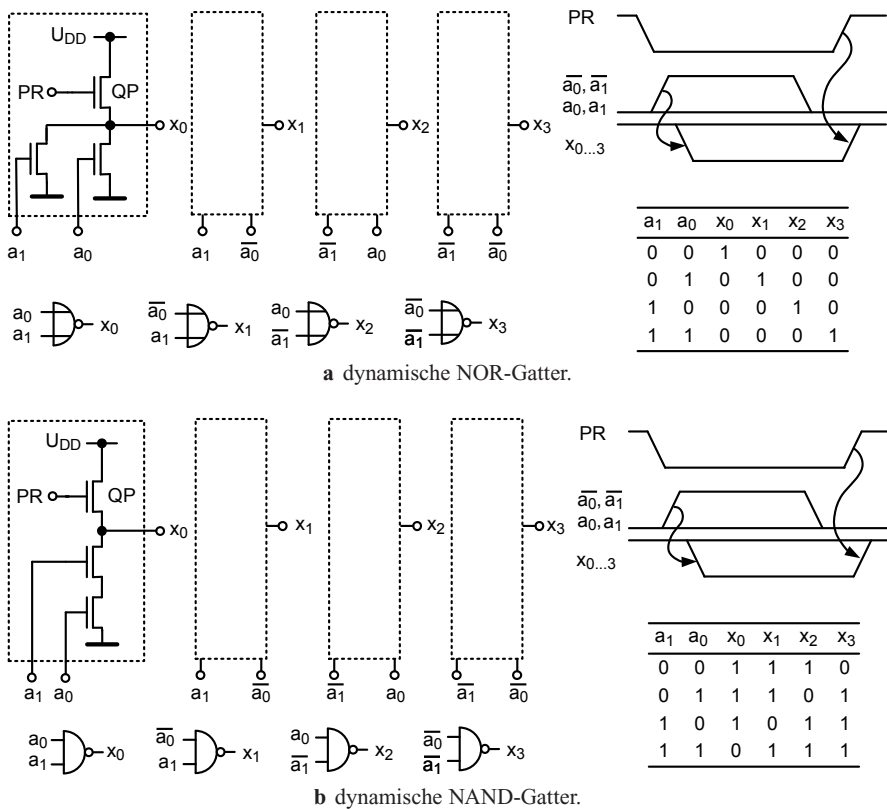


Bild 6.8 Dynamische Dekodierer für zwei Adressbits [102].

Bild 6.8 zeigt dynamische NOR- und NAND-Dekodierschaltungen und ihre Funktionsweise. Zunächst werden die Ausgangsknoten (x_0 bis x_3) auf U_{DD} vorgelad-

den, während die Eingangssignale auf Null gehalten werden. In der Durchführungsphase nehmen die Eingangssignale ihre Werte an und die Ausgangsknoten werden entladen oder behalten ihre Potentiale. Offensichtlich werden mittels der NOR-Gatter alle Knoten bis auf den ausgewählten Knoten entladen. Während bei NAND-Gatter alle Knoten bis auf den ausgewählten Knoten auf hohem Potential bleiben. Mit einem anschließenden Inverter, der für das richtige Potential der ausgewählten Wortleitung sorgt, sind die beiden Auswahlkonzepte, wie die Wertetabellen in Bild 6.8 zeigen, logisch gleichrangig. Dieses Prinzip kann auch auf alle bisher besprochenen statischen AND- oder NOR-Gatter angewendet werden.

NOR-Dekodierer weisen eine hohe Verlustleistung für das Laden und Entladen der vielen Knoten auf. Die Gatterlaufzeit ist aber gering. Dagegen wird bei der Realisierung mit NAND-Gattern unabhängig von der Speichergröße nur ein Knoten entladen. Dafür haben die NAND-Gatter den Nachteil, dass Transistoren in Serie geschaltet werden müssen, was die Gatterlaufzeit beeinträchtigt. Es wird aber Fläche gespart, da nicht alle Transistoren wie bei NOR-Gattern mit Masse verbunden werden müssen. Die Kaskadierung hilft den Nachteil der Serienschaltung zu begrenzen. Wie es in [102] beschrieben ist, brauchen NAND-Dekodierschaltungen für einen 1 Mbit-Speicher nur 4 Prozent der Verlustleistung, die NOR-Dekodierer brauchen würden.

Die Zahl der Transistoren in einem NAND-Dekodierer kann mittels einer Baumstruktur verringert werden, wie es in Bild 6.9 dargestellt ist. Die elektrischen Eigenschaften der Baumstruktur gleichen denjenigen eines entsprechenden NAND-Gatters.

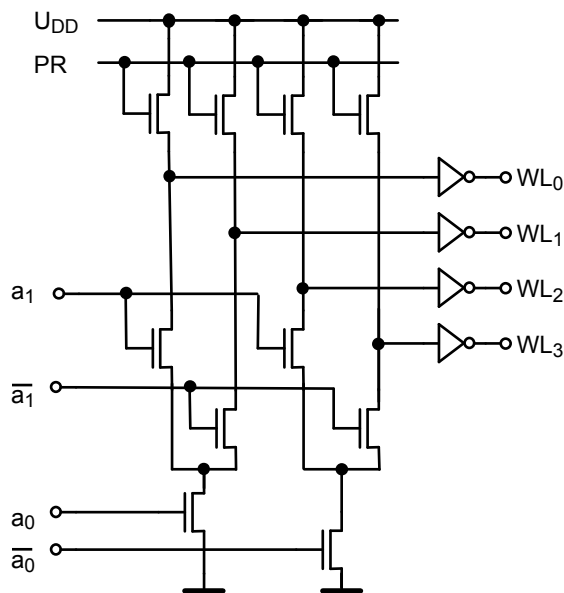


Bild 6.9 Dekodierschaltung mit Baumstruktur für Wortleitungsadressen.

Wie es bereits erwähnt wurde, steuern die Ausgangssignale der Wortleitungsdekodierer Treiberschaltungen nach Kapitel 4.5.1. Im Gegensatz zu den Wortleitungsdekodierern steuern die Ausgänge der Bitleitungsdekodierschaltungen Transfertransistoren, die in den Datenpfaden von den Speicherzellen zu den Ausgängen liegen (siehe Bild 6.10a). Baumstrukturen nach Bild 6.10b sind besonders günstig. In Kapitel 4.7.1 wurden bereits die Vor- und Nachteile von Transfertransistoren behandelt. Ebenso findet man dort die Alternativen.

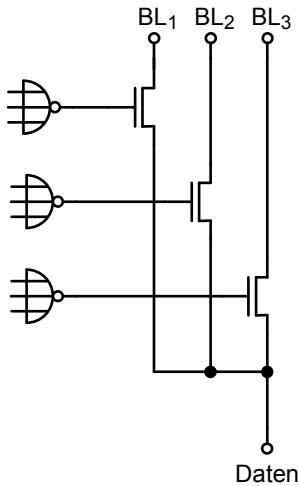


Bild 6.10a Dekodierschaltungen mit Transfertransistoren für Bitleitungsadressen.

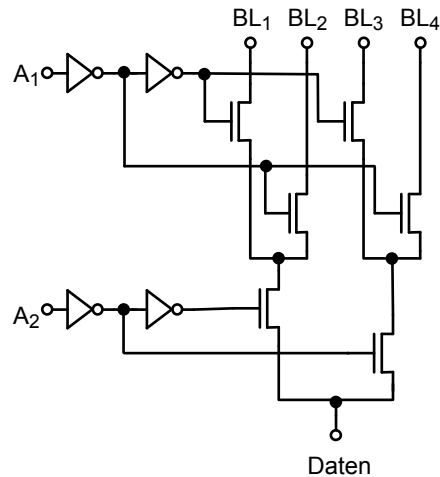


Bild 6.10b Dekodierschaltungen mit Baumstruktur für Bitleitungsadressen.

Nachdem die Signalpfade von den Adresseingängen bis zu den Wortleitungen behandelt wurden, können nun die verschiedenen Speicherzellen und ihre Wirkungsweisen besprochen werden.

6.3 Nicht flüchtige Speicher

Nicht flüchtige Speicherzellen werden in digitalen Systemen verwendet um Konstanten, Kontrollfunktionen, Wissensbasen, Nachschlagetabellen (look-up tables) und Programminstruktionen zu speichern. Dies sind Anwendungen, die einen wahlfreien Zugriff auf die gespeicherten Informationen benötigen. Die Änderung des Speicherinhalts sollte nicht oder nur selten notwendig sein. Die ROM- (Read-Only-Memory) Zelle ist die einfachste nicht flüchtige Speicherzelle.

herstellt. Eine logische Eins entspricht der Abwesenheit eines Transistors. Bei einer NOR-Struktur wird ein wesentlicher Teil der Zellfläche für die Bitleitungskontakte und die Verbindung zu Masse verwendet. Um den Zusatzaufwand zu minimieren, teilen sich je zwei benachbarte Zellen die Masseleitung und das dazugehörige Kontaktloch. Diese Methode wird auch bei anderen Zelltypen eingesetzt. Wenn man zu einer NAND-Struktur übergeht, lassen sich die Verbindungen zu der Bitleitung und zu der Masseleitung innerhalb der Zelle vermeiden. Somit wird wesentlich die benötigte Fläche reduziert.

Bei einer NAND-Struktur (siehe Bild 6.11b) liegen die entsprechenden Transistoren in Serie. Wenn alle in Serie geschalteten Transistoren leiten, ergibt sich eine Null. Die Programmierung kann auf unterschiedliche Weise erfolgen. Eine Möglichkeit ist den betreffenden Transistor mit einem Leitungsstück der ersten Metalllage zu überbrücken. Als Alternative hierzu kann man mittels einer zusätzlichen Implantation eine negative Einsatzspannung erzielen und so eine ständig leitende Verbindung erreichen. Im letzteren Fall wird im Vergleich zur NOR-Struktur die Zellfläche halbiert. Bei einer NAND-Struktur braucht das Massepotential pro Bitleitung nur einmal zugeführt werden. Jedoch, wenn bei einer dynamischen Logik eine Bitleitung nur ständig leitende Transistoren enthält, muss zusätzlich ein n-Kanal-Transistor eingefügt werden, der vom Taktsignal ϕ gesteuert während der Vorladephase sperrt.

Die Programmierung von NOR-Zellen kann genauso wie die Programmierung von NAND-Zellen mit einer oder mehreren Masken (maskenprogrammierbar) erfolgen. Eine Methode, die Einsatzspannung der n-Kanal-Transistoren zu variieren, wurde bereits beschrieben. Bei NOR-Zellenfeldern muss die Einsatzspannung zu hohen Werten verändert werden, so dass der betreffende Transistor sperrt. Eine Alternative ist, die Oxiddicke der Transistoren zu ändern. Wenn ein Transistor permanent nicht leiten soll, wird das Gate-Oxid durch das dicke Feld-Oxid ersetzt. Ebenfalls gebräuchlich ist das Weglassen von Kontakten zwischen Drain und der Bitleitung. Ergänzt wird diese Maßnahme durch eine dicke Oxidschicht zwischen der Bitleitung und dem Drain. Mit dicken Oxidschichten werden kapazitive Beläge von Leitungen minimiert.

Es ist zu beachten, dass bei der Programmierung die Wortleitungen nicht unterbrochen werden dürfen. Unabhängig von der gewählten Architektur beginnt ein Speicherzugriff mit der Aktivierung der Wortleitung, das heißt, die ausgewählte Wortleitung wird auf U_{DD} gesetzt.

Kriterien für die Programmierung sind Zuverlässigkeit, Ausbeute und die Möglichkeit die Programmierung in einer späten Phase des Herstellungsprozesses vornehmen zu können. Je später die Programmierung erfolgt, desto später muss sich der Designer festlegen. Bisher wurde nur von anwendungsspezifischen ROMs gesprochen. Das sind ROMs, die zusammen mit anderen Blöcken auf einem Chip integriert werden und die nur für eine bestimmte Anwendung programmiert werden.

Hiervon unterscheiden sich die ROM-Standardbausteine (Verbrauchsartikel), die in großen Stückzahlen und somit billig hergestellt werden und vom Käufer programmiert werden können. Daher nennt man diese Bausteine auch PROM (Programmable ROM). Die Programmierung erfolgt einmalig in dem Leitungsstücke elektrisch

oder durch Laserbeschuss unterbrochen werden. Auch der umgekehrte Weg, nämlich die nachträgliche Erzeugung von leitenden Verbindungsstücken, wird angewendet.

Für viele Anwendungen ist die Randbedingung, dass ein ROM nur einmal programmiert werden kann, unattraktiv. Zum Beispiel stellt die starre Programmierung während der Entwicklung von neuen Geräten eine starke Einschränkung dar. Auch eine Weiterentwicklung der Geräte wird von der starren Programmierung erschwert. Unattraktiv ist auch, dass Programmierfehler nur behoben werden können, indem Bausteine ausgewechselt werden. Deswegen wurde nach Methoden gesucht, mit denen auch nachträgliches Umprogrammieren möglich ist, ohne den Charakter als Festwertspeicher zu verändern. Die Ergebnisse einer langen Entwicklung sind EPROM, EEPROM und schließlich die Flash-Speicher. Diese Speichertypen werden im Folgenden behandelt.

6.3.2 *Floating-Gate-Transistor*

Heute ist die wirtschaftliche Bedeutung von EPROMs (Erasable Programmable ROM) und von EEPROMs (Electrically Erasable PROM) im Vergleich zu den Flash-Speichern gering. Trotzdem werden die beiden Speichertypen in diesem Kapitel besprochen, da die Wirkungsweise der Flash-Speicher in vielen Dingen denen der beiden anderen Speichertypen ähnelt. Der Leser soll auch verstehen, warum EPROM und EEPROM an Bedeutung verloren haben.

Alle drei Speicherzellen setzen den Floating-Gate-Transistor nach Bild 6.12 ein. Zwei Polysiliziumlagen bilden ein doppeltes Gate. Gate 2 ist vollständig elektrisch isoliert, es ist also freischwebend (Floating Gate). Gate 1 übernimmt die Funktion des Gates, wie bei einem üblichen Transistor, daher auch der Name „control gate“. Die Programmierung des Floating-Gate-Transistors beruht darauf elektrische Ladungen auf dem isolierten Gate zu speichern und somit die Einsatzspannung von Gate 1 zu beeinflussen.

Zunächst wird angenommen, dass sich keine Ladung auf dem Gate 2 befindet. Legt man Source, Drain und Gate 1 an Masse, so hat das Gate 2 das Potential Null. Legt man an das Gate 1 die Spannung U , ist die Spannung an Gate 1 $U/2$, wenn man voraussetzt, dass zwischen Gate 1 und Gate 2 die gleiche Kapazität vorliegt, wie zwischen dem Gate 2 und den restlichen Anschlüssen, einschließlich dem Substrat. Daher, wenn an Gate 1 eine Spannung $U > 2 \cdot U_{Tn}$ angelegt wird, leitet der Floating-Gate-Transistor. Befindet sich dagegen auf dem Gate 2 eine negative elektrische Ladung, enden Feldlinien, die vom Gate 1 ausgehen auf dem Gate 2.

Das darunter liegende Substrat wird vom elektrischen Feld abgeschirmt. Der Transistor sperrt in diesem Zustand. Erst wenn durch eine größere Spannung an Gate 1 zusätzliche Feldlinien auftreten, kann sich im Substrat an der Grenzschicht zum Oxid eine Inversionsschicht ausbilden. Somit wird mit einer negativen Ladung auf dem isoliertem Gate die Einsatzspannung U_{Tn} des Floating-Gate-Transistors zu positiven Werten verschoben.

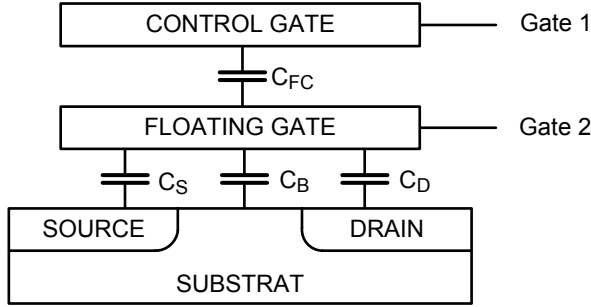


Bild 6.12 Schematischer Querschnitt durch einen Floating-Gate-Transistor [102].

Anhand des Bildes 6.12 soll nun das elektrische Verhalten der Struktur genauer analysiert werden. Wenn die Ladung Q_{FG} auf dem isolierten Gate gespeichert ist, gilt [102]

$$Q_{FG} = C_{FC} \cdot (U_{FG} - U_{CG}) + C_S \cdot (U_{FG} - U_S) + C_D \cdot (U_{FG} - U_D) + C_B \cdot (U_{FG} - U_B) \quad (6.6)$$

U_{FG} Potential des „Floating Gate“

U_{CG} Potential des „Control Gate“

U_S, U_D und U_B Potentiale von Source, Drain und Substrat.

Daraus kann das Potential U_{FG} berechnet werden

$$U_{FG} = \frac{Q_{FG}}{C_T} + \frac{C_{FC}}{C_T} \cdot U_{CG} + \frac{C_S}{C_T} \cdot U_S + \frac{C_D}{C_T} \cdot U_D + \frac{C_B}{C_T} \cdot U_B \quad (6.7)$$

mit

$$C_T = C_{FC} + C_S + C_D + C_B \quad (6.8)$$

Die letzte Gleichung kann vereinfacht werden, wenn angenommen wird, dass der Source- und der Substratanschluss an Masse liegen

$$U_{FGS} = \frac{Q_{FG}}{C_T} + \frac{C_{FC}}{C_T} \cdot U_{CGS} + \frac{C_D}{C_T} \cdot U_{DS} \quad (6.9)$$

Die Einsatzspannung des Transistors mit dem Gate 2 sei $U_{T(FG)}$. Für $U_{FGS} < U_{T(FG)}$ sperrt der Transistor; für $U_{FGS} > U_{T(FG)}$ leitet der Transistor mit dem Gate 2. Der Transistor mit dem Gate 1 beginnt für $U_{FGS} = U_{T(FG)}$ ebenfalls zu leiten. Damit ist die Einsatzspannung $U_{T(CG)}$ des Transistors mit dem „control gate“ festgelegt. Setzt man $U_{CGS} = U_{T(CG)}$ und $U_{FGS} = U_{T(FG)}$ erhält man aus der Gleichung 6.9, indem man nach $U_{CGS} = U_{T(CG)}$ auflöst,

$$U_{T(CG)} = \frac{C_T}{C_{FC}} \cdot U_{T(FG)} - \frac{Q_{FG}}{C_{FC}} - \frac{C_D}{C_{FC}} \cdot U_{DS} \quad (6.10)$$

Die Einsatzspannung bezüglich des Gate 1, dies ist die Einsatzspannung der Speicherzelle, hängt von der Ladung Q_{FG} auf dem Gate 2 ab. Mit einer Ladungsänderung ΔQ_{FG} wird eine Änderung der Einsatzspannung $\Delta U_{T(CG)}$ des Transistors mit dem Gate 1 bewirkt

$$\Delta U_{T(CG)} = -\frac{\Delta Q_{FG}}{C_{FC}} \quad (6.11)$$

Mit einer negativen Ladung auf dem Gate 2 wird, wie es das Bild 6.13 zeigt, die Kurve I_D-U_{CG} , das ist der Strom der Speicherzelle in Abhängigkeit von der Kontrollspannung U_{CGS} , nach rechts verschoben. Bei einer bestimmten von außen angelegten Lesespannungen U_R (üblicherweise $U_R = U_{CGS} = 5\text{ V}$ und $U_{DS} = 1\text{ V}$) fließen in Abhängigkeit von der Ladung auf dem Gate 2 deutlich unterschiedliche Ströme in der Speicherzelle. Bei einer gespeicherten logischen Null fließen etwa $100\text{ }\mu\text{A}$, während bei einer gespeicherten logischen „1“ nur ein zu vernachlässigender Strom fließt. Die Spannung $U_R = U_{CGS}$ muss einen geeigneten Wert zwischen der niedrigen und der hohen Einsatzspannung aufweisen ($U_{T(CG)low} < U_R < U_{T(CG)high}$).

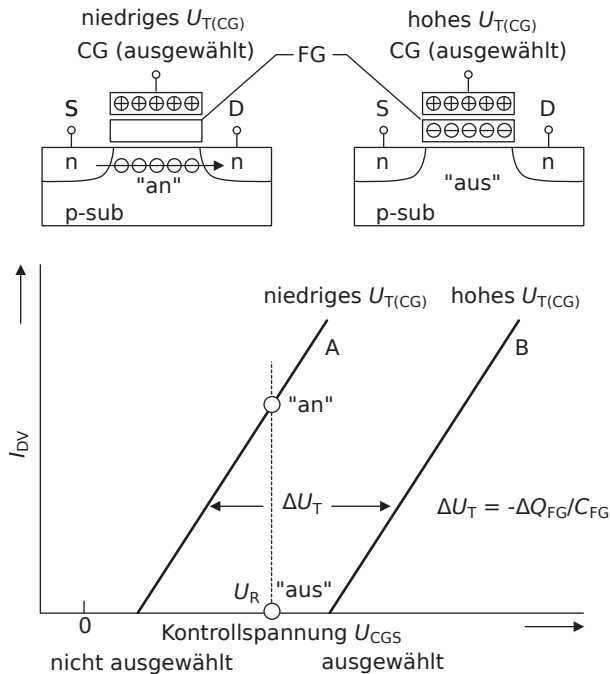


Bild 6.13 Prinzip des Lesevorgangs bei einer Floating-Gate-Speicherzelle [102].

Die drei Speicherzellen (EPROM, EEPROM und Flash) für wiederholt programmierbare Festwertspeicher unterscheiden sich dadurch, wie die Ladungen auf das Floating Gate gebracht und wieder entfernt wird.

6.3.3 EPROM-Zelle

Eine EPROM-Speicherzelle besteht aus einem Floating-Gate-Transistor. Um Ladungen auf das Gate zu injizieren, wird der Floating-Gate-Transistor in einen Zustand gebracht, der im üblichen Betrieb von MOS-Transistoren sorgfältig vermieden wird. Legt man zum Beispiel an das „control gate“ 12 V und setzt die Drain-Source-Spannung auf 5 V, so bilden sich Hochfeldeffekte aus, die bereits in Kapitel 2.1.9 beschrieben wurden. Aufgrund der hohen elektrischen Feldstärken in der Raumladungszone um Drain, kommt es zur Lawinenmultiplikation. Die neu generierten Löcher wandern zum Substrat, während die Elektronen in Richtung Drain laufen und wiederum von dem hohem elektrischen Feld stark beschleunigt werden. Ein geringer Teil der Elektronen hat aufgrund des hohen transversalen Feldes zwischen dem Substrat und dem „Floating Gate“ eine genügend große kinetische Energie (heiße Elektronen), so dass sie die Potentialbarriere zwischen dem Gate 2 und dem Substrat überwinden können. Mittels der Injektion von heißen Elektronen (hot-electron injection) wird innerhalb von einigen Mikrosekunden die negative Ladung auf dem Gate 2 aufgebaut. Da das Gate 2 vollständig isoliert ist und Siliziumdioxid ein guter Isolator ist, bleibt die Ladung für Jahre gefangen. Setzt man die Kontrollspannung U_{CGS} auf Null zurück, bildet sich eine negative Spannung U_{FGS} aus. Aufgrund der beschriebenen Wirkungsweise bezeichnet man diese Zelle als FAMOS-Zelle (Floating Gate Avalanche Injection-MOS).

Nachteilig ist, dass der Injektionsprozess eine geringe Effektivität hat, das heißt es werden große Drain-Ströme (0,5 mA) und somit eine große Verlustleistung benötigt. Eine genauere Beschreibung des Vorgangs findet man unter der Literaturstelle [102]. Ein weiterer Punkt, der im Hinblick auf Zuverlässigkeit Sorge bereitet, sind die relativ hohen Spannungen, die für die Programmierung benötigt werden.

Für den Löschvorgang gibt es zwei Alternativen. Zu einem kann mittels eines Quarzfensters im Gehäuse der EPROM-Speicher Röntgenstrahlen ausgesetzt werden, die im Oxid um das freischwebende Gate Elektronen-Loch-Paare generieren. Die Löcher werden von den gespeicherten Elektronen angezogen und neutralisieren diese. Als Alternative hierzu werden die Speicherzellen mit UV-Licht bestrahlt, was den gefangenen Elektronen genügend Energie verleiht, so dass sie wieder zurück in das Substrat gelangen.

Bei beiden Vorgängen muss der Speicher von der Platine genommen und einem geeigneten Gerät zugeführt werden, was sehr umständlich ist. Der Löschvorgang ist sehr langsam und dauert mehrere Sekunden bis Minuten. Die Zahl der zulässigen Programmierzyklen ist wegen der Bestrahlung auf einige Tausend Zyklen begrenzt. Daher ist die Haltbarkeit (endurance) der EPROM-Speicher limitiert. Die Zellfläche der EPROM-Speicherzelle beträgt das Doppelte oder das Dreifache einer ROM-

Zelle, ist aber kleiner als die einer EEPROM-Zelle und ungefähr gleich groß wie eine Flash-Zelle. Die beiden Nachteile, mangelnde Haltbarkeit und Löschen der Information nur nach dem Entfernen von der Platine, sind die Gründe für die geringe wirtschaftliche Bedeutung der EPROM-Zelle.

Die Zuverlässigkeit von wiederholt programmierbaren Speicherzellen wird mit drei Kriterien beschrieben. Zunächst ist dies das Rückhaltevermögen (retention). Unter Rückhaltevermögen versteht man die Eigenschaft die auf dem Gate 2 gespeicherte Ladung für zehn Jahre auch unter schlechtesten Bedingungen zu bewahren. Gemessen wird diese Eigenschaft mit einem Dauerbetrieb über 500 Stunden bei einer Temperatur von 250°C. Unter diesen Bedingungen muss der Ladungsverlust kleiner als 10 Prozent sein.

Wie es bereits erwähnt wurde, ist ein weiteres Kriterium die Haltbarkeit (endurance). Unter der Haltbarkeit versteht man die Eigenschaft, dass die betrachtete Zelle ohne Beeinträchtigung ihrer Programmierbarkeit mehr als 100k Programmierzyklen widerstehen kann.

Schließlich definiert man noch eine „disturb immunity“. Darunter versteht man das Vermögen einer Speicherzelle, eine unbegrenzte Zahl an Lesevorgängen in anderen Speicherzellen unbeschadet zu überstehen. Im Allgemeinen werden die drei Kriterien von Störstellen im Oxid, von Tunnelmechanismen und von Verunreinigungen mit beweglichen Ionen beeinträchtigt.

6.3.4 EEPROM-Zelle

Die langwierige Prozedur, die der Löschvorgang der EPROM-Zelle darstellt, wird bei der EEPROM-Zelle vermieden. Bei diesem Zelltyp wird ein anderer Mechanismus für die Programmierung und für den Löschvorgang verwendet. Das Gate-Oxid unter dem Gate 2 wird an einer Stelle verdünnt, wie es in Bild 6.14 für das FLOTOX- (Floating Gate Tunneling Oxide-) Bauelement dargestellt ist. Wird nun eine geeignete Spannung (etwa 10V) an das dünne Gate-Oxid (10nm) gelegt, fließen Elektronen entsprechend der Polarität der angelegten Spannung. Der Ladungsträgertransport erfolgt aufgrund des bereits in Kapitel 2.1.9.3.1 beschriebenen Fowler-Nordheim-Tunnelmechanismus. Ändert man das angelegte elektrische Feld zwischen 7MV/cm bis zu 10MV/cm, so variiert der Tunnelstrom um sieben Größenordnungen. Da das elektrische Feld gegeben ist durch die angelegte Spannung geteilt durch die Oxiddicke, bedingt eine Reduktion der Oxiddicke eine drastische Zunahme des Tunnelstroms.

Als gutes Optimum zwischen schnellen Programmieren und Löschen und Zuverlässigkeit haben sich die angegebenen Werte erwiesen.

Die Oxiddicke darf von Speicherzelle zu Speicherzelle nur geringfügig schwanken. Andernfalls würden die Einsatzspannungen der Floating-Gate-Transistoren im Zellenfeld zu große Streuungen aufweisen [102]. Störstellen im Oxid, deren Anzahl mit abnehmender Oxiddicke zunimmt, oder Störstellen an der Grenzschicht zwischen dem Silizium und Oxid ermöglichen einen von Störstellen unterstützten

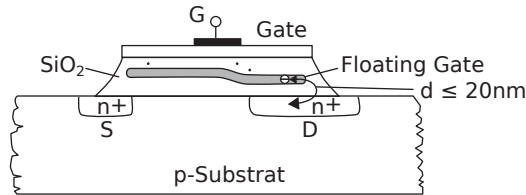


Bild 6.14 FLOTOX (Floating Gate Tunneling Oxide)-Transistor eines EEPROMs, der mittels des Fowler-Nordheim-Tunnelmechanismus programmiert und gelöscht wird.

Tunnelmechanismus, der das Programmieren und Löschen der Zellen stark beeinflussen kann. Die daraus folgenden Schwankungen der Einsatzspannungen müssen ebenfalls verhindert werden, indem Oxide mit hoher Qualität eingesetzt werden.

Der größte Vorteil des Programmiervorgangs ist, dass er reversibel ist. Löschen wird einfach dadurch erreicht, dass die Spannung, die für den Schreibvorgang eingesetzt wird, umgepolt wird. Die Injektion von Elektronen erhöht die Einsatzspannung, während die inverse Operation die Einsatzspannung erniedrigt. Der Programmier- und der Löschvorgang weisen eine hohe Effektivität auf, das heißt es werden nur kleine Ströme eingesetzt. Die Zeitdauer des Löschens und Programmierens beträgt Millisekunden. Die bidirektionale Operation bedingt aber auch ein Problem. Das nun anhand von Bild 6.15 besprochen wird [29].

Wenn Zelle A programmiert werden soll, muss das Kontroll-Gate an sehr hohem Potential U_{PP} liegen, während der Drain-Anschluss mit Masse verbunden ist. Elektronen tunneln nun vom Drain zum Floating Gate. Zelle B würde ebenfalls programmiert werden, wenn Drain an Masse liegen würde. Deswegen wird der Drain-Anschluss der Zelle B ebenfalls an eine hohe Spannung $U_{inhibit}$ ($U_{PP} \approx U_{inhibit}$) gelegt. Damit wird das Problem auf die Zellen C und D verlagert. Wenn die Wortleitung WL_2 auf niedrigem Potential liegt, wird die Zelle D aufgrund der hohen Drain-Spannung gelöscht ($U_D \approx U_{inhibit}$). Wird dagegen WL_2 auf $U_{inhibit}$ gehalten, wird automatisch die Zelle C programmiert.

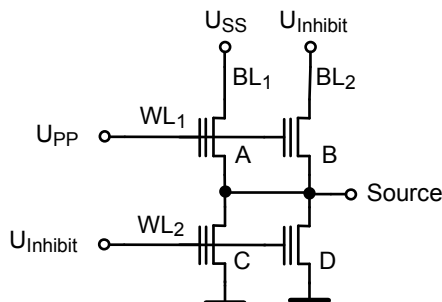


Bild 6.15 Einfache 2×2 NOR-EEPROM Architektur, die einen Programmierfehler in der Zelle C zeigt, wenn die Zelle A programmiert wird [29].

Mittels eines zusätzlichen Auswahltransistors in Serie zu dem FLOTOX-Transistor nach Bild 6.16 wird das geschilderte Problem gelöst. Der Auswahltransistor trennt nicht adressierte EEPROM-Zellen von den Bitleitungen. Die EEPROM-Speicherzelle benötigt nicht nur wegen des Auswahltransistors eine größere Fläche, sondern der FLOTOX-Transistor ist wegen des Fensters für das dünne Oxid ebenfalls größer als der Floating-Gate-Transistor der EPROM-Zelle. Im Vergleich zur NAND-ROM-Zelle ist die Fläche der EEPROM-Zelle um den Faktor fünf bis sechs größer. Dieser Zellentyp kann aber 10^4 bis 10^5 Löscho- und Programmierzyklen widerstehen.

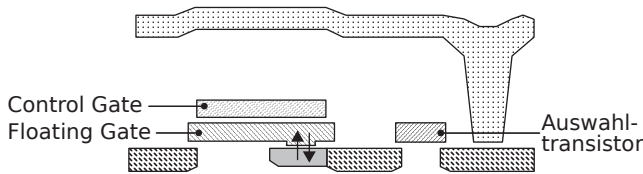


Bild 6.16 Doppel-Poly-Zwei-Transistor EEPROM-Zelle.

6.3.5 Flash-Speicherzelle

Flash-Speicher werden umfassend und gut in [102] und [29] behandelt. Hier kann nur eine kurze Einführung gegeben werden, die sich eng an diese Darstellungen anlehnt. In tragbaren Geräten, seien es Mobiltelefone, USB-Sticks, Digitalkameras oder Laptops, werden die Flash-Speicher vorrangig eingesetzt. Flash-Speicher stellen eine Synthese von EPROM und von EEPROM dar. Flash-Zellen werden elektrisch programmiert und gelöscht, obwohl sie nur aus einem Transistor bestehen. Die Programmierung wird bei der NOR-Flash-Zelle mit der Injektion von heißen Elektronen selektiv vorgenommen. Während der Löschvorgang gleichzeitig blockweise oder für den ganzen Speicher mit dem Fowler-Nordheim-Tunnelmechanismus durchgeführt wird. Von diesem gleichzeitigen Löschvorgang leitet sich der Name „Flash“ (Blitz) ab. Weil ganze Blöcke gelöscht werden, kann auf den Auswahltransistor der EEPROM-Zelle verzichtet werden.

Zum ersten Mal wurde eine Zelle, die auf diesem Konzept basiert, 1979 vorgestellt [82]. Kommerziell wurde 1984 dieser Zelltyp für einen 256kb Speicher 1984 von Toshiba eingesetzt. 1988 stellte Intel die ETOX (EPROM Tunnel Oxide, ETOX ist ein eingetragener Handelsname von Intel) vor [125] (siehe Bild 6.17). Obwohl die ETOX-Zelle von der EPROM-Zelle abgeleitet wurde, gibt es ein paar wichtige Unterschiede.

Die Oxiddicke zwischen dem Substrat und dem Floating Gate beträgt einheitlich etwa 10nm. Dieses Oxid wird Tunneloxid genannt. Das Zwischenoxid zwischen dem Floating Gate und dem Kontroll-Gate besteht aus drei Schichten (ONO, Si-

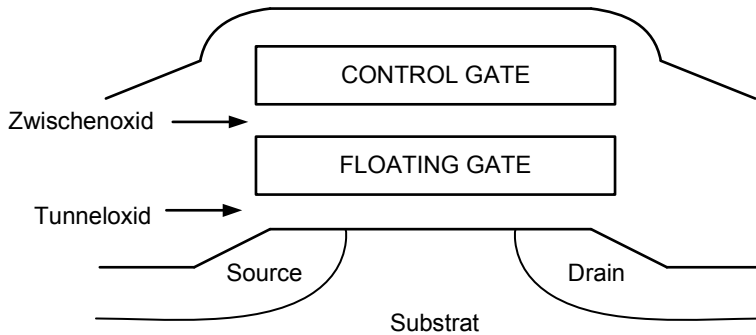


Bild 6.17 Schematischer Querschnitt durch eine typische Flash-Speicherzelle [29].

Oxid, Si-Nitrid, Si-Oxid) und hat eine äquivalente Oxiddicke von 15 bis 20 nm. ONO wurde gewählt, damit thermisch gewachsenes Oxid vermieden werden kann. Thermisches Oxid stellt einen Prozessschritt mit hoher Temperatur dar, der die Qualität des Tunneloxids beeinträchtigen würde.

Die Flash-Zelle ist nicht symmetrisch. Die Asymmetrie der pn-Übergänge von Source und Drain und das einheitlich dünne Oxid sind die einzigen Unterschiede im Vergleich zum FLOTOX-Transistor. Die meisten Erfahrungen, die mit der Herstellung der EEPROM-Zelle gewonnen wurden, konnten auch für die Herstellung von Flash-Zellen genutzt werden.

Flash-Speicher benötigen eine Kontrolleinheit und Gleichspannungswandler (DC-DC-Converter). Die Kontrolleinheit (Microcontroller) steuert die Vorgänge für das Löschen und Schreiben der Speicherzellen und erlaubt den Einsatz von fehlererkennenden und korrigierenden Codes (ECC). Die Kontrolleinheit kann in das Gehäuse oder auf dem Speicherchip integriert sein (SIP oder SOC). Die auf dem Chip integrierten Gleichspannungswandler ermöglichen es, dass von außen nur eine Versorgungsspannung zugeführt werden muss.

In diesem Kapitel werden zunächst die NOR-Flash-Speicher und später die NAND-Flash-Speicher behandelt. Schließlich werden die Grenzen der Strukturverkleinerung für diese Speichertypen aufgezeigt.

6.3.5.1 NOR-Flash-Speicher

Wie ROM können auch Flash-Speicher als NOR- oder als NAND-Zellenfeld organisiert sein. Die Vor- und Nachteile sind ähnlich wie beim ROM. Zunächst wird nur die NOR-Struktur besprochen. Drei Vorgänge bestimmen die Wirkungsweise eines Flash-Speichers: Lesen eines Bytes oder eines Wortes, Schreiben eines Bytes oder eines Wortes und Löschen eines oder mehrerer Sektoren. Der Lesevorgang ist am einfachsten und wird am häufigsten verwendet. Ein Byte oder ein Wort wird durch eine gemeinsame Wortleitung und durch die Auswahl von acht oder sechzehn Bit-

leitungen adressiert. Daher braucht nur der Lese- oder der Schreibvorgang für eine Zelle (ein Bit) erläutert werden.

Der Lesevorgang beginnt mit der Aktivierung einer Wortleitung. Somit hat das Kontroll-Gate der ausgewählten Zelle $U_{DD} = 5\text{ V}$. Gleichzeitig hat Drain das Potential 1 V , während Source an Masse liegt (siehe Bild 6.18a). Wenn die ausgewählte Zelle programmiert ist, das heißt eine hohe Einsatzspannung entsprechend einer logischen „Null“, aufweist, fließt kein Strom in der Zelle.

Wenn die Zelle den Zustand nach dem Löschvorgang hat, also nicht programmiert ist und deswegen eine niedrige Einsatzspannung aufweist, was einer logischen „Eins“ entspricht, leitet die Zelle Strom, der von der Bewerterschaltung erkannt wird. Ein Lesevorgang dauert etwa 50 bis 100 ns . Die Drain-Spannung wird auf 1 V begrenzt, um während des Lesevorgangs jegliches Programmieren (soft write) zu vermeiden. Das heißt die Lawinenmultiplikation muss ausgeschlossen sein.

Schreib- oder Löschvorgänge sind wesentlich komplizierter. Zum Schreiben wird an das Kontroll-Gate ein Puls von 12 V angelegt. Source ist geerdet. Für eine logische „Null“ wird die Bitleitung ebenfalls gepulst an 6 V gelegt (siehe Bild 6.18b). Somit werden heiße Elektronen auf das Floating Gate injiziert und die Einsatzspannung angehoben. Beträgt die Pulsdauer für das Kontroll-Gate und für Drain etwa 1 bis $10\text{ }\mu\text{s}$, wird die Einsatzspannung um 3 bis $3,5\text{ V}$ verschoben.

Anschließend muss geprüft werden, ob der Programmierschritt erfolgreich war, das heißt ob die Einsatzspannung größer ist als ein minimal zulässiger Wert. Hierzu wird ein Lesevorgang mit einer Spannung am Kontroll-Gate durchgeführt, die größer ist als die übliche Spannung bei einem Lesevorgang. Somit wird auch unter ungünstigen Bedingungen geprüft, ob die Zelle korrekt sperrt. Das Ergebnis des Lesevorgangs wird mit dem Sollwert verglichen, der in einem besonderen Register gespeichert ist. Ist ein Fehler aufgetreten, werden weitere Programmiervorgänge gestartet, in dem an das Kontroll-Gate und an Drain entsprechende Pulse gelegt werden. Die Programmierung wird solange wiederholt bis entweder das gewünschte Resultat erzielt wird; oder die maximal zulässige Zahl an Programmiervorgängen überschritten wird und eine Fehlermeldung erfolgt. Bei einer logischen „Eins“ liegt Drain an Masse. Es können keine Elektronen injiziert werden.

Ein Löschvorgang kann zum einen mittels Masse an das Kontroll-Gate und mittels eines Pulses von 12 V an Source erreicht werden. Es ist aber auch möglich eine Spannung von -10 V an das Kontroll-Gate und eine Spannung von 5 V an Source zu legen. Beide Methoden haben schwerwiegende Nachteile. Die Source-Spannung von 12 V kann eine Lawinenmultiplikation im pn-Übergang auslösen. Daher wird an dieser Stelle, wie es Bild 6.17 gezeigt, ein allmählicher und kein abrupter pn-Übergang realisiert.

Im anderen Fall bedarf es zusätzlicher Schaltungen, um aus einer positiven Versorgungsspannung eine negative Spannungen abzuleiten. In beiden Fällen gelangen Elektronen vom Floating Gate wegen des Tunnelmechanismus zu Source.

Es werden gleichzeitig alle Zellen eines Sektors beziehungsweise eines Zellenfeldes gelöscht. Unterschiedliche Einsatzspannungen zu Beginn des Löschvorgangs bewirken unterschiedliche Einsatzspannungen am Ende des Löschvorgangs. Es ist daher hilfreich vor dem Löschvorgang alle Zellen zu programmieren, so dass der

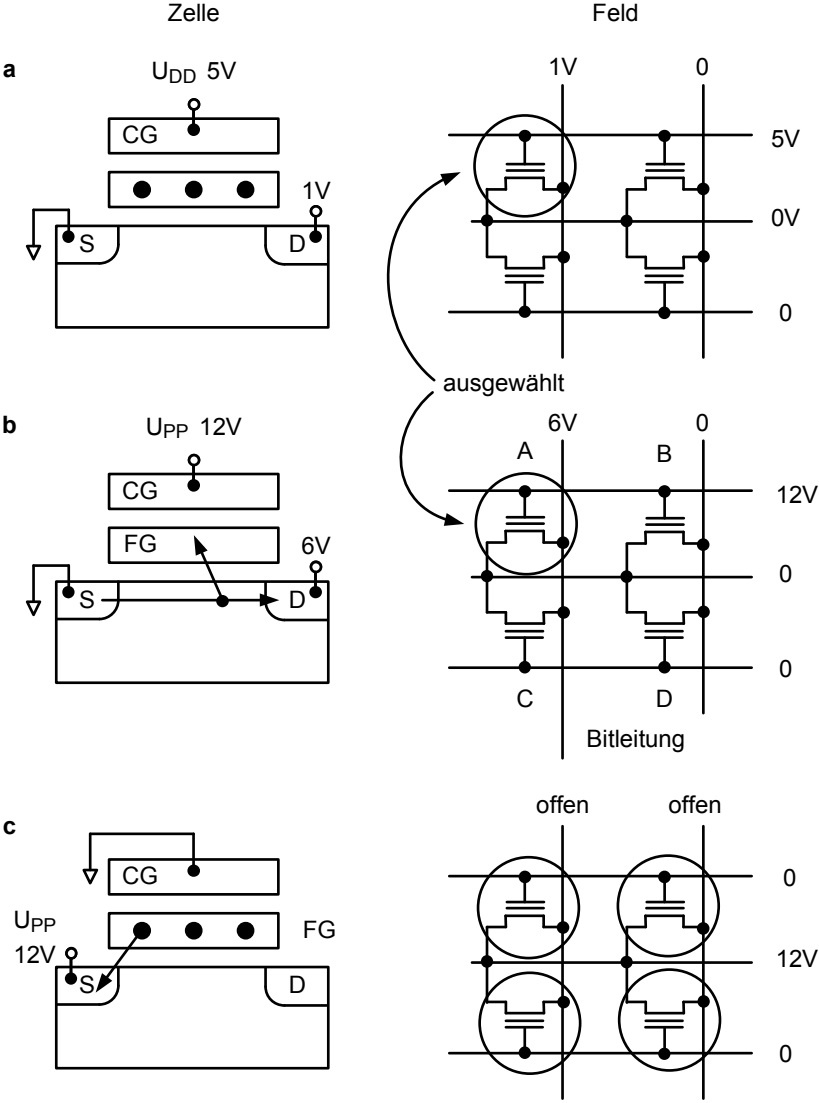


Bild 6.18 Die drei Operationen einer NOR-Flash-Zelle [102]: **a** Lesen; **b** Schreiben; **c** Löschen.

Löschvorgang von einem ungefähr gleichen Niveau aus startet. Nun können die Pulse für den Löschvorgang angelegt werden.

Wegen der Toleranz der Oxiddicken und anderer Störeinflüsse variieren trotzdem die Einsatzspannungen am Ende des Löschvorgangs. Deswegen wird der gesamte Sektor oder das gesamte Zellenfeld ausgelesen. Der Lesevorgang wird bei einer kleineren Kontroll-Gate-Spannung durchgeführt, um unter ungünstigen Bedingungen festzustellen, ob korrekte Werte gespeichert worden sind. Wenn nicht, folgt ein weiterer Löscho- und Lesevorgang. Dieser Vorgang wird so oft wiederholt, bis zuvor spezifizierte Werte eingehalten werden. Ein ähnlicher Kontrollmechanismus wird eingesetzt, um zu vermeiden, dass die Floating-Gate-Transistoren eine negative Einsatzspannung aufweisen und somit ständig leiten. Der Löschvorgang dauert typischerweise zwischen 100 ms und 1 s.

Während der Programmierung und des Löschens treten hohe Spannungen auf, die die Zuverlässigkeit, insbesondere das Rückhaltevermögen (retention), beeinträchtigen können. Während eines Programmiervorgangs treten zwei Arten von möglichen Störungen auf (siehe Bild 6.18b) [102]. Die eine Störung wird durch die hohe Spannung der Wortleitung bei den nicht ausgewählten Zellen (Zelle B in Bild 6.18b), die mit der aktivierten Wortleitung verbunden sind, verursacht. Die andere Störung wird durch die Spannung von 6 V, der die Drains der nicht ausgewählten Zellen ausgesetzt sind (Zelle C in Bild 6.18b) hervorgerufen.

Die Zelle B könnte einen Tunnelvorgang zwischen dem Kontroll-Gate und dem Floating Gate durch das Zwischenoxid ausgesetzt sein, wenn sich Elektronen auf dem Floating Gate befinden. Der daraus resultierende Ladungsverlust verringert die Einsatzspannung. Ein zweiter Tunnelvorgang ist möglich, nämlich zwischen dem Substrat und dem Floating Gate. In diesem Fall werden Elektronen auf dem Floating Gate gespeichert, was die Einsatzspannung nach dem Löschvorgang unerwünschterweise erhöht. Bei den beschriebenen Bedingungen für die Zelle C kann es vorkommen, dass Elektronen vom Floating Gate zum Drain tunneln und somit wieder die gewollte hohe Einsatzspannung verkleinern. Die potentielle Störung während eines Lesevorgangs wurde bereits angesprochen. Die Konsequenz aus dieser Gefahr ist, dass während eines Lesevorgangs die Drain-Spannung auf 1 V begrenzt ist.

Im Vergleich zu Transistoren, die in Logikschaltungen eingesetzt werden, weisen die Floating-Gate-Transistoren ein dickes Gate-Oxid (10 nm) und ein dickes Zwischenoxid auf. Diese Tatsache rührt daher, dass ein extrem großes Rückhaltevermögen (retention) gefordert wird. Betrachtet man zunächst allein als zusätzlichen Störeffekt direktes Tunneln (siehe Kapitel 2.1.9.3.2) zwischen Floating Gate und Substrat, könnte man das Gate-Oxid auf 6 nm reduzieren und die Forderung bezüglich Rückhaltevermögen trotzdem erfüllen. Jedoch wenn man realistischerweise die eben besprochenen Störeffekte und von Störstellen im Oxid unterstütztes Tunneln berücksichtigt, wird eine Oxiddicke von 9 nm benötigt. Aufgrund des Alterungsprozesses treten vermehrt Störstellen im Oxid auf. In der Produktion wurden über viele Technologiegenerationen hinweg dickere Gate-Oxide als 9 nm hergestellt.

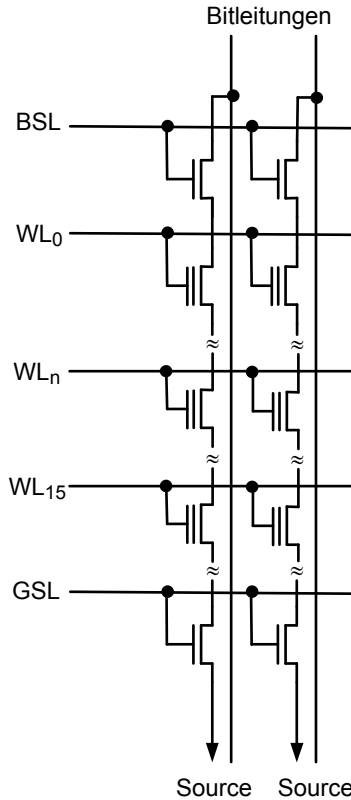


Bild 6.19 Schema einer NAND-Struktur [29]: BSL Bit Select Line, GSL Ground Select Line.

6.3.5.2 NAND-Flash-Speicher

Bei einer NAND-Struktur werden, um Chipfläche zu sparen, sechzehn oder zweiunddreißig Zellen in Serie geschaltet. Über zwei Auswahltransistoren, die mittels der Leitungen BSL (Bit Select Line) und GSL (Ground Select Line) gesteuert werden, ist die Kette mit der Bitleitung und der Masseleitung verbunden. In Bild 6.19 ist das Schema einer NAND-Struktur dargestellt. Die Flächensparnis um 40% ergibt sich daraus, dass nun nur ein Bitleitungskontakt pro sechzehn oder zweiunddreißig Zellen notwendig ist. Der Abstand der Wortleitungen kann den nach den Designregeln minimal möglichen Wert aufweisen. Bei der NOR-Struktur wird ein Kontakt pro Zelle oder pro zwei Zellen benötigt. Der Fowler-Nordheim-Tunnelmechanismus wird für die Programmierung und für den Löschvorgang eingesetzt.

Das Lesen einer Zelle erfolgt, indem das Kontroll-Gate an Masse gelegt wird, während an allen anderen Kontroll-Gates der in Serie geschalteten Transistoren eine hohe Spannung gelegt wird, so dass diese Transistoren leiten, unabhängig davon wie sie programmiert sind. Es fließt nur dann ein Strom in der Serienschaltung, wenn der ausgewählte Transistor eine negative Einsatzspannung hat und somit als „normally

on“- (Depletion-) Transistor wirkt (siehe Bild 6.20). Der Lesevorgang ist wegen der Serienschaltung von Transistoren langsam. Ein Lesezugriff dauert etwa $10\mu\text{s}$. Daher werden NAND-Flash-Speicher nur als Massenspeicher eingesetzt.

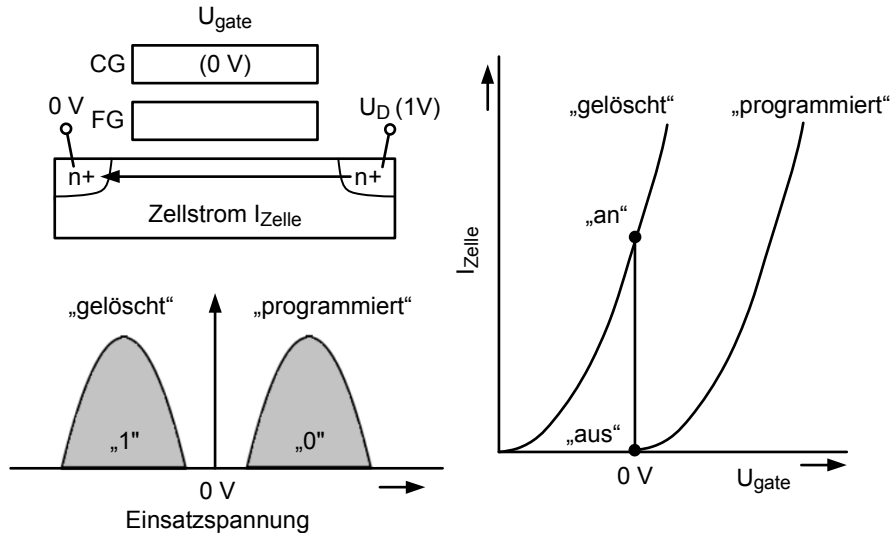


Bild 6.20 Lesen einer Zelle eines NAND-Flash-Speichers nach dem Löschvorgang: positive Ladung auf dem Floating Gate nach der Programmierung; negative Ladung auf dem Floating Gate Verteilung der Einsatzzspannungen im programmierten und im gelöschten Zustand.

Wie es in Bildern 6.21a und 6.21b gezeigt wird, wird das Kontroll-Gate einer Zelle für einen Programmervorgang auf eine hohe Spannung U_H von etwa 15 bis 20 V gebracht. Die entsprechende Bitleitung liegt an Masse. Die anderen Transistoren in der Serienschaltung müssen das Massepotential an die ausgewählte Zelle transferieren, indem sie leiten. Somit entsteht ein großer Potentialunterschied zwischen dem Floating Gate und dem darunterliegenden Kanal in der ausgewählten Zelle. Die Potentialdifferenz erlaubt einen Fowler-Nordheim-Tunnelmechanismus. Das Potential ($U_m \approx 10\text{ V}$) der nicht ausgewählten Wortleitungen wird so gewählt, dass einerseits das Massepotential gut an die ausgewählte Zelle transferiert wird. Andererseits sollen Störungen der nicht ausgewählten Zellen während des Programmervorgangs vermeiden werden. Die Zellen, die die gleiche Wortleitung teilen, aber an anderen Bitleitungen hängen, könnten ebenfalls gestört werden. Dies wird vermieden in dem diese Bitleitungen an U_{DD} gelegt werden.

Da der Fowler-Nordheim-Tunnelmechanismus effizienter ist als die Injektion von heißen Elektronen, reichen kleinere Ströme für die Programmierung aus. Dies wird genutzt um die Zahl der Zellen, die gleichzeitig programmiert werden, bei einer geringen Verlustleistung zu erhöhen. Die Programmierzeit pro Byte beträgt dadurch 200 bis 400 ns.

Für einen Löschvorgang wird wieder der Fowler-Nordheim-Tunnelmechanismus eingesetzt. Elektronen auf den Floating Gates werden in das p-dotierte Substrat unter den Zellen injiziert, indem die Wortleitungen an Masse gelegt werden und das p-Substrat auf eine Spannung von etwa 20 V gebracht wird (siehe Bild 6.22). Zusätzlich werden die Drain- und Source-Gebiete der Kette an 20 V gelegt, indem die Auswahltransistoren leiten.

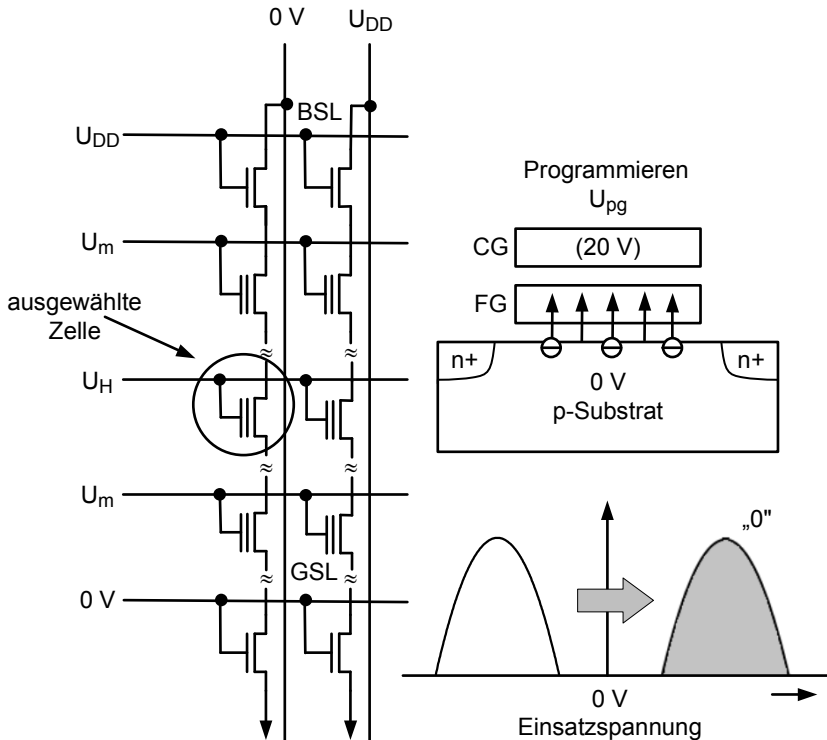


Bild 6.21a Spannungen während der Programmierung einer NAND-Struktur [29] ($U_H = 15\text{ V}$ bis 20 V , $U_m = 10\text{ V}$).

Bild 6.21b Programmierung einer einzelnen Zelle: Injektion von Elektronen auf das FG durch das Tunneloxid.

Zu beachten ist, dass negative Einsatzspannungen erzeugt werden. Dies ist ein Unterschied zu den NOR-Flash-Speicherzellen. In den Sektoren, die nicht gelöscht werden sollen, werden alle Wortleitungen ebenfalls an 20 V gelegt. Tunneln erfolgt einheitlich über den ganzen Kanalbereich. Daraus ergibt sich ein kurzer Löschvorgang von etwa 6 ms pro Block und 100 ms pro Chip [102].

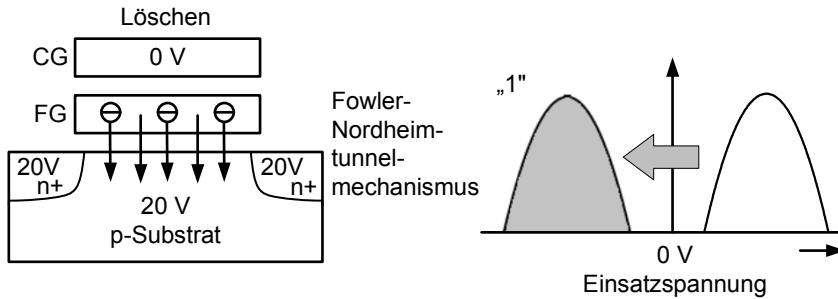


Bild 6.22 Löschen einer einzelnen Zelle: Tunneln von Elektronen vom FG in das Substrat.

6.3.5.3 Strukturverkleinerung von Flash-Speichern

Die Strukturverkleinerung von Flash-Speicherzellen unterscheidet sich von der Strukturverkleinerung von CMOS-Transistoren für Logikschaltungen. Die allgemeinen Verkleinerungsregeln (siehe Kapitel 2.1.4) verlangen, dass alle Spannungen genauso wie die geometrischen Strukturen um den Faktor $S > 1$ verkleinert werden. Dies ist bei den Flash-Speichern in der Vertikalen nicht möglich, da, wie es bereits erklärt wurde, für die erforderliche Rückhaltezeit notwendig ist, dass die Oxiddicken etwa 10 nm betragen. Daraus ergeben sich wegen der Energiebarriere für heiße Elektronen von 3,2 eV bei der Injektion von heißen Elektronen bei NOR-Flash-Zellen und wegen der notwendigen Feldstärke für den Fowler-Nordheim-Tunnelmechanismus bei den NAND-Zellen die hohen Spannungen.

Dagegen können in der Horizontalen die Strukturen entsprechend den allgemeinen Regeln verkleinert werden. Begrenzt wird die laterale Strukturverkleinerung von kapazitiven Koppelungen zwischen den Zellen. Zum Ausgleich für die fehlende vertikale Strukturverkleinerung erhöht man die Zahl der möglichen Speicherzustände pro Speicherzelle (MLC, Multi Level Cells).

Um zwei Bits zu speichern müssen vier verschiedene Niveaus für die Einsatzspannung U_T korrekt unterschieden werden können (siehe Bild 6.23). Die Abstände zwischen den Niveaus werden kleiner, daher müssen die einzelnen Niveaus genauer die festgelegten Werte einhalten. Die Schwankungsbreite eines Wertes muss gering sein. Dies gilt besonders, wenn vier Bits in einer Zelle gespeichert werden sollen, wie es in [204] beschreiben wurde. Die Anforderungen an die Bewerterschaltungen, an die Toleranz gegen Störungen, an die Genauigkeit der Programmierungen und an die zulässige Schwankungsbreite der Temperatur und der Versorgungsspannung sowie an die Alterungseffekte steigen.

Um das Jahr 2000 verlangsamte sich die Strukturverkleinerung von NOR-Flash-Standardbausteinen, während die Strukturen von NAND-Flash-Standardbausteinen weiter stark verkleinert werden konnten. Seitdem werden mehr NAND-Flash-Standardbausteine als NOR-Flash-Standardbausteine verkauft. Aufgrund einer speziellen Technologie und wegen der regulären Struktur der NAND-Flash-Zelle erreichte man eine Zellfläche von $4 \cdot F^2$ (F Feature Size, entspricht dem halben Raster). In den

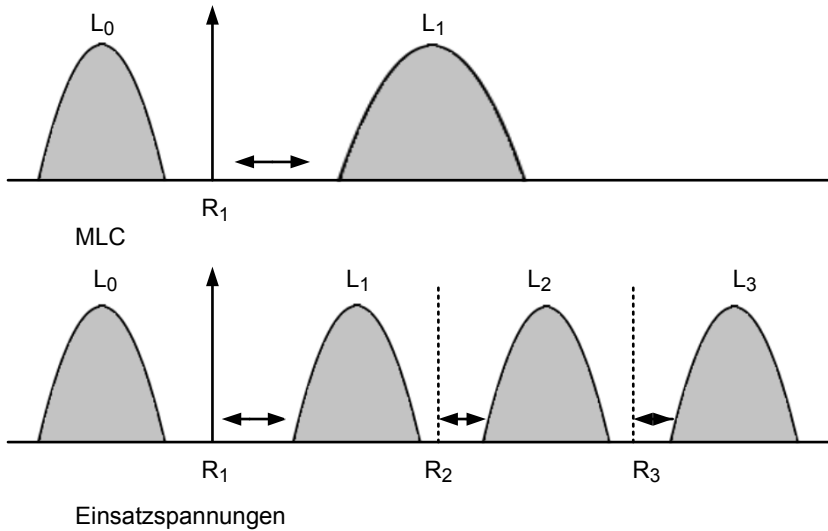


Bild 6.23 Verteilung der Einsatzspannungen für eine ML-Flash-Speicherzelle (MLC, Multi Level Cell). Im Vergleich zur „Ein Bit“-Zelle (SLC) sind die Abstände zwischen den Niveaus verringert.

letzten zwanzig Jahren haben sich die Kosten für einen NAND-Flash-Standardbaustein um den Faktor 50000 und die Integrationsdichte um den Faktor 32000 verbessert. Im Vergleich zu einem DRAM-Standardbaustein weist ein NAND-Flash-Speicher einen Kostenvorteil um den Faktor zehn auf. Hätte sich der Preis für einen PC ähnlich entwickelt, müsste eine Gerät, das 1991 USD 2500 gekostet hat, heute für fünf Cents zu kaufen sein [85]. Anlässlich der ISSCC 2012 wurde von einem 128 GBit NAND-Flash-Standardbaustein mit drei Bit pro Zelle (X3), der in einer 19 nm Technologie hergestellt wurde, berichtet [132].

Wie es bereits erwähnt wurde, stellt die kapazitive Kopplung zwischen benachbarten Floating-Gate-Zellen ein Problem dar. Für Technologiegenerationen jenseits der 32 nm Strukturfeinheit trägt dieser Effekt etwa 30% zu der gesamten Kapazität eines Floating Gates bei. Die kapazitive Kopplung bewirkt, dass die Einsatzspannung einer bereits programmierten Zelle von der Programmierung einer benachbarten Zelle verschoben wird [204]. Dieses Problem kann mit verbesserten Programmiermethoden entschärft werden. Störstellen im Tunneloxid in der Nähe des Substrats beeinflussen je nachdem, ob sie gefüllt oder leer sind die Einsatzspannungen und damit auch die Drain-Ströme während eines Lesevorgangs. Diese zufälligen Schwankungen (RTN Random Telegraph Noise) müssen in Zukunft berücksichtigt werden [81].

Mit zunehmender Strukturverkleinerung nimmt die Anzahl der auf dem Floating Gate gespeicherten Elektronen ab, wie es in Bild 6.24 dargestellt ist [149]. Besonders gilt dies für MLC-NAND-Flash-Speicher. Der Lade- oder Entladevorgang des Floating Gates bezüglich eines Elektrons kann mit der Poisson-Statistik beschrieben werden. Wie Messungen zeigen, hängt die Verteilungsdichte der Rückhaltezeit

(retention) von der Zahl der Elektronen für einen Zustand ab. Die Mittelwerte bleiben gleich (10 Jahre). Jedoch die Standardabweichung steigt beträchtlich mit der abnehmenden Zahl der beteiligten Elektronen (siehe Bild 6.25). Dies könnte eine fundamentale Grenze für Flash-Speicher mit Strukturen um 10 nm sein.

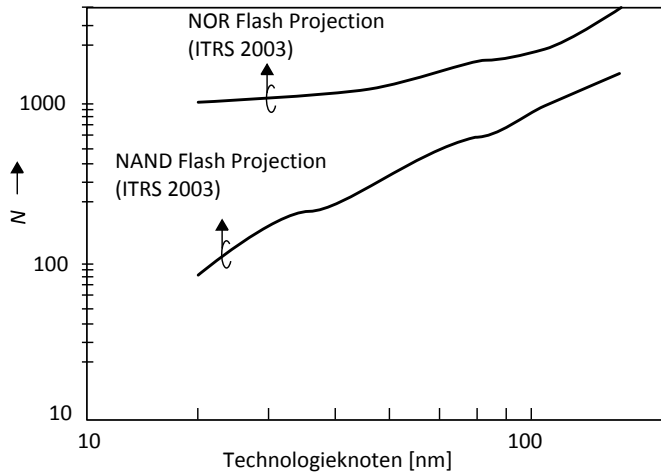


Bild 6.24 Zahl N der Elektronen pro Bit in Abhängigkeit vom Technologieknoten [149].

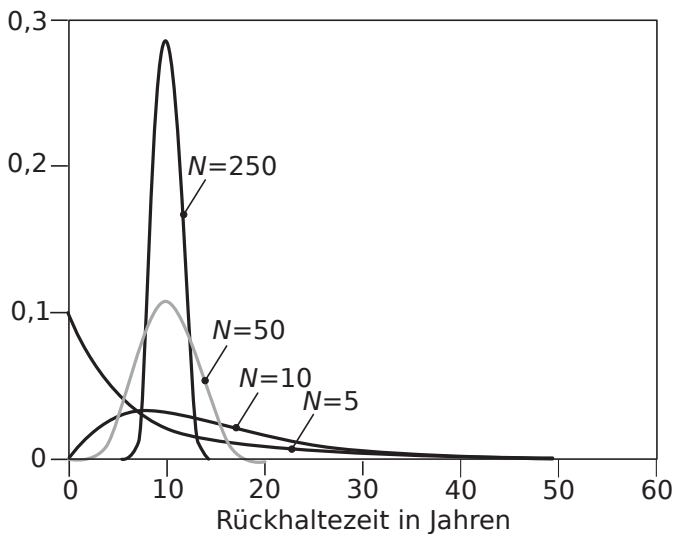


Bild 6.25 Verteilungsfunktionen für die Rückhaltezeit in Abhängigkeit von der Zahl N der Elektronen pro Bit [149].

Alternativ zu den bisher besprochenen Methoden, wird deswegen neben der Nutzung der dritten Dimension daran gearbeitet neue Materialien, wie zum Beispiel ferromagnetische Stoffe oder magnetoresistive Stoffe für nichtvolatile Speicher einzusetzen. Ferromagnetische Stoffe, die in FRAM eingesetzt werden, werden in einem programmierbaren Kondensator verwendet. Setzt man diese Stoffe einem elektrischen Feld aus, werden sie polarisiert. Die Polarisierung bleibt erhalten auch nachdem das Feld abgeschaltet ist. Magnetoresistive Stoffe befinden sich in MRAMs und haben die Eigenschaft den elektrischen Widerstand zu ändern, wenn sie magnetischen Feldern ausgesetzt werden.

6.4 Statische Schreib-Lese-Speicher (SRAM)

Statische Speicher werden seit langer Zeit in Verbindung mit den Mikroprozessoren und in „System On Chip“-IS wegen ihrer kurzen Zugriffszeiten für Schreib- und Leseoperationen eingesetzt. Die Hälfte oder mehr als die Hälfte der Chipfläche eines Mikroprozessors wird von eingebetteten SRAMs eingenommen. Die Prozessoren verbrauchen sehr viel Verlustleistung, so dass die eingebetteten SRAMs eine geringe Verlustleistung haben sollten. Daher ist ein sorgfältiger Entwurf der SRAMs von großer Bedeutung. In die Entwicklung der SRAMs wurden über Jahrzehnte hinweg sehr viele Ressourcen investiert. Die eingebetteten SRAMs dienen als Lokomotive für die Entwicklung von modernen CMOS-Prozessen. Im Gegensatz zu DRAMs werden SRAMs von jeder „silicon foundry“ beherrscht. „Silicon foundry“ ist eine Halbleiterfabrik, die von ihren Kunden fertige Entwürfe bekommt und sich nur auf die Herstellung der Chips konzentriert.

Statische Speicher werden in vielfältigen Größen und Organisationsformen entworfen. Für in SOC's eingebettete statische Speicher gibt es eine Vielzahl an Typen, die Speicherkapazitäten zwischen 1 kbit und einigen Mbit aufweisen. In Hochgeschwindigkeits-Mikroprozessoren werden SRAMs als L1-, L2- oder L3-Cache eingesetzt. Für den automatischen Entwurf eines SRAM sind Programme, sogenannte „SRAM Compiler“, verfügbar.

In einer 32 nm-Technologiegeneration wurde ein SRAM-Testchip mit 291 Mbit und einer Speicherdichte von 4,2 Mbit pro mm^2 realisiert. Dieses SRAM arbeitet bei einer Taktfrequenz von 4,0 GHz [237]. Ein SRAM ist ein Schreib-Lese-Speicher. Daher zeigt Bild 6.3 auch die prinzipielle Organisation eines SRAMs.

In diesem Kapitel wird zunächst die Wirkungsweise einer Sechs-Transistor-Speicherzelle erläutert. Dann werden Varianten der statischen Zelle besprochen. Sodann werden intensiv Probleme, die sich mit der Strukturverkleinerung einstellen, wie Fehler in Ruhestellung und während des Schreibvorgangs, Lesefehler und Fehler bezüglich der Lesezugriffszeit, erklärt. Daran schließt sich die Behandlung von Maßnahmen zur Erhöhung der Störsicherheit, wie die lithographisch-symmetrische Zellen, die Anpassung der Versorgungsspannung und die Acht-Transistor-Zellen, an. Mit den Themen Architektur statischer Speicher schließt das Kapitel.

6.4.1 Wirkungsweise der Sechs-Transistor-Speicherzelle

Das Flip-Flop von Kapitel 4.7.5.1 Bild 4.63 stellt den Kern einer statischen Speicherzelle dar. Mit den zusätzlichen Transfertransistoren AXR und AXL können Daten in die Zelle eingelesen beziehungsweise ausgelesen werden (siehe Bild 6.26). Die beiden Transfertransistoren werden von der Wortleitung WL gesteuert. Somit enthält die Zelle sechs Transistoren, nämlich vier n-Kanal- und zwei p-Kanal-Transistoren. Es werden zwei Bitleitungen verwendet, um sicher und mit hoher Geschwindigkeit die Daten transferieren zu können. Dies wird später noch deutlicher werden. Die folgende Beschreibung setzt einen synchronen Speicher voraus, der im Prinzip von den gleichen Taktsignalen gesteuert wird, wie der Prozessor, mit dem die Daten ausgetauscht werden müssen. Für ein asynchrones SRAM gilt Entsprechendes. Zunächst wird die Wirkungsweise der Sechs-Transistor-Zelle erläutert. Daraus ergeben sich Dimensionierungsvorschriften.

Für einen Lesevorgang wird zunächst angenommen, dass die Bitleitungen an U_{DD} liegen. Dies kann mittels einer dynamischen oder einer statischen (Pseudo-NMOS-Logik) Schaltungstechnik erreicht werden. Weiter wird angenommen, dass eine logische Null gespeichert ist, das heißt $QR = 1$ und $QL = 0$. Ein Lesevorgang, genauso wie ein Schreibvorgang, wird ausgelöst, indem die Wortleitung WL auf U_{DD} gebracht wird. Der Transfertransistor AXL wird leitend. Mittels der Transistoren AXL und NL wird die Bitleitung BL entladen. Während die Bitleitung BR ihren Wert beibehält. Es bildet sich eine Spannungsdifferenz zwischen den beiden Bitleitungen aus, die von einer nachfolgenden Differenzstufe (siehe Kapitel 4.6.2) bewertet wird. Bei einer gespeicherten „1“ dreht sich die Polarität der Spannungsdifferenz um. Die Zeitdauer des Lesevorgangs wird also im Wesentlichen vom Entladungsvorgang einer großen Kapazität mittels der Serienschaltung zweier möglichst minimal dimensionierter n-Kanal-Transistoren bestimmt. Weiter ist die Zeitdauer davon abhängig, ob die Bitleitungen mit der dynamischen oder statischen Schaltungstechnik auf U_{DD} gebracht werden. Wie es bereits in Kapitel 4.8.2 dargestellt wurde, hat die dynamische Schaltungstechnik den Vorteil der höheren Schaltungsgeschwindigkeit. Dies geht aber mit einer ebenfalls erhöhten Störanfälligkeit einher.

Es ist eine sorgfältige Dimensionierung der Transistoren AXL und NL, beziehungsweise der Transistoren AXR und NR, erforderlich. Sonst kann es vorkommen, dass anstatt eine „Null“ zu lesen, eine „Eins“, wegen der Einkopplung von Störsignalen und wegen den Herstellungstoleranzen, eingeschrieben wird. Sobald die Wortleitung aktiviert wird, bildet sich ein Spannungsteiler zwischen der Bitleitung BL und Masse aus. Der Spannungsteiler bewirkt, dass der Knoten QL auf ein höheres Potential (U_{Lese}) gezogen wird. Absolut sicheres Lesen wird gewährleistet, wenn das Potential des Knoten QL immer kleiner ist als die Einsatzspannung des n-Kanal-Transistors NR. Denn dann behält der Inverter, der von den Transistoren NR und PR gebildet wird, sein hohes Potential am Ausgang. Das Flip-Flop wechselt nicht in den anderen Zustand. Das heißt der Widerstand des Transistors AXL muss genügend größer sein als derjenige von NL. Man hat zwei Möglichkeiten, wie dies erreicht werden kann. Man kann den Transistor AXL verlängern. Dies würde bedeuten, dass die Bitleitung langsamer entladen wird. Deswegen muss die Weite

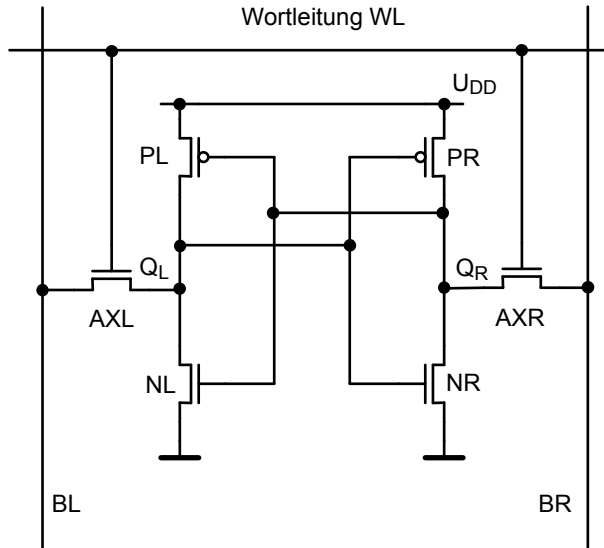


Bild 6.26 Sechs-Transistor-Zelle.

des Transistors NL (und damit auch die von NR) vergrößert werden. Die Zellfläche wird größer, was unerwünscht ist. Eine moderatere aber ausreichende Lösung des Problems ist, das Verhältnis CR (Zellverhältnis)

$$CR = \frac{\left(\frac{W}{L}\right)_{NL}}{\left(\frac{W}{L}\right)_{AXL}} \quad (6.12)$$

so einzustellen, dass trotz den Einflüssen von Störungen und von Herstellungstoleranzen, das Potential des Knotens QL die Schaltschwelle U_M des rechten Inverters nicht überschreitet (siehe Kapitel 4.2). Wie es in [179] gezeigt wird, wird dies mit $CR > 1,2$ erreicht. Das Potential des Knotens QR kann sich erst ändern, wenn die große Lastkapazität, die die Bitleitung BR darstellt, entladen wird. Daraus folgt, dass die Bitleitung BR zur Stabilität der Zelle beiträgt.

Wenn die beiden Bitleitungen anfänglich auf das Potential $U_{DD}/2$ gebracht worden wären, wäre das Problem irrtümlicherweise eine „Eins“ einzuschreiben entschärft, da nun der Knoten QL ein geringeres Potential aufweisen würde. Jedoch wenn man bedenkt, dass der Knoten QL unter den Einflüssen von Herstellungstoleranzen bis zur Schaltschwelle U_{ML} gezogen werden kann, erkennt man, dass die Drain-Source-Spannung des Transfertransistoren AXL bei einer gespeicherten „Null“, zu Null wird. Die Bitleitung BL wird zu langsam oder im Extremfall nicht entladen.

Für das Schreiben einer „Eins“ wird zunächst die Bitleitung BL an U_{DD} gelegt, während die Bitleitung BR an Masse gelegt wird. Bei einer gespeicherten „Null“ leitet der Transistor NL. Wenn eine „Eins“ eingeschrieben ist, leitet der Transistor NR. Das Einschreiben der neuen Information wird erleichtert, wenn von Beginn dieses

Vorgangs an der Transistor NL, der zuvor geleitet hat, gesperrt werden könnte. Eine genaue Betrachtung der Schaltung ergibt, dass zu Beginn des Schreibvorgangs die Transistoren PR und AXR leiten und somit einen Spannungsteiler zwischen U_{DD} und Masse bilden, während NR sperrt. Mittels einer geeigneten Dimensionierung der beiden Transistoren wird erreicht, dass im Nominalfall das Potential des Knotens QR unterhalb der Einsatzspannung des Transistors NL bleibt und dieser somit wunschgemäß sperrt. Der Transistor PR muss einen größeren Widerstand als der Transistor AXR haben. Wie beim Lesevorgang müssen auch hier zusätzlich Herstellungsschwankungen und Störungen berücksichtigt werden. Es ist unter diesen Umständen ausreichend, wenn QR unter der Schaltschwelle U_{ML} des linken Inverters liegt. Es lässt sich ein Verhältnis PR (Pull-Up-Ratio)

$$PR = \frac{\left(\frac{W}{L}\right)_{PR}}{\left(\frac{W}{L}\right)_{AXL}} \quad (6.13)$$

definieren, dass eingehalten werden muss ($PR < 1,8$ [179]). Dieses Thema wird in Kapitel 6.4.3 ausführlich behandelt. Die Zeitdauer des Schreibvorgangs wird von der Gatterlaufzeit des kreuzgekoppelten Inverterpaars bestimmt. Die auf unterschiedliche Potentiale aufgeladenen Bitleitungen helfen den Kippvorgang des Flip-Flops zu beschleunigen.

6.4.2 Varianten der statischen Speicherzelle

Um Chipfläche zu sparen, wäre es wünschenswert, die beiden p-Kanal-Transistoren der Sechs-Transistor-Zelle, über den n-Kanal-Transistoren zu stapeln und somit die dritte Dimension zu nutzen. Bis heute gibt es noch keine Technologie, die dies mit guten elektrischen Eigenschaften bei hoher Ausbeute und geringen Kosten erlaubt.

Seit langem beherrscht man die Herstellung von hochohmigen Lastwiderständen aus einer Schicht von undotiertem Silizium, die man über die Transistoren legen kann. Hochkomplexe SRAM-Standardbausteine werden mit der Zelle nach Bild 6.27 hergestellt, die diese Technik nutzt. Auch in Ruhestellung fließt ein Quersstrom. Daher werden die Lastwiderstände möglichst hochohmig ausgelegt. Die Widerstandswerte dürfen aber einen bestimmten Grenzwert nicht überschreiten, da über die n-Kanal-Transistoren Leckströme fließen, die von den Strömen über die Lastwiderstände kompensiert werden müssen. Die hochohmigen Lastwiderstände bedingen, im Vergleich zu dem Herstellungsprozess für reine Logikschaltungen, zusätzliche Prozessschritte, die man für ein eingebettetes SRAM vermeidet. In den nachfolgenden Kapiteln werden nur noch die eingebetteten SRAMs behandelt, die mit der Sechs-Transistor-Zelle aufgebaut werden.

Neben der Zugriffszeit ist die Zykluszeit eine wichtige Kenngröße für Speicher mit wahlfreiem Zugriff. Die Zykluszeit für ein SRAM setzt sich aus den Zugriffszeiten für Schreiben oder Lesen und den Zeiten, die für Vorlade- und Ausgleichsvorgänge benötigt werden, zusammen. Mit einer Zwei-Tor-Zelle (Dual Port Cell)

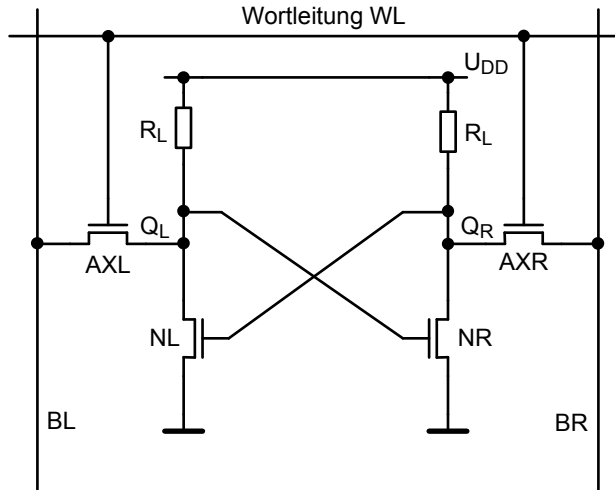


Bild 6.27 Vier-Transistor-Zelle mit passiven Lastelementen.

erreicht man kürzere Zykluszeiten. Wie Bild 6.28 zeigt, ist in dieser Version das Flip-Flop über zwei Paar Transfertransistoren mit zwei Paar Bitleitungen verbunden. Man benötigt daher auch zwei Wortleitungen. Der Datentransfer erfolgt abwechselnd über die Bitleitungspaare. Während über das eine Paar Daten transferiert werden, wird das andere Paar vorgeladen. Mit erhöhtem Flächenaufwand werden bessere elektrische Eigenschaften erzielt.

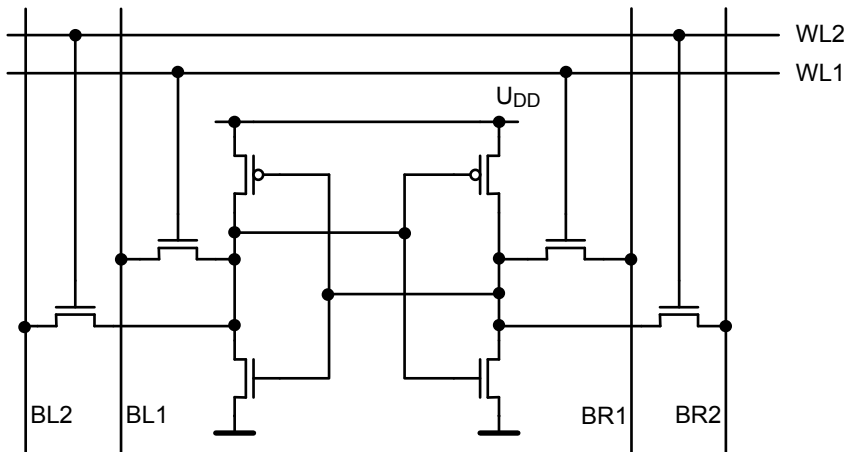


Bild 6.28 Zwei-Tor-Zelle.

6.4.3 Strukturverkleinerung der Sechs-Transistor-Zelle

Statische Speicher nehmen eine Schlüsselstelle in integrierten digitalen Schaltungen ein. Eingebettete SRAM sollten möglichst wenig Fläche einnehmen, eine geringe Verlustleistung aufweisen und Zugriffszeiten haben, die an die Geschwindigkeit der Prozessorkerne angepasst sind. Steht die geringe Fläche und die Zugriffszeit im Vordergrund werden HP-Transistoren verwendet, die aber hohe Unterschwellenströme zeigen. Soll in Richtung Verlustleistung optimiert werden, wird man LOP- oder LSTP-Transistoren bevorzugen.

Wie es in Bild 6.29 dargestellt ist, wurden die geometrischen Strukturen der SRAMs entsprechend den Regeln, die in Kapitel 2.1.4 erläutert wurden, bis heute verkleinert. Von Technologiegeneration zu Technologiegeneration wurde die Fläche der Zelle halbiert. Wie es bereits in Kapitel 2.1.11 dargestellt ist, wurde dagegen für sub-100 nm Technologien die Versorgungsspannung und die Einsatzspannung nicht mehr gemäß den Skalierungsregeln verringert. Hierfür gibt es einen einfachen Grund [247, 103] und [249].

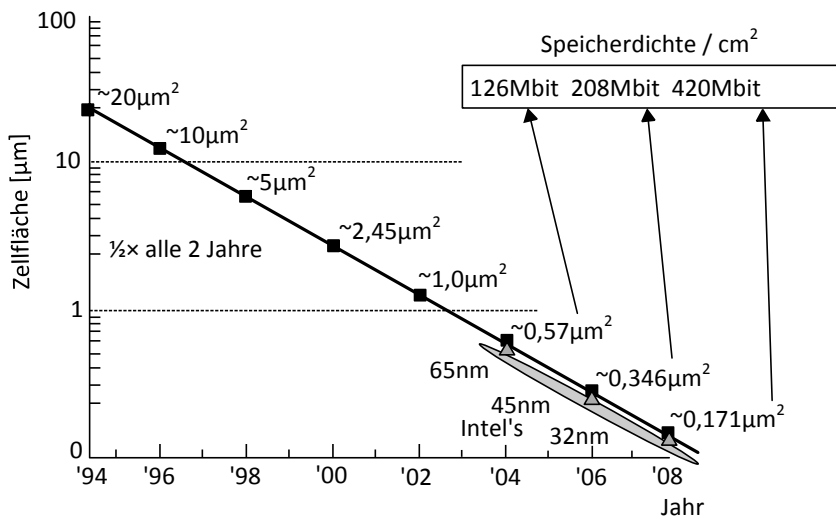


Bild 6.29 Verkleinerung der geometrischen Struktur der Sechs-Transistor-Zelle und die daraus resultierende Speicherdichte in Abhängigkeit von der Zeit [247]. Dreiecke markieren Ergebnisse der Firma Intel.

In Ruhestellung soll die Verlustleistung aufgrund von Leckströmen möglichst klein sein. Bild 6.30 zeigt die Leckströme einer Sechs-Transistor-Zelle, die mit einer $0,13 \mu\text{m}$ Technologie und mit $U_{DD} = 1,5 \text{ V}$ realisiert wurde. Es ergeben sich zwei Gate-Tunnelströme, fünf Ströme aufgrund von GIDL (Gate Induced Drain Leakage) und drei Unterschwellenströme. Die Unterschwellenströme sind exponentiell von der Einsatzspannung abhängig (siehe Gleichung 2.84). Aufgrund der Mitkopplung sind die Unterschwellenströme der gekoppelten MOS-Transistoren un-

vermeidbar, da immer drei Transistoren in der Zelle eine Drain-Source-Spannungen U_{DS} ungleich Null bei $U_{GS} = 0$ haben. Die Unterschwellenströme steigen mit reduzierter Einsatzspannung und erhöhter Temperatur dramatisch an.

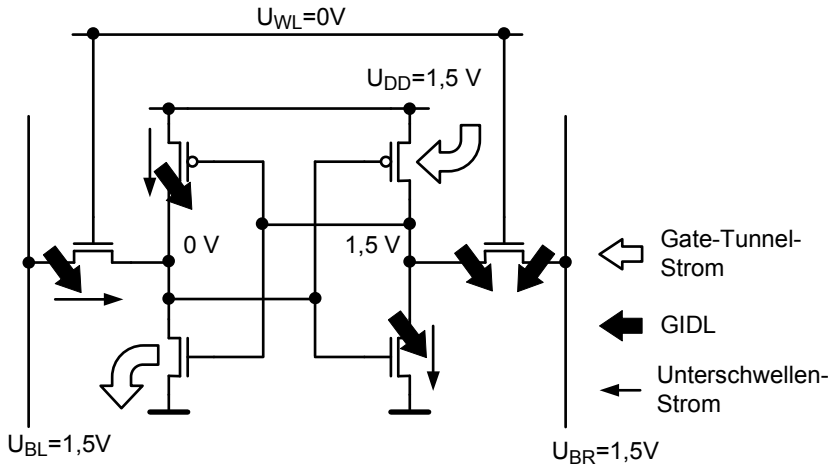


Bild 6.30 Leckströme einer Sechs-Transistor-Zelle [103].

Wird für ein 1 Mbit SRAM bei einer Sperrschichttemperatur von 75°C ein Leckstrom von nur $0,1\,\mu\text{A}$ zugelassen, darf die Einsatzspannung U_T gemessen bei 25°C Sperrschichttemperatur nicht kleiner sein als $0,71\,\text{V}$ (siehe Bild 6.31). Wird für das gleiche SRAM eine möglichst kurze Zugriffszeit angestrebt, muss man die Einsatzspannungen auf $0,49\,\text{V}$ verringern und somit höhere Unterschwellenströme von etwa $10\,\mu\text{A}$ bei 50°C tolerieren [103]. Bei den Zahlenangaben für die Einsatzspannung handelt es sich um Durchschnittswerte.

Bei den folgenden Überlegungen wird davon ausgegangen, dass nur die lokalen Schwankungen der Einsatzspannung berücksichtigt werden müssen. Eine univariate Verteilungsfunktion ist also ausreichend (siehe Kapitel 2.2.3.5). Die Einsatzspannung unterliegt Herstellungstoleranzen. Unterstellt man für die globalen Schwankungen eine Normalverteilung mit der Standardabweichung von $\sigma \approx 44\,\text{mV}$ und rechnet um hohe Ausbeuten zu erzielen mit $3 \cdot \sigma$ -Werten, ergibt sich für die Einsatzspannung eine obere Grenze von $0,71\,\text{V} + 0,13\,\text{V} = 0,84\,\text{V}$ für die n-Kanal-Transistoren. Dies ist der obere Mittelwert μ_0 für die lokalen Schwankungen, die zusätzlich berücksichtigt werden müssen. Nach [249] beträgt für eine $40\,\text{nm}$ Technologie die Standardabweichung der lokalen Schwankungen $\sigma_{UT}(\text{lokal}) \approx 30\,\text{mV}$. Um eine hohe Ausbeute für zum Beispiel ein 16 Mbit SRAM zu erreichen, muss man eine obere Grenze für die Schwankungen von $\mu_0 + 5,4 \cdot \sigma_{UT}(\text{lokal})$ zulassen (siehe Bild 6.34). Die Anzahl der σ -Werte, mit denen gerechnet werden muss, werden in der Literatur als Z-Werte bezeichnet. Insgesamt ergibt sich für die höchste zulässige Einsatzspannung einen Wert von $1,002\,\text{V}$. Man sieht, dass die Versorgungsspannung nicht unter $1,1\,\text{V}$ sinken darf, wenn eine effektive Gate-Source-Spannung von

98 mV zum Beispiel während eines Lesevorgangs als ausreichend betrachtet wird. Für einen 1 kbit-Speicher reichen $\mu_0 + 3,5 \cdot \sigma_{UT}(\text{lokal}) = 0,855 \text{ V}$ aus. Die Versorgungsspannung kann in diesem Fall kleiner sein. Bei den Berechnungen wurden die Schwankungen der Versorgungsspannung, wie auch die Schwankungen der anderen Parameter und Einkopplungen von Störsignalen nicht berücksichtigt. Bei der Ableitung der oberen Grenze der Einsatzspannung, die von der SRAM-Zelle toleriert werden muss, steckt nur die Annahme, dass die globalen und die lokalen Schwankungen der Einsatzspannung nicht korreliert sind. Diese Annahme ist realistisch.

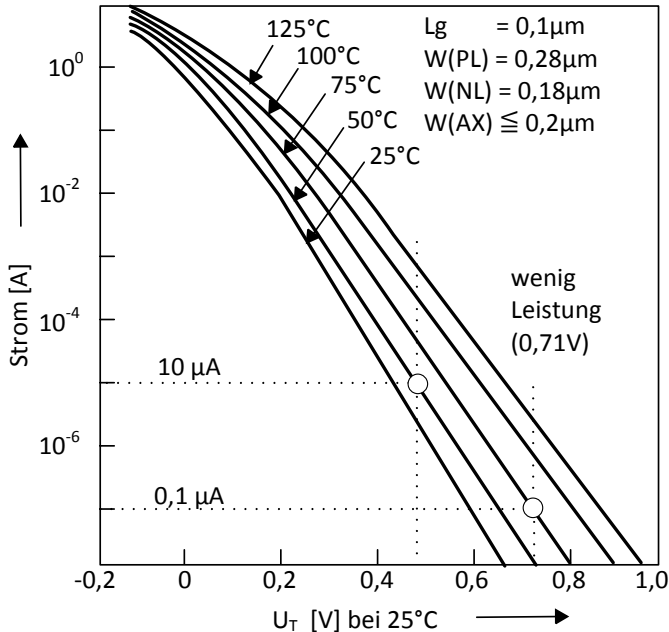


Bild 6.31 Unterschwellenströme eines 1 Mbit SRAMs in Abhängigkeit von der Einsatzspannung U_T mit der Sperrschichttemperatur als Parameter [103].

Die globalen Streuungen der Einsatzspannung können auf einem Chip mittels der adaptiven Steuerung der Substratspannung (ABB Adaptive Body Biasing, siehe Kapitel 4.8.3.2), die getrennt für p-Kanal- und n-Kanal-Transistoren vorzunehmen ist, ausgeglichen werden, so dass nur noch die lokalen Schwankungen merkbar sind. Die oberen Grenzen für die Einsatzspannungen, die noch toleriert werden müssen, sinken somit auf 872 mV für ein 16 Mbit-SRAM, beziehungsweise auf 725 mV für 1 kbit-SRAM. Mit oder ohne ABB gelangt man an die Grenze des Machbaren. Diese einfache Überlegung ist ein Hinweis darauf, dass zufällige Unterschiede in der Stromergiebigkeit zwischen benachbarten Transistoren in einer Sechs-Transistor-Zelle zu Ausfällen führen können. Diese Ausfälle werden parametrische Ausfälle genannt im Unterschied zu harten Ausfällen, die zum Beispiel entstehen durch Abrisse von

Leiterbahnen. Die parametrischen Ausfälle sollen nun näher untersucht werden. Die folgende Ausfallmechanismen können auftreten:

- Fehler in Ruhestellung (hold failure)
- Verändern des Zellinhalts während eines Lesevorgangs (read failure)
- Fehler während eines Schreibvorgangs (write failure)
- Fehler bezüglich der Zugriffszeit (Access-Time-Failure)

Es wird versucht die Fehler mittels redundanter Zellen auszugleichen, die mit zusätzlichen Wort- oder Bitleitungen verbunden sind. In den folgenden Überlegungen werden die einzelnen Fehlermechanismen auf Schwankungen der Einsatzspannungen zurückgeführt. Zum einem ist dies die dominierende Ursache und zum anderen bewirken Schwankungen der Oxiddicke, der Weiten und Längen der Transistoren ebenfalls Schwankungen der Einsatzspannungen. Insgesamt ist festzustellen, dass die globalen und lokalen Schwankungen (Kapitel 2.2.3.5 Bild 2.110 und Tabelle 2.5) mit kleineren Strukturen ohne grundlegende Änderungen der Technologie, wie zum Beispiel die Einführung von FinFETs, unaufhaltsam zunehmen. Im nachfolgenden Abschnitten werden die einzelnen Ausfallmechanismen aufgrund von lokalen Schwankungen der Einsatzspannungen ausführlich beschrieben.

6.4.3.1 Fehler in Ruhestellung (hold failure)

In Ruhestellung wird oft um die Verlustleistung aufgrund von Leckströmen zu vermindern die Versorgungsspannung U_{DD} verkleinert. Um die Stabilität der Zelle gegen Störungen aller Art zu überprüfen, wird die in Kapitel 4.2 Bild 4.7a und 4.7b eingeführte „Schmetterlingskurve“ verwendet. Die „Schmetterlingskurve“ entsteht, wenn man die Übertragungskennlinien der beiden Inverter des Flip-Flops in ein Diagramm einzeichnet. Es ergeben sich drei Schnittpunkte. A und C sind die stabilen Zustände und mit B wird der metastabile Punkt bezeichnet. In die „Bäuche“ zwischen den Übertragungskennlinien können Quadrate eingezeichnet werden, deren Diagonalen ein Maß für die Störsicherheit sind (SVNM, Static Voltage Noise Margin). Die „Schmetterlingskurve“ für den ungestörten Fall ist in Bild 6.32 dargestellt. Die Seitenlänge des kleineren eingeschriebenen Quadrats sei U_c . SVNM und U_c verringern sich mit abnehmender Versorgungsspannung.

Im Störfall können von außen Störsignale mit der Amplitude U_n eingekoppelt werden, die die Kennlinien, wie es in Kapitel 4.2 beschrieben wurde, verschieben. Lokale Schwankungen der Einsatzspannungen der beteiligten Transistoren haben die gleiche Wirkung wie U_n . Ist zum Beispiel die Einsatzspannung des Transistors NR kleiner als der Mittelwert, das heißt die effektive Gate-Source-Spannung ist größer, wechselt der rechte Inverter früher von „Eins“ nach „Null“. Dagegen sei die Einsatzspannung des Transistors NL größer als der Mittelwert, daher schaltet der linke Inverter später von „Eins“ nach „Null“. Es kommt zu Verschiebungen der Inverterkennlinien, wie sie auch in den Bildern 4.7a, 4.7b und 6.33 gezeigt werden. Eine genügend große Variation der Einsatzspannungen $\sigma(\Delta U_T) \approx U_c$, die mit dem entsprechenden Vorzeichen an den jeweiligen Invertereingang angreift, bewirkt,

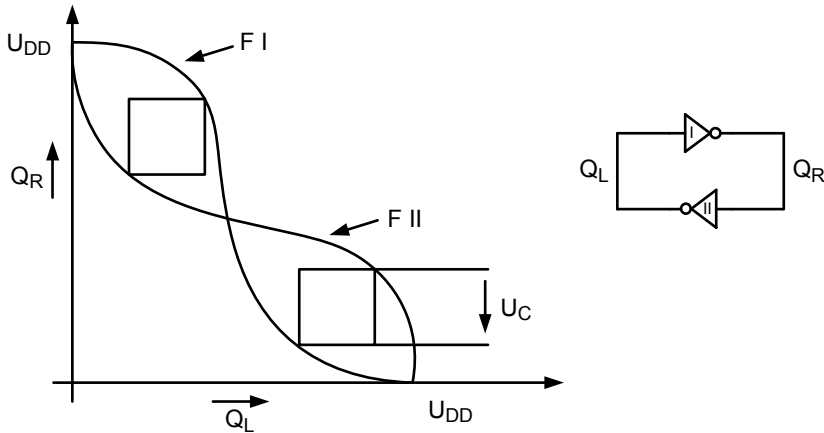


Bild 6.32 „Schmetterlingskurve“ des ungestörten Flip-Flops in Ruhestellung ($WL = 0$). U_C Seitenlänge des kleineren Quadrats.

dass aus den drei Schnittpunkten der beiden Kurven nur noch zwei Schnittpunkte werden. Die Zelle ist in diesem Fall instabil (hold failure). Nur lokale Schwankungen können diesen Effekt bewirken.

Die Größe von $\sigma(\Delta U_T)$ ist von U_{DD} unabhängig. Mit kleinerer Versorgungsspannung U_{DD} werden auch die Bauchöffnungen (U_C) der „Schmetterlingskurven“ kleiner. Die Versorgungsspannung kann nicht beliebig weit abgesenkt werden.

6.4.3.2 Lesefehler (read failure)

Bei der Ableitung des Verhältnisses CR (Gleichung 6.12) wurde beschrieben, dass ein Lesezugriff das Potential des Knotens des Flip-Flops, der an Masse liegen soll (in Bild 6.26 ist dies Q_L), wegen des Spannungsteilers zwischen AXL und NL auf das Potential U_{Lese} angehoben wird. Nun muss man noch die zufälligen lokalen Schwankungen berücksichtigen. Ist zum Beispiel die Einsatzspannung des Transistors AXL reduziert, das heißt der Transistor AXL hat eine höhere Stromergiebigkeit, und die Einsatzspannung des Transistors NL erhöht (kleinere Stromergiebigkeit) folgt daraus ein größeres Potential U_{Lese} .

Ob ein Lesefehler auftritt, hängt von der Lage von U_{Lese} im Verhältnis zur Lage der logischen Schaltschwelle U_M des rechten Inverters (NR, PR, AXR) ab. Lokale Schwankungen der Einsatzspannungen von AXR, NR und PR können bewirken, dass die Stromergiebigkeit der Transistoren AXR und PR reduziert wird, während die Stromergiebigkeit von NR erhöht wird. Die mögliche Folge ist: $U_{MR} < U_{Lese}$. Je schwächer die Transistoren AXR und PR werden, um so geringer kann die Gate-Source-Spannung des Transistors NR sein, um den Zustand des rechten Inverter zu ändern. Für $U_{MR} < U_{Lese}$ tritt ein Lesefehler auf. Zu beachten ist, dass dieser Fehler nur wegen den lokalen Schwankungen der Einsatzspannungen von benachbarten

Transistoren und nicht wegen den globalen Schwankungen auftritt. Dieser Fehler kann immer dann auftreten, wenn die Bitleitungen auf U_{DD} vorgeladen sind und die Wortleitung auf U_{DD} angehoben wird, das heißt jedes Mal wenn gewollt oder ungewollt ein Lesezugriff erfolgt.

Die Störsicherheit während eines Lesevorgangs kann wieder mit der Schmetterlingskurve analysiert werden. Gemessen werden die jeweiligen Übertragungskennlinien indem man die beiden Bitleitungen und die Wortleitung an U_{DD} legt und einen der beiden Knoten, zum Beispiel QL von U_{DD} nach Masse durchsteuert und das Potential des anderen Knoten, in unserem Beispiel QR , misst.

Im Vergleich zu dem Fall, dass die Zelle in Ruhestellung ist, ergeben sich nun andere Inverterkennlinien. Es wurde bereits erläutert, dass zum Beispiel bei einer gespeicherten „Null“ wegen des Spannungsteilers zwischen AXL und NL das Potential des Knotens QL auf U_{Lese} angehoben wird. Wegen U_{Lese} ist die Bauchöffnung und damit auch $SVNM$ im Vergleich zur Ruhestellung verringert. Schwankungen der Einsatzspannungen der Transistoren bewirken wieder entsprechende Verschiebungen der Inverterkennlinien, was wieder bei $U_n = U_c$ zum Verlust der Zellinformation führen kann (siehe Bild 6.33). Mit kleineren Strukturen wird $\sigma(U_T)$ größer, während U_{DD} kleiner wird. Die Störanfälligkeit der Zelle nimmt zu. Dies ist ein grundsätzliches Problem der SRAM-Zelle.

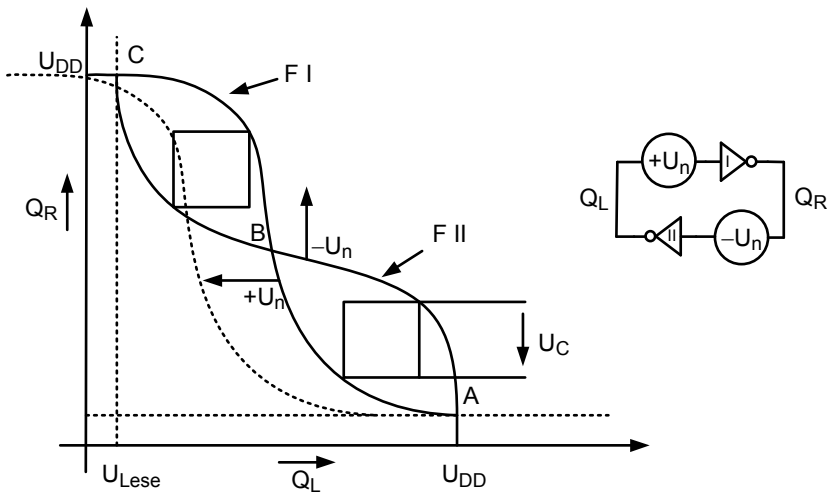


Bild 6.33 „Schmetterlingskurven“ während eines Lesevorgangs unter dem Einfluss der lokalen Schwankungen von U_T [15].

6.4.3.3 Fehler während eines Schreibvorgangs (write failure)

Zu Beginn des Kapitels 6.4.2 wurde angenommen, dass $Q_L = 0$ und $Q_R = 1$ eine gespeicherte logische Null darstellt. Nun soll eine logische Eins eingeschrieben werden, das heißt der Knoten Q_R muss entladen werden. Wenn während der Zeit t_{WL} in der die Wortleitung an U_{DD} liegt, Q_R nicht unter die logische Schwellen des linken Inverters gezogen werden kann, folgt daraus ein Fehler (Write Failure). Der Strom, der für die Entladung zur Verfügung steht, ergibt sich aus der Differenz der Ströme $I_{AXR} - I_{PR}$. Folglich können aufgrund von Schwankungen der Einsatzspannungen der Transistor PR mit einer höheren Stromergiebigkeit und der Transistor AXR mit einer geringeren Stromergiebigkeit ausgestattet sein, was den Entladevorgang abbremst und somit einen Schreibfehler verursachen kann (siehe Bild 6.34). Um diesen Fehler zu vermeiden, ist man versucht bei konstanter Versorgungsspannung den Transistor AXR mit einer größeren Stromergiebigkeit auszustatten, das heißt dieser Transistor wird niederohmiger, und den Transistor PR mit einer kleineren Stromergiebigkeit auszuliegen. Damit erhöht man aber die Wahrscheinlichkeit für das Auftreten eines Lesefehlers, da U_{Lese} größer wird [74]. Daher ist eine sorgfältige Dimensionierung unter der Berücksichtigung der Schwankungen der Einsatzspannungen der verschiedenen Transistoren einer SRAM-Zelle dringend geboten. Der Fehler wird von lokalen Schwankungen verursacht. Globale Schwankungen würden zum Beispiel die Stromergiebigkeit von beiden PMOS-Transistoren erhöhen. Zum einen verringert dies den Entladestrom, aber andererseits steigt damit auch die Schwellen des linken Inverters an. Das heißt die Gate-Source-Spannung des Transistors NR wird größer. Beide Effekte kompensieren sich.

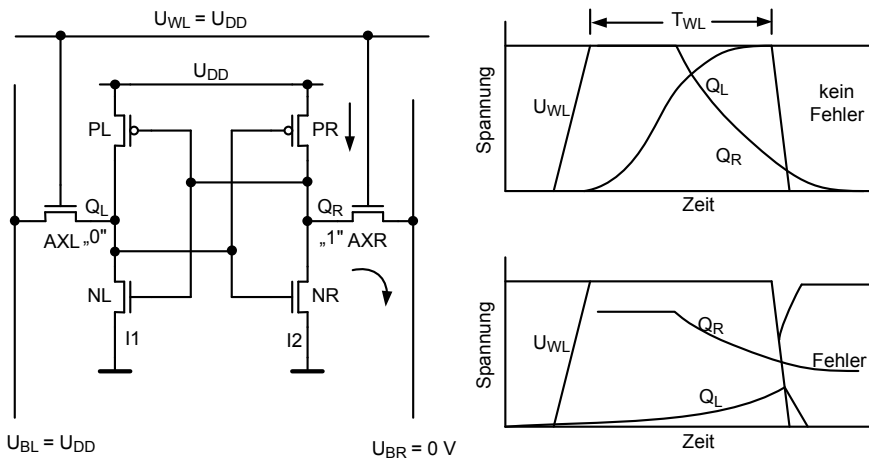


Bild 6.34 Darstellung eines Schreibfehlers (write failure) [249].

In der Vergangenheit hat man versucht die Störanfälligkeit für derartige Fehler ebenfalls anhand von „Schmetterlingskurven“ zu bestimmen. Nun setzt sich die

Schmetterlingskurve aus einer Übertragungskennlinie, wie sie auch bei einem Lesevorgang auftritt, und einer Übertragungskennlinie, die charakteristisch für einen Schreibvorgang ist, zusammen. Es werden die in den Bildern 6.34 und 6.35a eingezeichneten Potentiale angenommen, also: $BL = WL = U_{DD}$ und $BR = 0\text{ V}$.

Der linke Inverter in Bild 6.34, das heißt der Inverter I1, hat eine Übertragungskennlinie, wie sie bereits für einen Lesevorgang beschrieben wurde. Man erhält die Übertragungskennlinie, wenn der Knoten QR variiert wird und die Spannung des Knotens QL gemessen wird.

Zu Beginn des Schreibvorgangs sollte, um die nötige Störsicherheit zu erzielen, der Knoten QR , der ursprünglich eine logische Eins darstellte, mit einem Spannungsteiler aus PR und AXR auf eine Spannung kleiner als die Schaltschwelle U_{MR} gezogen werden, also: $QR < U_{MR}$ für $QL = 0$. Die Übertragungskennlinie des Inverters I2 wird gemessen, indem man QL von 0 V nach U_{DD} variiert und QR misst. Somit erklärt sich die Kennlinie des Inverters 2 in Bild 6.35b. Um die „Schmetterlingskurve“ zu erhalten, muss man die Kennlinien der Inverter I1 und I2 überlagern (siehe Bild 6.35c). Wieder ist die Diagonale des eingeschriebenen Quadrats mit der Seitenlänge U_c ein Maß für die Störsicherheit. Die beschriebenen Messmethoden setzten Zugriffe von außen auf die internen Knoten voraus. Dies ist problematisch, da für die Zugriffe das Zelllayout verändert werden müsste.

Im vorhergehenden Absatz wurde beschrieben, dass die Stromergiebigkeit des Transfertransistors AXR den Schreibvorgang maßgeblich beeinflusst. Das heißt Schwankungen der Einsatzspannung dieses Transistors sollten einen großen Einfluss darauf haben, wie oft ein Schreibfehler auftritt. In [218] wird jedoch dargestellt, dass nur für sehr große Schwankungen von U_T dieses Transistors eine Korrelation zu den beschriebenen Störmaß existiert. Bei kleineren Werten ist kein Zusammenhang erkennbar, was der Wirklichkeit widerspricht. Man benötigt also ein besseres Störmaß.

Um die Transistoren PR und AXR in die Berechnung eines passenden Störmaßes einzubeziehen, wird in den bereits erwähnten Artikel vorgeschlagen zur Bestimmung der „Schreibübertragungskennlinie“ des rechten Teils der Zelle (Inverter 2) nicht die Spannung QL , sondern die Gate-Source-Spannung des Transistors AXR als Eingangsspannung zu nehmen. QL wird konstant auf dem Wert $U_{Low} \approx U_{Lese}$ gehalten (siehe Bild 6.35d). PR und AXR bilden einen Inverter, dessen Eingangsspannung die Differenz zwischen dem Wortleitungspotential WL und dem Potential der Bitleitung BR ist. Man kann die Gate-Source-Spannung des Transistors AXR variieren, indem man entweder bei konstanten Source-Potential (Masse) die Gate-Spannung (WL) ändert, oder indem man bei konstantem Gate-Potential (U_{DD}) die Spannung der Bitleitung BR von U_{DD} nach Masse durchstimmt. Die sich ergebenden Übertragungskennlinie ist zusammen mit der „Lesekennlinie“ des Inverters 1 im Bild 6.35e dargestellt.

Die Ausgangsspannung des Inverters 2 bleibt QR . Damit die Zelle kippt, muss QR mindestens den Wert der Schaltschwelle U_{M1} des Inverters 1 haben, oder kleiner sein. Als Maß für die Störsicherheit wird nun die Differenz zwischen U_{DD} und derjenigen Gate-Source-Spannung des Transistors AXR genommen, bei der gilt: $QR = U_{M1}$ (siehe Bild 6.35e). Der Transistor AXR sollte eine hohe Stromergie-

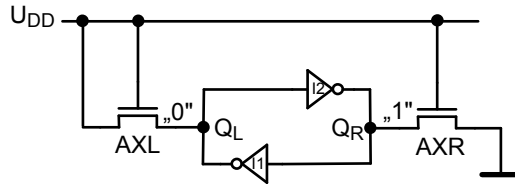


Bild 6.35a Aufgeschnittene Mitkoppelschleife zu Beginn eines Schreibvorgangs.

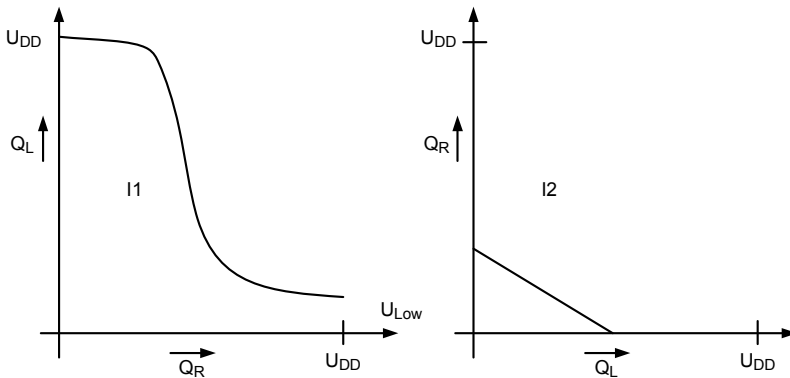


Bild 6.35b Übertragungskennlinien des linken und rechten Inverters.

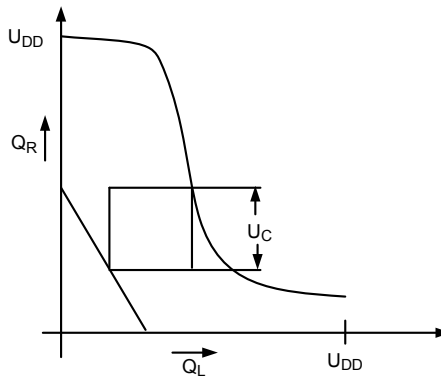


Bild 6.35c „Schmetterlingskurven“ bei einem Schreibvorgang.

bigkeit aufweisen, das heißt eine relativ geringe Gate-Source-Spannung von AXR sollte reichen um die Zelle zu kippen. Je größer $U_{GS,AXR}$ sein muss, um so geringer ist die Stromergiebigkeit dieses Transistors und um so kleiner ist das Störmaß WRM (Write Margin).

In [218] wird nachgewiesen, dass dieses Störmaß in der Praxis gute Resultate liefert. Es wird auch gezeigt, dass die Fehlerhäufigkeit reduziert werden kann, wenn man nur die Versorgungsspannung der Zelle, aber nicht das Potential der Wortlei-

NMOS-Transistoren NL und NR größer werden. Somit können globale und lokale Schwankungen zu dem Fehler führen. Es gilt für die Wahrscheinlichkeit P_{AF} , das ein Lesezugriffsfehler für eine Zelle auftritt

$$P_{AF} = P(t_{\text{access}} > t_{\text{max}}) \quad . \quad (6.14)$$

Wie Bild 6.36 zeigt, hängen an den beiden Bitleitungen mehrere Zellen. Die ausgewählte Zelle hat eine logische Null gespeichert ($QL = 0$, $QR = 1$). Nach der Aktivierung der Wortleitung der ausgewählten Zelle, wird die linke Bitleitung BL im Wesentlichen über den Transistor AXL der ausgewählten Zelle mit dem Drain-Sättigungsstrom $I_{D,AXL}$ und über NL entladen. Obwohl die Transfertransistoren der anderen Zellen gesperrt sind, können Leckströme fließen. So wird auch die rechte Bitleitung BR entladen. Wegen der Vielzahl der parallel liegenden Zellen braucht man bei der Bestimmung der Leckströme keine lokalen Herstellungstoleranzen zu berücksichtigen. Es genügt nur die lokalen Mittelwerte zu addieren. Die Leckströme der Transfertransistoren AXR setzen sich aus den Gate-Tunnelströmen $I_{g,on}$, den

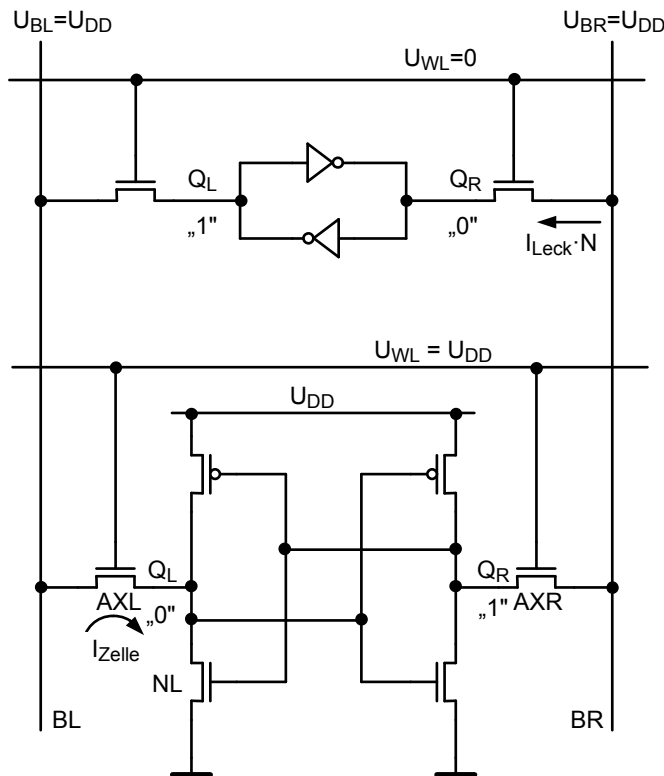


Bild 6.36 Ausgewählte Zelle liegt parallel zu Zellen, deren Transfertransistoren gesperrt sind, aber Leckströme aufweisen, die die andere Bitleitung entladen können.

Unterschwellenströmen $I_{s,off}$ und den Sperrströmen I_{sperr} , gegebenenfalls auch aus den durch GIDL verursachten Strömen I_{GIDL} zusammen. Für die Entladeströme der linken und der rechten Bitleitung erhält man [153]

$$I_{BL} = I_{D,AXL} + \sum_{i=1}^N I_{g,on,i} + I_{Sperr,AXL,i} \cong I_{D,AXL} \quad (6.15)$$

$$I_{BR} = \sum_{i=1}^N I_{g,on,i} + I_{Sperr,AXL,i} = \sum_{i=1}^N I_{sub,AXR}(i) \quad (6.16)$$

N ist die Zahl der mit den Bitleitungen BR und BL verbundenen Zellen. Näherungsweise erhält man für die Zugriffszeit [153]

$$t_{access} = \frac{C_B \cdot \Delta_{min}}{I_{D,AXL} - \sum_{i=1}^N I_{sub,AXR,i}} \quad (6.17)$$

$C_B = C_{BR} = C_{BL}$ Bitleitungskapazität einschließlich aller parasitären Kapazitäten.

Mit der Gleichung 6.17 kann die Lesezugriffszeit t_{access} und insbesondere die Schwankungen der Zugriffszeit in Abhängigkeit von Schwankungen der betreffenden Einsatzspannungen berechnet werden. In Bild 6.37 sind diese Zusammenhänge dargestellt. Man sieht, dass Schwankungen von U_T des Transistors AXL dominieren. Weiter kann man die Wahrscheinlichkeitsdichtefunktion für t_{access} ermitteln (siehe Bild 6.38) [153].

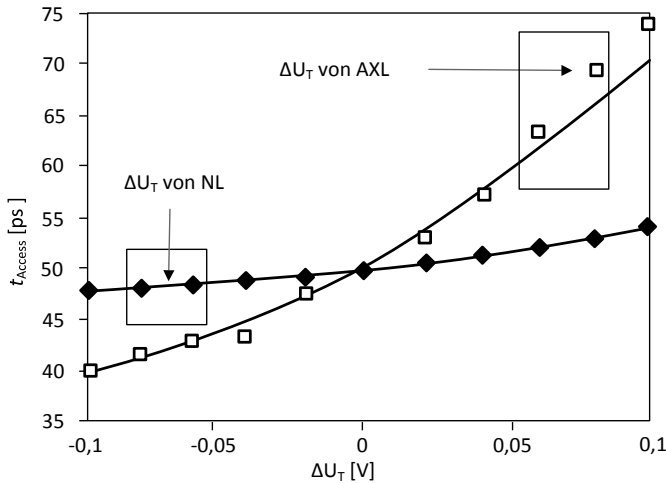


Bild 6.37 Zugriffszeit t_{access} in Abhängigkeit der U_T -Schwankungen von AXL und NL [153].

Wegen der größeren Einfachheit wird hinfort davon ausgegangen, dass die Schwankungen der Zugriffszeit t_{access} im Wesentlichen nur von den Schwankungen von

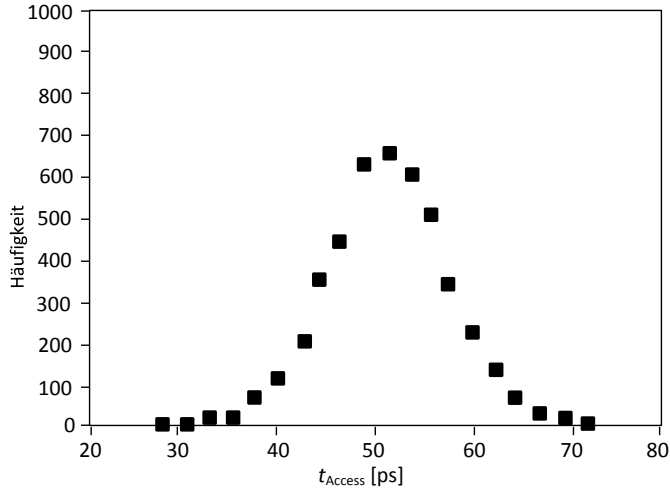


Bild 6.38 Mit Monte-Carlo-Simulationen ermittelte Verteilungsdichte von t_{access} [153].

$I_{D,AXL} = I_{Zelle}$ verursacht werden. Bei genauer Betrachtung stellt man fest, dass die Wahrscheinlichkeitsdichtefunktion von I_{Zelle} bei großen Abweichungen vom Mittelwert nicht der Normalverteilung sondern der Gumbel-Verteilung entspricht [249].

Der minimale Lesestrom $I_{Zelle,min}$ der schwächsten Zelle bestimmt die erzielbare Zugriffszeit des gesamten Speichers. I_{Zelle} ist daher eine wichtige Designgröße. Man muss den Erwartungswert für $I_{Zelle}(\mu)$ und die Standardabweichung $\sigma_{I_{Zelle}}$ bei Schwankungen der Einsatzspannungen bestimmen, um daraus die maximal zulässige Schwankung für I_{Zelle} zu errechnen [87]

$$I_{Zelle,min} = I_{Zelle}(\mu) - Z_{I_{Zelle}} \cdot \sigma_{I_{Zelle}} \quad (6.18)$$

Zum Beispiel sei $I_{Zelle}(\mu) = 100 \mu\text{A}$, $\sigma_{I_{Zelle}} = 6 \mu\text{A}$ und $I_{Zelle,min} = 70 \mu\text{A}$, dann ergibt sich $Z_{I_{Zelle}} = 5$.

Zu Beginn dieses Kapitels wurde festgestellt, dass die Spannungsdifferenz zwischen den Bitleitungen größer sein soll, als die Offsetspannung von etwa 100 mV der nachfolgenden Bewertererschaltung, die eine Differenzstufe ist (siehe Bild 6.55). Wie wir gerade festgestellt haben, unterliegt der Lesestrom stochastischen Schwankungen. Die Offsetspannung der nachfolgenden Differenzstufe zeigt ebenfalls herstellungsbedingte Schwankungen. Der Designer muss sicherstellen, dass auch im extremen Fall zum Zeitpunkt, an dem die Bewertererschaltung aktiviert wird, die Offsetspannung kleiner ist als die Spannungsdifferenz zwischen den Bitleitungen. Ob ein Fehler auftritt, hängt also von drei Größen ab, nämlich ΔI_{Zelle} , ΔU_{off} des Bewertererschaltung und Δt , des Einschaltzeitpunktes der Differenzstufe. Also

$$\Delta U_{\text{off}} < \frac{\Delta I_{Zelle}}{C_{BL}} \cdot \Delta t \quad (6.19)$$

Man muss den kombinierten Einfluss der drei Zufallsvariablen untersuchen.

6.4.3.5 Statistik extremer Werte

Am Ende von Kapitel 2.2.3.5 wurde bereits festgestellt, dass für eine vertrauenswürdige Abschätzung der Ausfallwahrscheinlichkeit von Grundsaltungen mit einem hohen Wiederholgrad, wie Speicherzellen oder Register, bei einer Monte-Carlo-Analyse zu viele Simulationen benötigt werden. Anhand von SRAMs soll das Problem der Statistik von seltenen Ereignissen besprochen werden. Hier können aus Platzgründen die Lösungsansätze nur skizziert werden. Eine ausführliche Darstellung findet der Leser unter [207].

Üblicherweise enthält die Spezifikation für ein SRAM neben den Angaben über elektrische Eigenschaften, wie die erlaubte Verlustleistung und die Zugriffszeit, auch eine Angabe über die erforderliche Ausbeute Y_{array} . Aber wie errechnet sich aus einer Ausfallwahrscheinlichkeit für einen ganzen Speicher, zum Beispiel $F_{\text{f,array}} < 10^{-3}$ bei 100 Grad Celsius mit $U_{\text{DD}} = 1 \text{ V}$ die Ausfallwahrscheinlichkeit für eine Speicherzelle $F_{\text{f,cell}} = 1 - Y_{\text{cell}}$? Indem diese Frage beantwortet wird, entsteht auch ein Verständnis für die Statistik extremer Werte.

Mit $F_{\text{f,array}}$ wird die Wahrscheinlichkeit, dass in einem Speicher eine oder mehrere Zellen ausfallen, bezeichnet. Werden zehn Speicher hergestellt und sechs von ihnen haben insgesamt acht Zellen, die ausfallen, dann beträgt $F_{\text{f,array}} = 6/10$. Eine andere Definition lautet: $F_{\text{f,array}}$ gibt die Wahrscheinlichkeit an, dass in einem Speicher die schlechteste Zelle fehlerhaft ist. Betrachtet man eine bestimmte Eigenschaft y , wie zum Beispiel die Lesezugriffszeit, ist man am schlechtesten Wert von y unter N Werten, wobei N die Anzahl der Zellen in dem Speicher ist, interessiert. Dieser schlechteste Wert sei M_N . Es wird angenommen, dass das Maximum als schlecht definiert ist; große Werte gelten als schlecht. Falls kleine Werte als schlecht gelten, wie beim *SVNM*, dann wird das Maximum von $-y$ herangezogen

$$M_N = \max(Y_1, \dots, Y_N) \quad . \quad (6.20)$$

Mit $Y_1, \dots, Y_N$ werden die gemessenen elektrischen Eigenschaftswerte der N Zellen bezeichnet. Es wird jede Zelle mit $y > y_{\text{f}}$ als fehlerhaft aufgefasst, das heißt y_{f} gibt die Fehlerschwelle an. Für die Ausfallwahrscheinlichkeit $F_{\text{f,array}}$ des Speichers erhält man

$$F_{\text{f,array}} = P(M_N > y_{\text{f}}) \quad . \quad (6.21)$$

$F_{\text{f,array}}$ gibt die Wahrscheinlichkeit an, dass der schlechteste y -Wert größer ist als y_{f} . Es gilt

$$P(M_N > y_{\text{f}}) = 1 - P(M_N < y_{\text{f}}) \quad . \quad (6.22)$$

$P(M_N < y_{\text{f}}) = Y_{\text{array}}$ gibt die Wahrscheinlichkeit dafür an, dass die schlechteste Zelle kein Ausfall ist. Das heißt, dies ist die Wahrscheinlichkeit, dass alle Zellen in

Ordnung sind

$$P(M_N < y_f) = P(Y_1 \leq y_f, \dots, Y_N \leq y_f) \quad . \quad (6.23)$$

Jedes Ereignis sei unabhängig von den anderen Ereignissen. Diese Annahme ist berechtigt, da wir lokale Schwankungen auf atomarer Basis betrachten. Aus Gleichung 6.22 folgt

$$P(M_N < y_f) = \prod_{i=1}^N P(Y_i \leq y_f) = [P(Y_i \leq y_f)]^N \quad . \quad (6.24)$$

Nun gilt

$$P(Y_i \leq y_f) = 1 - P(Y_i > y_f) \quad , \quad (6.25)$$

wobei $P(Y_i > y_f)$ die gesuchte Wahrscheinlichkeit $F_{f,\text{cell}}$ für einen Zellausfall ist. Somit erhält man aus den Gleichungen 6.21 bis 6.25

$$F_{f,\text{array}} = 1 - (1 - F_{f,\text{cell}})^N \quad (6.26)$$

oder

$$F_{f,\text{cell}} = 1 - (1 - F_{f,\text{array}})^{1/N} \quad (6.27)$$

oder

$$Y_{\text{cell}} = Y_{\text{array}}^{1/N} \quad . \quad (6.28)$$

Die Ableitung wurde für Speicher ohne Redundanz vorgenommen. In [207] findet der Leser die Ableitung für Speicher mit Redundanz. Häufig wird angenommen, dass die von der Herstellung bedingten Schwankungen mittels der Standardnormalverteilung berechnet werden können. In den Abhandlungen über die verschiedenen Fehlermechanismen in einer SRAM-Zelle wurde meistens vom Unterschied der Einsatzspannungen von benachbarten Transistoren ausgegangen. Daher wird für die nachfolgenden Betrachtungen angenommen, dass die Differenz ΔU_T der Einsatzspannungen von NL und NR, normalverteilt ist. Der Erwartungswert μ sei Null und die Standardabweichung sei durch $\sigma(\Delta U_T)$ gegeben. Die Standardabweichung der lokalen Schwankung der Einsatzspannung sei $\sigma(U_T)$. Für die Standardabweichung der Differenz ΔU_T von benachbarten Einsatzspannungen gilt, da die Schwankungen nicht korreliert sind,

$$\sigma(U_T) = \frac{\sigma(\Delta U_T)}{\sqrt{2}} \quad . \quad (6.29)$$

Die univariate Wahrscheinlichkeitsdichtefunktion $N(\Delta U_T)$ nach Bild 6.39 berechnet sich nach Kapitel 2.2.3.5 zu

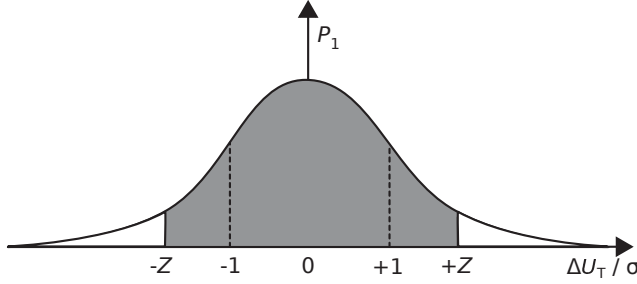


Bild 6.39 Wahrscheinlichkeitsdichtefunktion für ΔU_T .

$$N(\Delta U_T) = \frac{1}{\sigma \cdot \sqrt{2 \cdot \pi}} \cdot \exp\left(-\frac{\Delta U_T^2}{2 \cdot \sigma^2}\right) \quad (6.30)$$

Die Wahrscheinlichkeit, dass die Spannungsdifferenz ΔU_T einer Zelle sich innerhalb der Grenzen $-Z \cdot \sigma$, $+Z \cdot \sigma$ befindet, wie sie in Bild 6.39 eingezeichnet sind, ergibt sich zu

$$P_1 = \frac{1}{\sqrt{2 \cdot \pi}} \cdot \int_{-Z \cdot \sigma}^{+Z \cdot \sigma} \exp\left(-\frac{u^2}{2}\right) \cdot du \quad (6.31)$$

mit

$$u = \frac{\Delta U_T}{\sigma(\Delta U_T)} \quad (6.32)$$

Beide Ausläufer der Verteilungsdichtefunktion führen zu Ausfällen. Bei anderen Ausfallmechanismen ist nur einer der beiden Ausläufer wirksam.

In Gleichungen 6.17 und 6.19 hängt die Schwankung der gesuchten Größe t_{access} von anderen normalverteilten statistischen Variablen, wie ΔC_B , ΔU_{off} und Δt ab. Im Allgemeinen lässt sich für eine Funktion

$$y = f(x_1, \dots, x_n) \quad (6.33a)$$

wobei $(x_1, \dots, x_n)$ unabhängige normalverteilte Zufallsvariablen mit Erwartungswerten $(\mu_1, \dots, \mu_n)$ und mit Standardabweichung $(\sigma_1, \dots, \sigma_n)$ sind, der Erwartungswert μ_y und die Standardabweichung σ_y wie folgt berechnen [168, 153]

$$\mu_y = f(\mu_1, \dots, \mu_n) + \frac{1}{2} \sum_{i=1}^n \frac{\partial^2 f(x_1, \dots, x_n)}{\partial (x_i)^2} \Big|_{\mu_i} \cdot \sigma_i^2 \quad (6.33b)$$

$$\sigma_y^2 = \sum_{i=1}^n \left(\frac{\partial f(x_1, \dots, x_n)}{\partial (x_i)} \Big|_{\mu_i} \right)^2 \cdot \sigma_i^2 \quad (6.33c)$$

Gleichung 6.33c wird das Gauß'sche Fehlerfortpflanzungsgesetz genannt.

Sind die Zufallsvariablen korreliert, muss man mit den multivariaten Verteilungsfunktionen nach Kapitel 2.2.3.5 arbeiten. Die Wahrscheinlichkeitsdichtefunktion $N_y(y, \mu_y, \sigma_y)$ von y sei ebenfalls normalverteilt. Für die Wahrscheinlichkeit für $y > Y_0$, das heißt die Wahrscheinlichkeit für den Ausfall einer Zelle, erhält man

$$P(y > Y_0) = \int_{y=Y_0}^{\infty} N_y(y, \mu_y, \sigma_y) \cdot dy \quad . \quad (6.34)$$

In der Gleichung 6.27 wird ein Zusammenhang zwischen der Ausfallwahrscheinlichkeit eines ganzen Speichers mit der Ausfallwahrscheinlichkeit einer Zelle angegeben.

Es gibt mehrere Möglichkeiten die Fehlerwahrscheinlichkeit auszudrücken. Zunächst kann man einfach die Wahrscheinlichkeit angeben. Zum Beispiel soll ein 32 Mbit-Speicher eine Ausfallrate von $F_{f,array} < 0,1\%$ haben. Dies bedingt eine Zellausfallwahrscheinlichkeit $F_{f,cell} < 2,98 \times 10^{-11}$. Oft wird die erwartete Zahl an Ausfällen in „parts per million“ (ppm) oder „parts per billion“ (ppb) angegeben. Die Ausfallwahrscheinlichkeit $F_{f,cell} = 2,98 \times 10^{-11}$ ist das selbe wie $2,98 \times 10^{-5}$ ppm oder 0,0298 ppb. Im nächsten Schritt wird nun festgestellt welcher Z -Wert nötig ist, damit die Fehlerwahrscheinlichkeit der Zelle gering genug ist. Für das genannte Beispiel eines 32 Mbit-Speichers ergibt sich ein Z -Wert von $6,5447 \cdot \sigma(\Delta U_T)$ [207].

Bild 6.40 stellt für verschiedene Ausbeutewerte $Y = 1 - F_{f,array}$ den Zusammenhang zwischen der notwendigen Zahl der σ -Werte Z und der Anzahl N der Zellen eines Speichers dar. In der Literatur werden oft um die Grenzen des Machbaren auszuloten die Störmaße in Abhängigkeit von $Z = 6$ angegeben.

Die angegebenen Zahlenwerte von $F_{f,cell} = 2,98 \times 10^{-11}$ beziehungsweise von $Z = 6,5447 \cdot \sigma$ zeigen, dass diejenigen Ereignisse von großer Bedeutung sind, die extrem selten auftreten. Man muss sich mit den weit entfernten Ausläufern der Wahrscheinlichkeitsdichtefunktionen beschäftigen.

Nun ist es leider so, dass zwar die Standardnormalverteilung den Kern von vielen gemessenen Verteilungen gut modelliert. Aber die vom Mittelwert weit entfernten Ausläufer weichen in vielen Fällen davon ab, wie es in Bild 6.41 für den rechten Ausläufer übertrieben dargestellt ist. Würde man diesen Ausläufer auch mit der Standardnormalverteilung berechnen, würde man große Fehler provozieren. Wir brauchen eine Anpassung der Verteilungsfunktion P .

Es sei P die Wahrscheinlichkeit aufgrund einer Standardnormalverteilung. Wir definieren die Grenze des Kernbereichs, der richtig mit der Standardnormalverteilung beschrieben wird mit t . Man kann zum Beispiel das 99% Percentil wählen. Wie es Bild 6.41 zeigt, bestimmt z wie sehr die Schwelle t überschritten wird. Es gilt für $P(t)$

$$P(t) = \int_{-\infty}^t N_y(y) \cdot dy \quad . \quad (6.35)$$

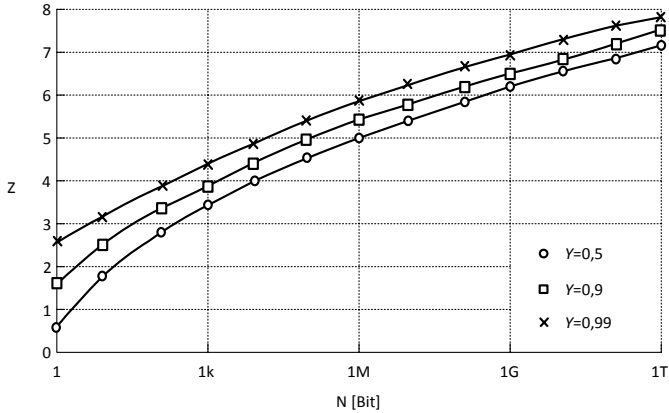


Bild 6.40 Zusammenhang zwischen Anzahl N der Speicherzellen und der Zahl der σ -Werte Z , die für die verschiedenen angestrebten Ausbeutewerte Y_{array} benötigt werden [103].

$1 - P(t)$ drückt die Wahrscheinlichkeit aus, dass aufgrund der Normalverteilung die Schwelle überschritten wird. Da aber tatsächlich im Ausläufer die Wahrscheinlichkeitsdichte größer ist, müssen wir eine Korrekturfunktion $F_t(z)$ einführen. Somit kann man die gesamte Wahrscheinlichkeit $F(t+z)$ wie folgt ausdrücken

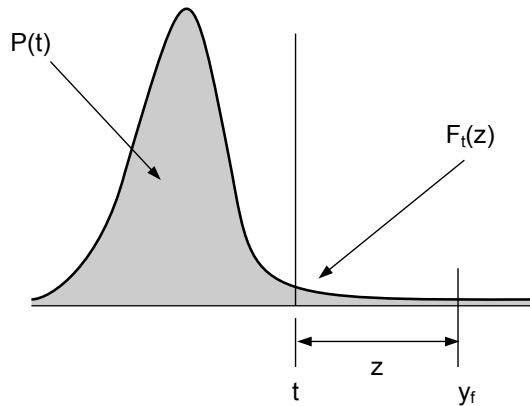


Bild 6.41 Schiefe Verteilungsdichtefunktion in einem Ausläufer.

$$F(t+z) = (1 - P(t)) \cdot F_t(z) + P(t) \quad . \quad (6.36a)$$

Der Korrekturfunktion, die ebenfalls eine Wahrscheinlichkeit angibt und eine Verteilungsfunktion ist, errechnet sich zu

$$F_t(z) = \frac{F(z+t) - P(t)}{1 - P(t)} \quad . \quad (6.36b)$$

Eigentlich müsste wegen der größeren Verteilungsdichte im Ausläufer die Verteilungsdichte im Kernbereich angepasst werden. Aber für Speicher größer als 1 Mbit und für Ausbeuten der Speicher von größer als 99% ist die Ausfallrate der Zelle so gering, dass auf die Anpassung verzichtet werden kann. Wenn mittels gewonnener Daten $F(t+z)$ und $P(t)$ bestimmt werden können, errechnet sich daraus die Korrekturwahrscheinlichkeit $F_t(z)$. Zum Beispiel erhält man so die Ausbeute für einen extremen Wert $y_f > t$

$$F(y_f) = (1 - P(t)) \cdot F(y_f - t) + P(t) \quad . \quad (6.36c)$$

Da die Grenze t des Kernbereichs nicht zu weit im Ausläufer liegt, kann $P(t)$ mit ein paar tausend Simulationen bestimmt werden. Das Problem ist wie $F_t(z)$ beziehungsweise $F(z+t)$ effektiv geschätzt werden kann.

Das Maximum M_N nach Gleichung 6.20 ist ein Maß für den erwarteten schlechtesten Wert für eine elektrische Eigenschaft. Dies gilt, weil nach Gleichung 6.24 die Ausbeute des gesamten Speichers $P(M_N < y)$ vom Produkt aller Zellausbeuten bestimmt wird. Die Theorie für extreme Werte sagt nun, dass die Verteilung von M_N mittels der Frechet-, der Weibull- oder der Gumbel-Verteilung modelliert werden kann. Die drei Verteilungsfunktionen können zu einer allgemeinen Verteilungsfunktion GEV (generalized extreme value distribution) kombiniert werden. Weiter gilt, dass die Korrekturfunktion $F_t(z)$ gegen die allgemeine Pareto-Verteilungsfunktion (GPD) konvergiert, wenn man sich weiter in den Ausläufer hinein bewegt [207]

$$GPD(z, \beta, \xi) = \begin{cases} 1 - \left(1 - \xi \cdot \frac{z}{\beta}\right)^{1/\xi} & \text{für } \xi \neq 0, z \in D(\xi, \beta) \\ 1 - e^{-z/\beta} & \text{für } \xi = 0, z \geq 0 \end{cases} \quad (6.37a)$$

mit

$$D(\xi, \beta) = \begin{cases} (0, \infty) & \text{für } \xi \leq 0 \\ [0, \beta/\xi] & \text{für } \xi > 0 \end{cases} \quad . \quad (6.37b)$$

Mit dem Parameter ξ wird die Gestalt und mit β wird die Skalierung der Verteilung beeinflusst. Die dazu gehörige Verteilungsdichtefunktion N lautet

$$N_{GPD}(z, \beta, \xi) = \begin{cases} \frac{1}{\beta} \cdot \left(1 - \xi \cdot \frac{z}{\beta}\right)^{\left(\frac{1}{\xi}-1\right)} & \text{für } \xi \neq 0, z \in D(\xi, \beta) \\ \frac{1}{\beta} \cdot e^{-z/\beta} & \text{für } \xi = 0, z \geq 0 \end{cases} \quad . \quad (6.37c)$$

Die festgestellte Konvergenz ist ein wichtiges Ergebnis. Vorausgesetzt, dass man genügend Daten in den Ausläufern zur Verfügung hat, kann man die relativ einfache und analytische GPD an die gesammelten Daten anpassen und Aussagen über noch weiter entfernte Punkte treffen. Anpassung heißt, die Parameter β und ξ der GPD geeignet auszuwählen. Es gibt mehrere Methoden mit der die Anpassung vorgenommen werden kann. Eine davon ist die Methode der maximalen Mutmaßlichkeit (Maximum Likelihood Estimation, MLE). Bleibt noch das Problem, wie mittels des

Monte-Carlo-Verfahrens genügend Daten in den Ausläufern ohne explosionsartig anwachsende Simulationszeiten generiert werden können. Auch für dieses Problem gibt es mehrere Lösungsansätze.

Hier soll nur die Methode der statistischen Blockade behandelt werden. Die Idee ist die Ausläufer zu identifizieren und nur diese Monte-Carlo-Punkte zu simulieren, die wahrscheinlich in den Ausläufern liegen. Es ist wesentlich billiger Zufallswerte zu generieren als diese Punkte zum Beispiel mit SPICE zu simulieren. Wir generieren, wie in der klassischen Monte-Carlo-Methode, Punkte, aber diese Punkte werden blockiert und somit nicht einer Simulation zu geführt, wenn sie wahrscheinlich nicht in die Ausläufer fallen. So kann die Anzahl der Simulationen dramatisch gesenkt werden. Man benutzt einen Klassifizierer um mit großer Sicherheit zwischen Kernbereich und Ausläufer zu unterscheiden. Die Punkte im Kernbereich werden unterdrückt. Daher erhält man schiefe Verteilungen. Ein Klassifizierer ist eine Funktion, die als Eingang jeden Punkt des statistischen Eingangsparametersatzes nimmt und vorhersagt, ob dieser Punkt zum Kernbereich oder zu einem Ausläufer gehört.

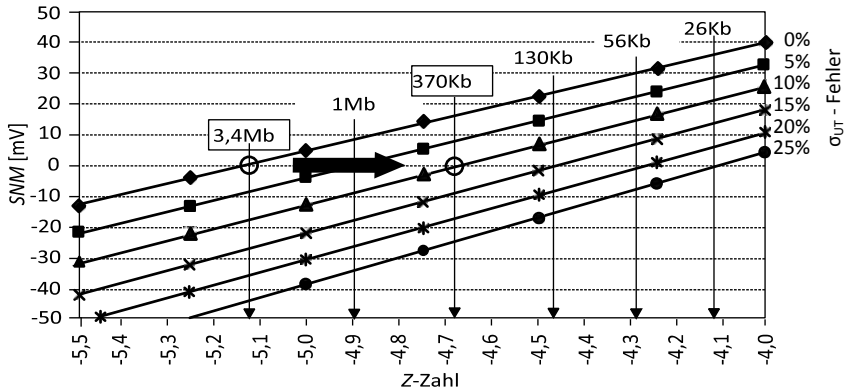
Im Wesentlichen benötigt der Klassifizierer ein Modell der Grenze zwischen Kernbereich und Ausläufer. Hierfür werden etwa 1000 Monte-Carlo-Punkte und deren Simulationen benötigt. Da das Modell nicht exakt sein kann, werden die Genauigkeitsanforderungen entspannt. Die Grenze zwischen Kernbereich und Ausläufer wird näher an den Kernbereich gerückt. Um genauere Abschätzungen in den weit entfernten Ausläufern zu erreichen, kann man die Methode der statistischen Blockade rekursiv einsetzen. So wird die Grenze zwischen Kernbereich und Ausläufer immer weiter nach außen verschoben [207].

6.4.3.6 Störsicherheit als Funktion von U_{DD} und Z

Für die Beurteilung der Störsicherheit beziehungsweise der Stabilität der SRAM-Zelle verfügen wir über drei Kriterien: SVNМ (für Lesefehler), WRM und t_{access} . Ersatzweise wird für t_{access} I_{Zelle} genommen. Wegen Schwankungen der Einsatzspannungen U_T unterliegen die drei Variablen Schwankungen, die als normalverteilt angenommen werden und die mittels eines Erwartungswertes und einer Standardabweichung beschrieben werden. Im nachfolgenden Abschnitt wird anhand dieser Kriterien gezeigt, wie sehr die Zellstabilität bei Verringerung der Versorgungsspannung gefährdet ist.

Zu beachten ist, dass die Standardabweichung der Einsatzspannung σ_{UT} sehr genau bestimmt werden muss. Verschätzt man sich hierbei nur um 10%, folgt daraus für eine 45 nm Technologie, wie Bild 6.42 zeigt, dass die Wahrscheinlichkeit für fehlerbehaftete Zellen um fast eine Größenordnung ansteigt [248]. Für einen 3,4 Mbit-Speicher benötigt man 5,1- (Z -) σ -Werte. Bei einem 10% Fehler von σ_{UT} reduziert sich die effektive Z -Zahl auf 4,7, was für einen 370 kbit-Speicher ausreichend wäre.

In den Bildern 6.43, 6.44 und 6.45 sind die jeweiligen Störsicherheitskriterien, nämlich SVNМ für Lesefehler, WRM und I_{Zelle} , in Abhängigkeit von der Versorgungsspannung U_{DD} für typische Werte (μ) und für das Sechsfache der jeweiligen Standardabweichung ($Z = 6, \mu_0 + 6\sigma$) aufgrund von lokalen Schwankungen von U_T



b6.4.17

Bild 6.42 Wirkung von Schätzfehlern für σ_{UT} auf die Wahrscheinlichkeit für defekte Zellen [248].

dargestellt [249, 248]. Es wurde ein 45 nm Technologie zu Grunde gelegt. Je nach dem, welches Kriterium man anwendet, liegt die minimal zulässige Versorgungsspannung für $Z = 6$ knapp über oder unter 1 V. Reduziert man an dem Punkt, an dem wegen der Schwankungen von I_{Zelle} das entsprechende Störmaß ($I_{Zelle}(6\sigma)$) zu Null wird, die Versorgungsspannung um 50 mV, erhöht sich die Wahrscheinlichkeit für eine fehlerbehaftete Zelle um den Faktor 400. Dagegen erhöht sich die Wahrscheinlichkeit bei $SVNM(6\sigma) = 0$ um den Faktor 3 und bei $WRM(6\sigma) = 0$ um den Faktor 33. Das Kriterium I_{Zelle} hat die stärkste Abhängigkeit von der Versorgungsspannung U_{DD} , während das Kriterium $SVNM$ sehr stark und das Kriterium WRM etwas abgeschwächter aber stärker als I_{Zelle} von der Fläche abhängig ist [248].

Früher waren die lokalen Schwankungen so klein, dass sie auch bei sehr komplexen Bausteinen nicht berücksichtigt werden mussten. Heute stellen sie ein zentrales Problem dar. Im Vergleich zu Logikschaltungen sind SRAMs empfindlicher gegen lokalen Schwankungen. Logische Pfade enthalten immer mehrere Gatter, so dass sich lokale Schwankungen wegen der Mittelwertbildung auf die Gatterlaufzeit eines Pfades geringfügiger auswirken. Bei SRAMs entfällt die Mittelwertbildung. Da integrierte SRAMs oft den größten Teil der Chipfläche einnehmen, werden sie mit den kleinsten Transistoren realisiert und sind somit am stärksten lokalen Schwankungen ausgesetzt.

6.4.3.7 Maßnahmen zur Erhöhung der Störsicherheit von SRAM-Zellen

Mit fehlererkennenden oder fehlerkorrigierenden Codes (ECC, Error Correction Codes) können Fehler erkannt und sogar korrigiert werden. ECC wird nicht nur bei sogenannten „weichen Fehlern“, das sind Fehler die nur vorübergehend auftreten, sondern auch bei dauerhaften Fehlern erfolgreich eingesetzt. Dies gilt besonders für

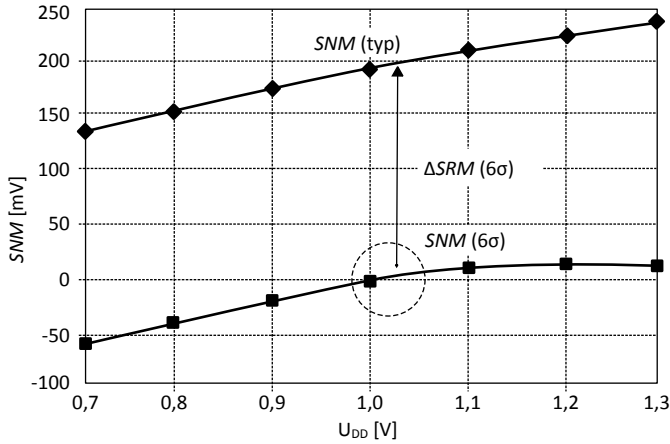


Bild 6.43 SVNM für typische und für 6σ -Werte von U_T in Abhängigkeit von der Versorgungsspannung U_{DD} [249]. Verringerung von U_{DD} um 50 mV bewirkt eine um den Faktor 33 höhere Fehlerwahrscheinlichkeit.

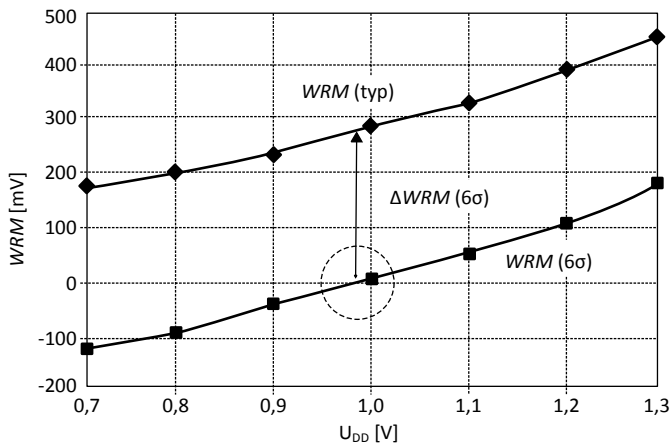


Bild 6.44 WRM für typische und für 6σ -Werte von U_T in Abhängigkeit von der Versorgungsspannung U_{DD} [249]. Verringerung von U_{DD} um 50 mV bewirkt eine um den Faktor 3 höhere Fehlerwahrscheinlichkeit.

einzelne fehlerbehaftete Zellen, wie sie durch Schwankungen der Einsatzspannung verursacht werden. Zusätzlich zu ECC kann auch Redundanz eingesetzt werden. Mit redundanten Zellen können fehlerbehaftete Zellen ersetzt werden.

Da die Ursache der verminderten Störmaße die kleineren Zellflächen sind, vermindern größere Zellflächen das Problem. Es wurde bereits erwähnt, dass mit ABB (Adaptive Body Biasing) die globalen Schwankungen ausgeglichen werden können. Die globalen Schwankungen werden auch mit klugen Layouts der Zellen minimiert. Eine weitere Möglichkeit besteht darin, die Versorgungsspannungen der Zellen während der Lese- oder der Schreibvorgänge geeignet einzustellen. Schließlich

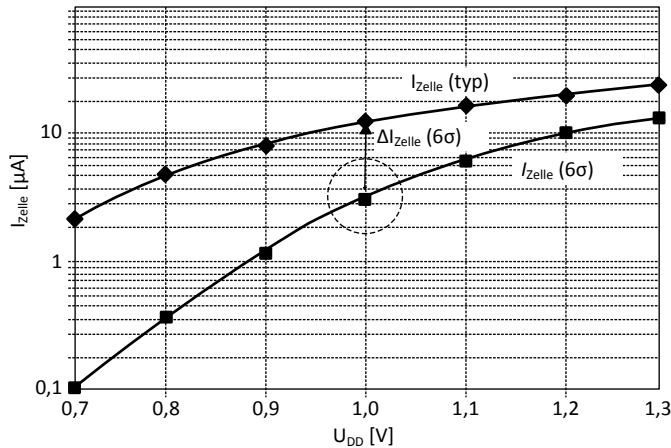


Bild 6.45 I_{Zelle} für typische und für 6 σ -Werte von U_T in Abhängigkeit von der Versorgungsspannung U_{DD} [249]. Verringerung von U_{DD} um 50 mV bewirkt eine um den Faktor 400 höhere Fehlerwahrscheinlichkeit.

hilft der Einsatz von modernen Transistoren, die über verbesserte Isoliermaterialien verfügen, oder der Einsatz von FD-SOI-Transistoren beziehungsweise FinFETs, die zusätzlich eine geringe Substratdotierung haben, die lokalen Schwankungen der Einsatzspannung wesentlich zu reduzieren und somit die Störmaße zu verbessern. Nachfolgend wird zunächst das kluge Layout und dann die geeignete Einstellung der Versorgungsspannungen behandelt. Schließlich wird ein alternatives Zellkonzept diskutiert.

6.4.3.7.1 Lithographisch-symmetrische Zellen

In Kapitel 2.2.1.2 wurde erläutert, dass die Herstellung der kleinen Strukturen moderner CMOS-Transistoren besondere Anforderungen an die Maskenherstellung und an die Photolithographie stellt. Es wurde postuliert, dass die Layouts zumindest in den unteren Ebenen nur noch einfache, reguläre Geometriestrukturen, die möglichst nur eine Ausrichtung aufweisen sollen, enthalten dürfen.

Anlässlich der ISSCC 2001 wurde ein neues Layout der SRAM-Zelle vorgestellt, das inzwischen zum Standard geworden ist [165, 163]. Eine verbesserte Version dieses Layouts zeigen die Bilder 6.46a und 6.46b. In Bild 6.46a werden zunächst wegen der besseren Übersichtlichkeit nur die beiden untersten Ebenen dargestellt. Ursprünglich wurde diese Zelle lithographisch-symmetrisch genannt. In der Mitte der Zelle befindet sich eine n-Wanne, die von zwei p-Wannen flankiert wird. Links oben und unten rechts sieht man die beiden Transfertransistoren, die das Flip-Flop mit den Bitleitungen verbindet. Alle Polysiliziumleitungen sind horizontal ausgerichtet. Diese Bahnen sind gerade. Die unterste, die erste Metallbahn (M0) verbindet horizontal die Drain-Gebiete der beiden Inverter. Die Inverter sind U-förmig gebogen. Die Öffnung des linken Inverters zeigt nach unten.

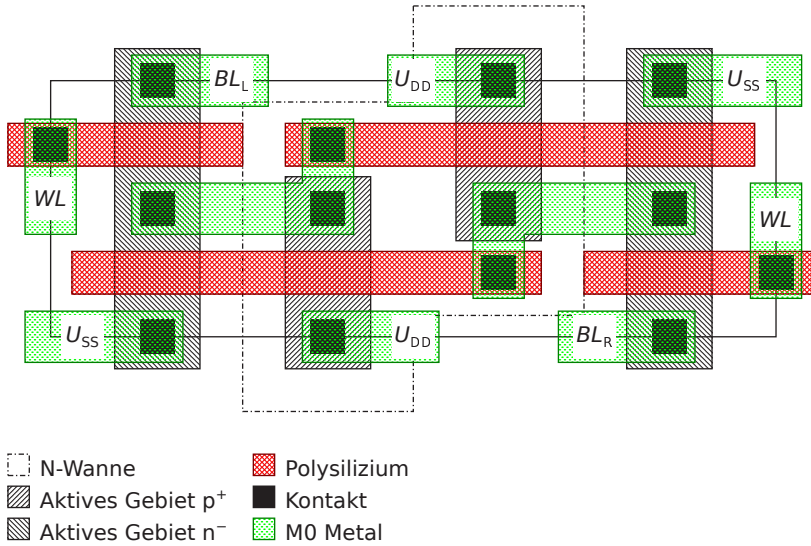


Bild 6.46a Untere Ebenen des Layouts einer Sechs-Transistor-SRAM-Zelle mit rechteckförmigen und geraden Diffusionsgebieten und Polysiliziumbahnen (RD-Zelle) [245].

Die Diffusionsgebiete sind vertikal orientiert. Sie sind gerade und rechteckförmig. In der linken und rechten p-Wanne sind die Diffusionsgebiete für den Transfertransistor und den NMOS Pull-Down-Transistor miteinander verbunden. Wegen des geforderten CR -Zellverhältnisses ($CR > 1,2$) sollten die Weiten der beiden Transistoren und damit die Weiten der beiden Diffusionsgebiete unterschiedlich sein. In [245] wurde vorgeschlagen, das geforderte Zellverhältnis nicht durch die Dimensionierung der Weiten der Transfer- und der Pull-Down-Transistoren zu erzielen, sondern mittels unterschiedlicher Spannungen für die Wortleitung und die positive Versorgungsspannung U_{DD} der Zelle. Dies wird im nächsten Abschnitt erläutert. In diesem Zusammenhang spricht man von einem elektrischen CR -Verhältnis. Das neue Layout ermöglicht einheitliche, rechteckförmige und gerade Diffusionsgebiete (RD cell, Rectangular Diffusion cell), die den Forderungen der Photolithographie entgegenkommen.

Die Verdrahtung der Zelle wird in einem weiteren Bild 6.46b dargestellt. Es werden drei Metallisierungsebenen benötigt. Die Wortleitung verläuft horizontal in der zweiten Metallisierungsebene M1. Die restlichen Metallbahnen sind vertikal in der dritten Metallebene (M2) angeordnet. Am linken und am rechten Rand werden die Masseleitungen geführt. So teilen sich zwei benachbarte Zellen eine Masseleitung. Hierzu parallel und etwas eingerückt verlaufen die Metallbahnen (M2) für die Bitleitungen. In der Mitte der Zelle liegt die Leiterbahn (M2) für die positive Versorgungsspannung. Die Koppelung der beiden Bitleitungen ist minimiert, da die Bitleitungen immer zwischen Leitungen für die Versorgungsspannungen liegen. Bei diesem Layout wurde vorausgesetzt, dass die Leiterbahnen in der zweiten und der dritten Metallebene die gleichen Raster aufweisen.

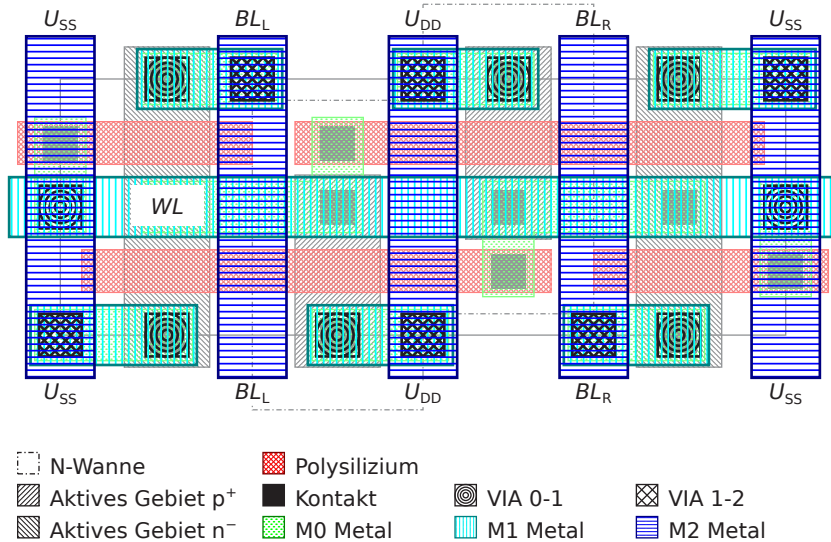


Bild 6.46b Gesamtes Layout einer Sechs-Transistor-SRAM-Zelle mit rechteckförmigen und geraden Diffusionsgebieten (RD-Zelle) [245].

6.4.3.7.2 Anpassung der Versorgungsspannungen

Bereits in der Einleitung zu diesem Kapitel wurde festgestellt, dass, wegen der Lesezugriffsfehler, die Versorgungsspannung der eingebetteten statischen Speicher nicht zu klein gewählt werden darf. Daher werden in Mikroprozessoren die eingebetteten statischen Speicher mit einer eigenen Versorgungsspannung U_{CUDD} , die unabhängig ist von der Versorgungsspannung U_{DD} der Logikblöcke, ausgestattet.

Im Abschnitt 6.4.3.2 wurde erklärt, dass bei einem Lesezugriff der Ausgang, der eine logische Null aufweisen soll, auf die Spannung U_{Lese} angehoben wird. Ein Lesefehler tritt auf, wenn U_{Lese} größer ist als die Schaltschwelle U_M des Inverters, dessen Ausgang eine logische Eins darstellen soll. Die relative Lage der Schaltschwelle U_M zur Spannung U_{Lese} wird verbessert, wenn nur die Versorgungsspannung der Zelle aber nicht das Potential der Wortleitung WL geringfügig erhöht wird. Mit dieser Maßnahme vergrößert sich die Bauchöffnung der Schmetterlingskurve und damit auch das SVN. Die Wahrscheinlichkeit für einen Lesefehler verringert sich (siehe Bild 6.47).

In [245] wurde gezeigt, dass mit dieser Methode auch das gewünschte CR -Verhältnis elektrisch eingestellt werden kann. Dies ist plausibel, wenn man bedenkt, dass mit größerem U_{DD} die Gate-Source-Spannung von NR oder NL ansteigt. Die Stromergiebigkeit von einem der beiden Transistoren wächst. Dieser Transistor wird niederohmiger. U_{Lese} sinkt. In Bild 6.48 wird die erhöhte Versorgungsspannung $U_{CUDD} = U_a = U_{DD} + \Delta U_a$ und das elektrisch eingestellte Verhältnis CR in Abhängigkeit von der Versorgungsspannung U_{CUDD} gezeigt. Eine Erhöhung der Versor-

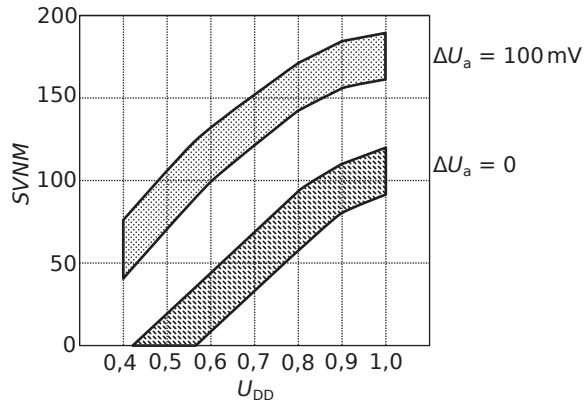


Bild 6.47 SVN-M der RD-Zelle für einen Lesezugriff mit und ohne Spannungsüberhöhung der Versorgungsspannung U_{DD} um $\Delta U_a = 100 \text{ mV}$. Die breiten Streifen werden von 3σ -Schwankungen von U_T verursacht [245].

gungsspannung U_{CDD} der Zelle um etwa $\Delta U_a = 100 \text{ mV}$ reicht aus um elektrisch das gewünschte CR -Verhältnis einzustellen.

Es ergibt sich jedoch ein Problem. Die erhöhte Versorgungsspannung versorgt die PMOS-Transistoren in den Pull-Up-Zweigen der Zellen ebenfalls mit einer erhöhten Gate-Source-Spannung. Die Stromergiebigkeit der PMOS-Transistoren ist gleichfalls verbessert, was die Wahrscheinlichkeit für einen Schreibfehler erhöht. Abhilfe schafft die Einsatzspannung der PMOS-Transistoren betragsmäßig entsprechend zu erhöhen, so dass die Stromergiebigkeit dieser Transistoren unverändert bleibt. Bei jedem Zellzugriff wird die Versorgungsspannung der betroffenen Zellen

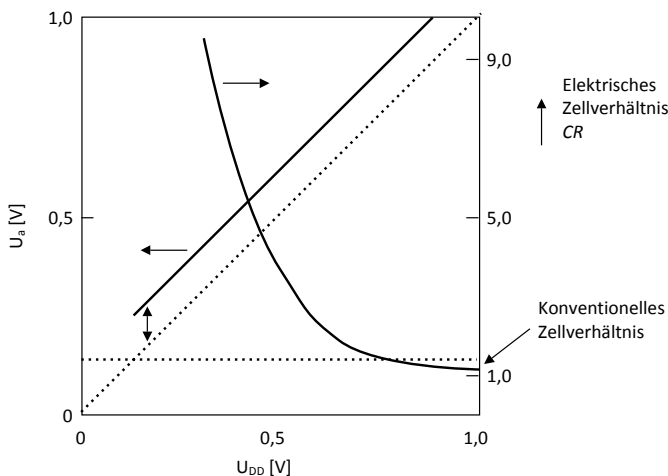


Bild 6.48 Erhöhte Versorgungsspannung U_a und elektrisch eingestelltes Zellverhältnis CR in Abhängigkeit von U_{DD} [245].

erhöht. Die erhöhte Versorgungsspannung U_a darf eine obere Schranke nicht überschreiten, sonst wäre die Zuverlässigkeit gefährdet. Andererseits darf U_{CUDD} nicht zu klein gewählt werden, da sonst wegen des daraus folgenden geringeren Potentials der Wortleitung der Zellstrom I_{Zelle} zu klein wird. Die Schaltung, mit der aus der zur Verfügung stehenden Versorgungsspannung U_{DD} die geringfügig erhöhte Spannung auf dem Chip erzeugt werden kann, wird ebenfalls in [245] beschrieben.

In [255] wird ein zusätzlicher Schritt vorgeschlagen. Lese- und Schreibvorgänge brauchen unterschiedliche Stromergiebigkeiten für die NMOS- und PMOS-Transistoren einer Zelle, was sich in den verschiedenen Zellverhältnissen CR und PR niederschlägt. Anstatt nun einen Kompromiss mittels der Dimensionierung der Transistoren für Lesen und Schreiben zu finden, ist es günstiger elektrisch die Zellverhältnisse einzustellen, in dem man die Spannungen der Wortleitungen im Verhältnis zur Versorgungsspannung der Zellen variiert. Bei einem Lesevorgang erhöht man die Versorgungsspannung der Zelle, wie es bereits beschrieben wurde, um etwa 100 mV im Vergleich zum Potential der Wortleitung.

Während man bei einem Schreibvorgang das Potential der Versorgungsspannung U_{CUDD} der Zellen im Vergleich zum Potential der Wortleitungen um 100 mV absenkt. Ein Schreibfehler wird vermieden, wenn der betroffene Transfertransistor eine hohe Stromergiebigkeit hat. Deswegen wird die Wortleitung mit einem höheren Potential versorgt. Weiter ist ein schwacher PMOS-Transistor hilfreich. Daher wird die Versorgungsspannung der Zelle reduziert. Wie es in Bild 6.49 dargestellt ist, ergibt eine Differenz von 100 mV ein um 20% verbessertes Störmaß WRM, während eine Differenz von 200 mV eine Verbesserung um knapp 40% zur Folge hat. Es ist darauf zu achten, dass die Zellen, die ebenfalls mit der aktivierten Wortleitung verbunden sind, aber in denen keine neue Information eingeschrieben werden soll, die gespeicherte Information bewahren. In dem diese Zellen zum Beispiel an eine hohe Versorgungsspannung $U_{CDD} + \Delta U$ gelegt werden, lässt sich das Ziel erreichen [255].

Anstatt die Versorgungsspannung der Zellen beim Lesen etwas größer als das Potential der Wortleitung, das konstant bei U_{DD} liegt, zu gestalten, könnte man auch umgekehrt die Versorgungsspannung der Zellen konstant an U_{DD} legen und das Potential der Wortleitung absenken. Schreiben könnte erleichtert werden, indem man das Potential der Wortleitung, die beim Schreiben ein niedriges Potential aufweisen soll, weiter absenkt. Hier ergibt sich möglicherweise das Problem, dass zu hohe Gate-Source-Spannungen am Transfertransistor auftreten. Die Zuverlässigkeit wäre in einem derartigen Fall gefährdet. Festzuhalten ist, dass welche Maßnahme auch gewählt wird, mit der das Lesen und Schreiben unterstützt werden soll, in den peripheren Schaltungen, mit denen die veränderten Potentiale bereit gestellt werden müssen, zusätzliche Chipfläche benötigt wird. Für einen 64kbit Speicher wird eine zusätzlicher Flächenbedarf von 5% bis 10% angegeben.

Die Versorgungsspannung der Zellen und das Potential der Wortleitungen an die Betriebsbedingungen anzupassen, um SVN und WRM zu optimieren, ist nur begrenzt möglich, wie in [237] dargelegt wird. Überschreitet bei einem bestimmten Technologieknoten die Standardabweichung der lokalen Einsatzspannung den Wert

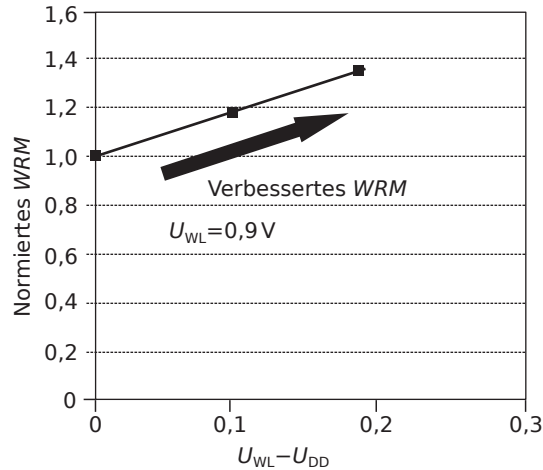


Bild 6.49 Störmaß WRL als Funktion der Differenz der Potentiale zwischen der Wortleitung und der Versorgungsspannung der Zellen [255].

von 50 mV, wird das Störmaß I_{Zelle} zu klein. Es treten trotz Spannungsanpassung Fehler auf. Welche Alternativen verbleiben in diesem Falle?

6.4.3.7.3 Acht-Transistor-Zelle

Wegen Gleichung 2.186 ist es offensichtlich, dass größere Kanalweiten der Transistoren der Sechs-Transistor-Zelle die Standardabweichung der lokalen Schwankungen verringern. Verdoppelt man alle Transistorweiten in der Zelle, reduziert sich Standardabweichung um 30% auf Kosten einer um 40% größeren Zellfläche [237]. Eine ähnliche Chipfläche ergibt sich, wenn zur Acht-Transistor-Zelle nach Bild 6.50 übergegangen wird [36].

Diese Zelle enthält zwei zusätzliche NMOS-Transistoren und zusätzlich eine Lesebitleitung RBL und eine Lesewortleitung RWL. Mit diesem Zelltyp gelingt es die Bedingungen für Lesen und Schreiben von Daten zu trennen. Während eines Lesevorgangs trennt der Transistor M7 den internen Knoten von der Bitleitung Lesen RBL. Es kommt zu keiner Spannungserhöhung an diesem Knoten. Über die Transistoren M7 und M8 kann im Bedarfsfall RBL kraftvoll entladen werden. Da nun, ohne SVNМ zu schmälern, sowohl die Lesewortleitung RWL als auch die Lesebitleitung RBL an eine höheres Potential gelegt werden kann. Somit wird I_{Zelle} vergrößert. Wenn eine Zelle nicht ausgewählt wird, braucht RBL nicht vorgeladen werden. Was eine reduzierte Verlustleistung zur Folge hat.

Wie bei der Sechs-Transistor-Zelle wird über die Schreibwortleitung WWL und den beiden Bitleitungen WBL und $\overline{WBL}$ ein Schreibvorgang ausgeführt. Ob und wann sich die Acht-Transistor-Zelle durchsetzen wird, kann heute noch nicht vorhergesagt werden.

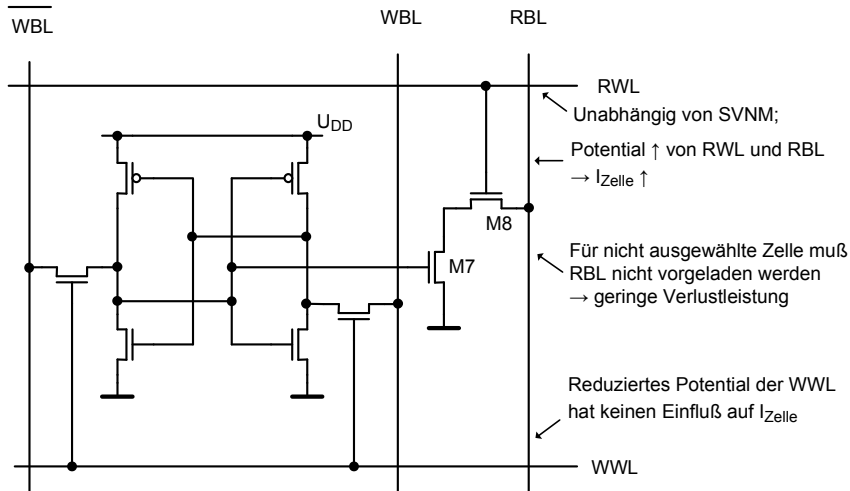


Bild 6.50 Statische Acht-Transistor-Zelle [36].

6.4.4 Architektur der statischen Speicher

Die in Bild 6.3 dargestellte Organisation eines Schreib-Lese-Speichers ist für Speicher bis zu 64kbit oder 256kbit ausreichend. Bei größeren Speichern werden die Wort- und die Bitleitungen zu lang. Wort- und Bitleitungen stellen RC-Leitungen (siehe Kapitel 3.2.2) dar, deren Laufzeit quadratisch mit der Leitungslänge steigt.

Größere Speicher werden in Blöcke unterteilt. Jeder einzelne Block ist entsprechend Bild 6.3 aufgebaut. Neben den Zeilen- und Spaltenadressen, die allen Blöcken zugeführt werden, werden nun zusätzlich Blockadressen benötigt, mittels denen jeweils ein Block für das Lesen oder Schreiben ausgewählt wird. Mit dieser Methode ergeben sich zwei Vorteile.

Zunächst ergeben sich wesentlich verkürzte lokale Wort- und Bitleitungen, das sind die Leitungen innerhalb eines Blocks. Mit der Blockadresse wird nur ein Block ausgewählt. Die nicht aktivierten Blöcke werden in einen Zustand geschaltet, in dem Verlustleistung eingespart werden kann. Zum Beispiel kann die Versorgungsspannung der nicht aktivierten Blöcke abgesenkt werden. Zusätzlich werden die Verstärker und die Dekodierschaltungen für die Auswahl der Wort- und Bitleitungen abgeschaltet. So wird die Verlustleistung beträchtlich reduziert.

Als Beispiel für diese Technik wird ein 4Mbit SRAM-Speicher vorgestellt (Bild 6.51) [92]. Dieser Speicher ist in 32 Blöcke mit jeweils 1024 Wortleitungen und 128 Zellreihen unterteilt. In jedem Block sind zwei Zellreihen redundant ausgelegt. Weiter hat jeder Block 16 Bewerterschaltungen beziehungsweise Verstärker. Daraus ergibt sich, dass jeweils die Ausgangssignale von acht Reihen zu einem Verstärker durchgeschaltet werden. Hierfür werden Multiplexer aus PMOS-Transfertransistoren nach Bild 4.90 in Kapitel 4.8.1.4 verwendet, die von den Bitleitungsde-

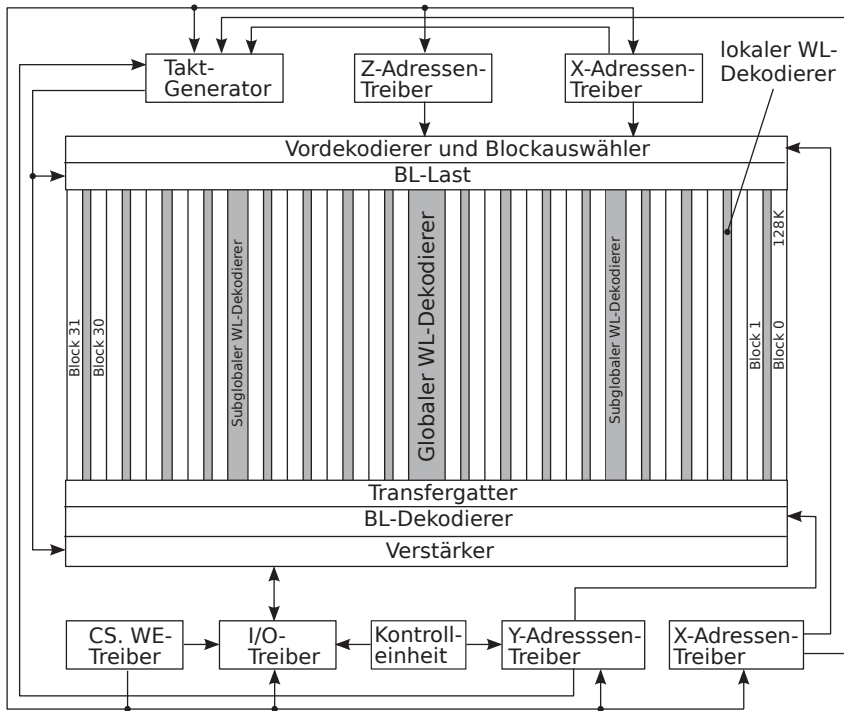


Bild 6.51 Blockschaltbild eines hierarchisch aufgebauten 4 Mbit-SRAM [92].

kodierschaltungen gesteuert werden. Die Verstärker oder die Bewerterschaltungen müssen also nicht in das enge Raster der Bitleitungen passen.

Die Adresse zur Auswahl der Wortleitungen (X Adressen) umfasst zehn Bits, zur Auswahl der Bitleitungen (Y Adressen) sieben Bits und zur Auswahl des Blöcke (Z Adressen) fünf Bits. Die Wortleitungen verlaufen horizontal, während die Bitleitungen vertikal geführt sind. Damit die Wortleitungen nicht zu lang werden, wird eine dreifache Hierarchie geschaffen (Bild 6.52). Auf der obersten Hierarchieebene befinden sich die globalen Wortleitungsdekodierer, die in der Mitte des Speichers angeordnet sind. Nach rechts und links zweigen die globalen Wortleitungen ab, die um die RC-Zeitkonstanten klein zu halten, mit einer oberen Metallisierungsebene realisiert werden. Von den globalen Wortleitungen gelangt man über weitere Dekodierschaltungen auf die Ebene der sub-globalen Wortleitungen, die in einer unteren Metallisierungsebene verlaufen. Schließlich werden in der untersten Verdrahtungsebene die lokalen Wortleitungen realisiert.

Nachfolgend werden einige wichtige Details des Datenpfades näher erläutert. Nach einem Schreib- oder Lesevorgang müssen die Bitleitungen BL und BR zur Vorbereitung des nächsten Lesevorgangs wieder auf U_{DD} gebracht werden. Die Bitleitungen werden auf U_{DD} geladen um einen Fehler bezüglich der Lesezugriffszeit zu vermeiden. Der Vorladevorgang wird entweder mit dynamischen oder statischen

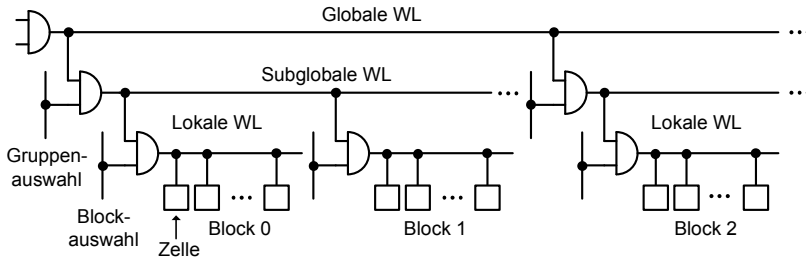


Bild 6.52 Dreifache Hierarchie der Wortleitungdekodierschaltungen [92].

Schaltungen vorgenommen. In der Literatur findet man auch Kombinationen von beiden Schaltungen.

Bei den dynamischen Schaltungen nach Bild 6.53 wird ein Taktsignal benötigt, mit dem Transistoren mit größeren Transistorweiten geschaltet werden. Somit erreicht man schnelle Schaltvorgänge. Nachteilig ist, dass das Taktsignal, das mit großen Kapazitäten belastet ist, über einen ganzen Block verteilt werden muss. Die Schaltung enthält noch einen dritten PMOS-Transistor. Zum einen unterstützt dieser Transistor den Ausgleichsvorgang. Zum anderen sorgt dieser Transistor dafür, dass zu Beginn des nachfolgenden Lesevorgangs die beiden Bitleitungen das selbe Potential aufweisen.

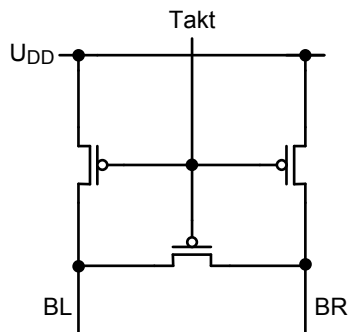


Bild 6.53 Schaltung zur dynamischen Vorladung der Bitleitungen.

In Bild 6.54 wird die entsprechende statische Schaltung dargestellt. Der Vorteil dieser Schaltung ist, dass kein Taktsignal benötigt wird. Nachteilig wirkt sich aus, dass die PMOS-Transistoren, wie es allgemein in Pseudo-NMOS-Schaltungen der Fall ist, gegen die Entladung einer der beiden Bitleitungen bei einem Lesevorgang arbeiten. Daher müssen die p-Kanal-Transistoren sorgfältig dimensioniert werden.

Bei einem Lesevorgang wird das Differenzsignal zwischen den beiden Bitleitungen BL und BR meistens mittels Differenzstufen mit Stromspiegelschaltung als aktiver Last (siehe Kapitel 4.6.2, Bild 4.45) verstärkt. Mit dem Signal U_{SE} wird die Differenzstufe aktiviert. Wird ein differentielles Ausgangssignal gewünscht, setzt

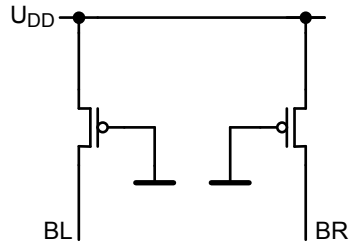


Bild 6.54 Statische Schaltung zur Vorladung der Bitleitungen.

man, die in Bild 6.55 dargestellte Schaltung ein, die aus zwei parallel geschalteten Differenzstufen mit Stromspiegelschaltung besteht. Der Vorteil dieser Schaltung ist, dass die Bitleitungen während des Bewertungsvorgangs ihre jeweiligen Potentiale beibehalten. Ein nachfolgender Vorladevorgang verläuft schneller und verbraucht weniger Verlustleistung. Als Alternative bieten sich Schaltungen entsprechend der Bilder 4.65a oder 4.65b an. Diese Schaltungen ziehen die Bitleitungen während des Bewertungsvorgangs entweder auf U_{DD} oder auf Masse.

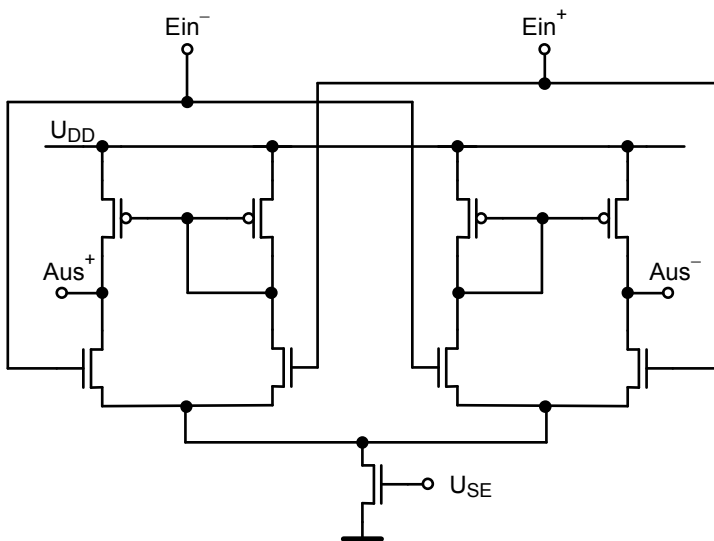


Bild 6.55 Verstärker mit Stromspiegelschaltungen und differentiellen Ausgang.

Bild 6.56 zeigt einen stark vereinfachten Datenpfad für Lesen und für Schreiben eines SRAM-Zellblocks. Der Datenpfad für das Lesen enthält die bereits behandelten Teilschaltungen, wie p-Kanal-Transistoren zum Vorladen der Bitleitungen, Ausgleichsschaltung zwischen den Bitleitungen, Multiplexer und Differenzstufe mit Stromspiegelschaltung. Mittels einer Tristate-Treiberstufe (siehe Kapitel 4.5.2,

Bild 4.30c) werden die Daten auf eine Bus gegeben. Um Verlustleistung zu sparen, werden die Differenzstufe und die Tristate-Schaltung vom Lesesignal aktiviert.

Bei einem Schreibvorgang wird die Information vom Datenbus über zusätzliche Treiberschaltungen auf die ausgewählten Bitleitungen gegeben. Der Tristate-Treiber ist in den hochohmigen Zustand geschaltet und die Differenzstufe ist abgeschaltet.

Aufgrund der in Kapitel 4 beschriebenen Grundsaltungen kann sich der Leser die Schaltungskette von den Eingängen bis zur Auswahl der angesprochenen Wortleitung vorstellen. Zunächst werden die Adressbits in statische Register gespeichert. Im nächsten Schritt wird die Adresse dekodiert (siehe Kapitel 6.2) und ein Wortleitungstreiber angesprochen. Der Aufbau der Wortleitungstreiber wurde bereits in Kapitel 4.5.1 angesprochen.

6.5 Dynamische Schreib-Lese-Speicher (DRAM)

Die statische Speicherzelle mit aktiver Last enthält sechs Transistoren und die einzelnen Zellen eines Blocks sind über fünf Leitungen miteinander verbunden. Mit der dynamischen Schaltungstechnik können Speicherzellen mit einer kleineren Anzahl von Schaltungselementen und Verbindungsleitungen entworfen werden. Das heißt die Fläche von DRAMs ist bedeutend kleiner. Die Verlustleistung von SRAM-Zellen wird von Leckströmen dominiert. Deswegen weisen eingebettete DRAMs im Vergleich zu SRAMs eine um den Faktor zwei bis zehn geringere Verlustleistung auf. DRAMs haben im Vergleich zu SRAMs im Allgemeinen eine größere Zugriffszeit, sind aber im Vergleich zu Flash-Speicher wesentlich schneller.

In dynamischen Speicherzellen wird die binär codierte Information als Ladung auf einem Kondensator gespeichert. Unterschwellen- und Sperrströme bewirken, dass die gespeicherte Ladung wieder abfließt. Daher wird in dynamischen Standard-Speichern die Ladung nach einem JEDEC-Standard alle 64 ms periodisch regeneriert („refresh“). JEDEC (Joint Electron Devices Engineering Council) ist eine weltweite Organisation, die Standards für die Mikroelektronikindustrie erarbeitet.

Trotz der für den „refresh“ notwendigen Schaltungen sind die Kosten für komplexe DRAMs niedriger als für entsprechende SRAMs. Etwa die Hälfte der Chipfläche wird für die Zellenfelder genutzt. Der Rest wird für periphere Schaltungen eingesetzt. Obwohl die Bezeichnung dynamischer Speicher auch die Speicher mit Drei-Transistor-Zellen umfasst, versteht man im alltäglichen Sprachgebrauch unter DRAM nur Speicher mit Ein-Transistor-Ein-Kondensator-Zellen (1T1C-Zelle). Vermutlich arbeiten in Europa weniger als ein hundert Designer an DRAMs.

Daher werden in diesem Kapitel nur die wichtigsten Grundlagen der DRAMs, die relativ einfach sind, behandelt. Dem Leser sollte jedoch bewusst sein, dass die Umsetzung der Grundlagen in reale Schaltungen, die sich am Markt bewähren, sehr komplex und schwierig ist. Insbesondere ist die Technologie von DRAM-Standardbausteinen ungemein kompliziert.

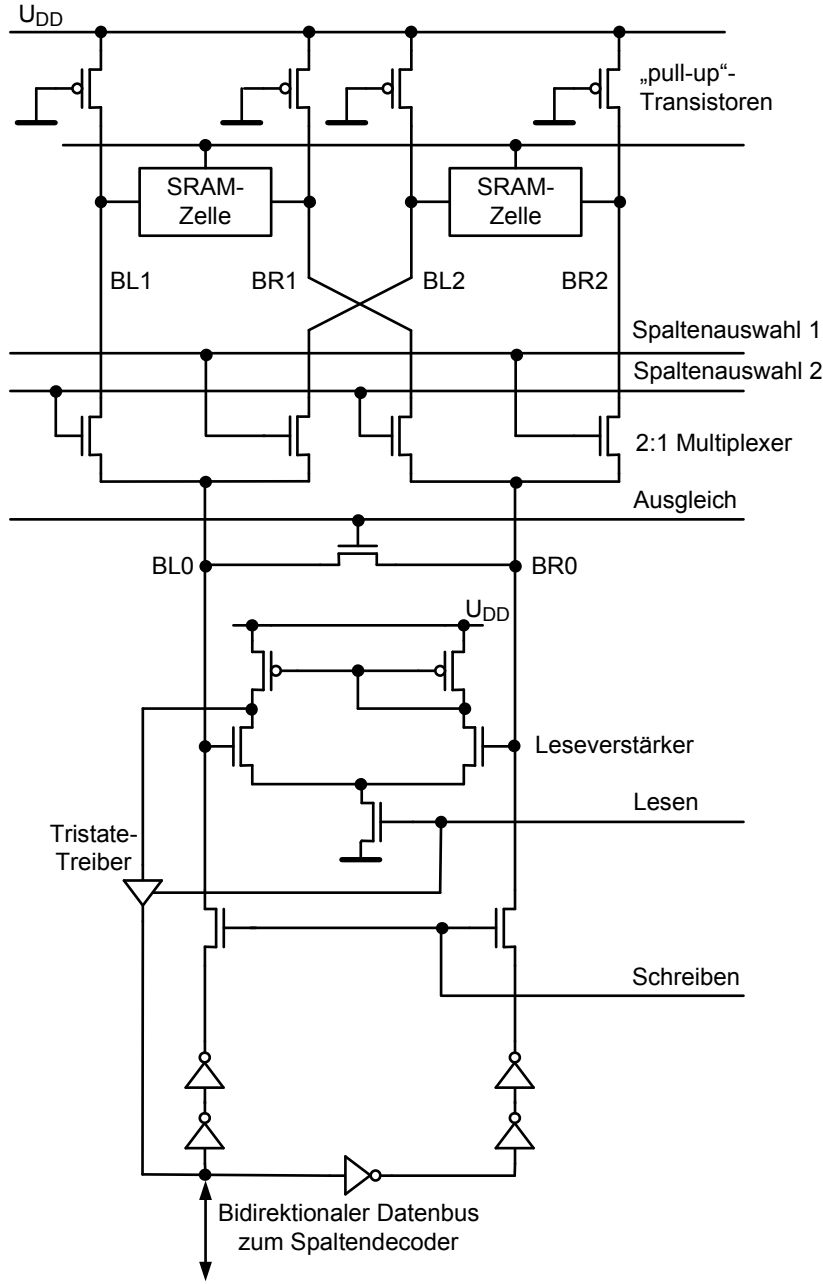


Bild 6.56 Typischer Datenpfad für einen SRAM-Zellblock.

6.5.1 Planare Ein-Transistor-Ein-Kondensator-Zelle

Die Ein-Transistor-Ein-Kondensator-Zelle besteht, wegen der höheren Beweglichkeit der Elektronen, aus einem n-Kanal-Transfertransistor und einem Kondensator C_1 , der ein eigenes und kein parasitäres Schaltelement ist (Bild 6.57). Der Transfertransistor, der von der Wortleitung WL gesteuert wird, verbindet den Kondensator mit der Bitleitung BL . Bei aktivierter Wortleitung wird über diese Verbindung der Les- oder der Schreibvorgang durchgeführt. Zwei Zellen teilen sich eine Bitleitung, daher wird die Fläche für den Bitleitungskontakt pro Zelle halbiert. Entsprechend der zu speichernden Information legt man U_{DD} oder $0V$ an eine der Platten des Kondensators C_1 . U_{DD} ist die Versorgungsspannung des Zellenfeldes. Die Gegenplatte wird auf konstanten Potential von $U_{DD}/2$ gehalten. Damit erreicht man, dass über die Isolierschicht des Kondensators nur die Spannung $U_{DD}/2$ abfällt. Die lange Periodendauer von 64ms des Refresh-Vorgangs bedingt, dass der Transfertransistor nur sehr kleine Unterschwellenströme haben darf. Eine Daumenregel besagt, dass unabhängig von der Technologiegeneration die durchschnittliche Summe der Leckströme kleiner als 1 fA sein sollte [140]. Dies ist um sechs Größenordnungen kleiner als der Leckstrom eines HP-Transistors. Im aller einfachsten Fall wird dies mit einer negativen Substratvorspannung U_{Sub} von etwa $-1V$ erreicht. Die Einsatzspannung beträgt dann etwa 1 V.

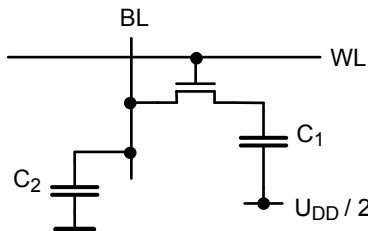


Bild 6.57 Schaltbild einer Ein-Transistor-Ein-Kondensator-Zelle.

Bevor die Funktion der Ein-Transistor-Ein-Kondensator-Zelle näher erläutert wird, soll der technologische Aufbau einer planaren DRAM-Zelle beschrieben werden, die in einem Zellenfeld mit gefalteter Bitleitung eingesetzt werden soll (Zellenfeld mit gefalteter Bitleitung siehe Bild 6.60). Die planare Zelle, die vergleichsweise einfach gestaltet ist, wurde bis zur 1 MBit Generation der DRAM-Standardbausteine eingesetzt. Das Bild 6.58 zeigt den Querschnitt einer konventionellen 1T1C-Zelle [124, 104]. Da der Transfertransistor und der Kondensator in einer Ebene nebeneinander liegen, spricht man von einer planaren Zelle. Die Zelle benötigt zwei Verdrahtungsebenen aus Polysilizium 1 und 2 und eine Metallisierungslage. Der Transfertransistor stellt eine leitende Verbindung zwischen den beiden n^+ -Diffusionsgebieten her. Der Kondensator besteht aus einer in Polysilizium 1 ausgeführten Platte, die an konstanten Potential $U_{DD}/2$ liegt, und einer dünnen Oxidschicht. Bei „Mid-Level-Sensing“ wird die Gegenelektrode durch eine n-Implantation im

Substrat gebildet. Mittels einer zusätzlichen p^+ -Implantation (High-C-Implantation) wird erreicht, dass die Sperrsichtkapazität des n - p^+ -Übergangs und damit die Zellkapazität C_1 vergrößert wird. In einem Zellblock sind die oberen Kondensatorplatten miteinander verbunden. Die Wortleitungen werden abwechselnd über die Kondensatoren oder über die aktiven Bereiche geführt.

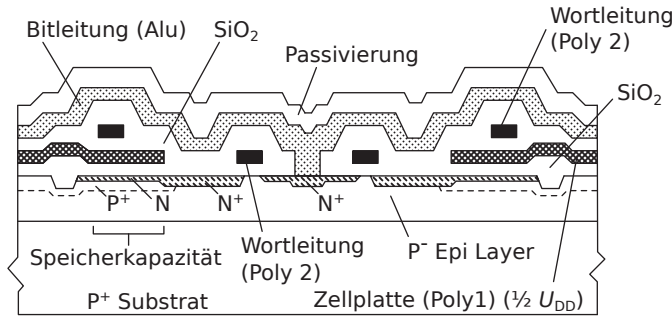


Bild 6.58 Querschnitt durch eine planare Ein-Transistor-Ein-Kondensator-Zelle für ein Zellenfeld mit gefalteter Bitleitung.

Bei einem Schreibvorgang wird die Bitleitung auf ein hohes oder niedriges Potential gebracht. Mit der Aktivierung der Wortleitung wird der Kondensator C_1 entsprechend geladen. Damit eine logische Eins ohne Verluste in die Zelle eingeschrieben werden kann, weist die aktivierte Wortleitung ein Potential von mindestens $U_{DD} + U_{Tn}$ auf (siehe Bootstrap-Effekt, Kapitel 4.7.4). Das Potential der aktivierten Wortleitung beträgt 3 V.

Für einen Lesevorgang wird zunächst die Bitleitung in einer Vorladephase auf $U_{DD}/2$ (Mid-Level-Sensing) vorgeladen und dann die Wortleitung aktiviert (siehe Bild 6.59). Aufgrund der unterschiedlichen Potentiale kommt es zu einem Ladungsausgleich zwischen der Zellkapazität C_1 und der Bitleitungskapazität C_2 . Zu beachten ist, dass jeder Lesezugriff die gespeicherte Information zerstört. Aufgrund der Ladungserhaltung lässt sich die Spannungsänderung U_{sense} auf der Bitleitung nach dem Lesezugriff berechnen

$$U_{sense} = \pm \frac{U_{DD}}{2} \cdot \frac{1}{1 + C_2/C_1} \quad (6.38)$$

U_{DD} Versorgungsspannung des Zellenfeldes.

Das Verhältnis von Bitleitungskapazität C_2 zur Speicherkapazität C_1 legt bei gegebener Versorgungsspannung U_{DD} des Zellenfeldes die Größe der Spannungsänderung auf der Bitleitung fest. Die Bitleitungskapazität ergibt sich aus der Anzahl der Speicherzellen (etwa 256), die mit der Bitleitung verbunden sind. Um den Bedarf an peripheren Schaltungen zu minimieren, ist man versucht, möglichst große Zellenblöcke zu entwerfen. Dies aber bedeutet eine große Anzahl von Speicherzellen pro Bitleitung und damit kleine Lesesignale U_{sense} .

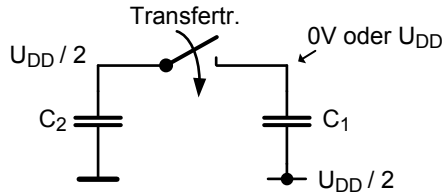


Bild 6.59 Ladungsausgleich bei einem Lesevorgang.

Das Lesesignal muss größer sein als die Summe aller Störungen, die den Lesevorgang beeinflussen. Als Störung wirkt sich zum Beispiel die Offset-Spannung U_{off} des nachfolgenden Sense Amplifier aus. Herstellungsbedingte Abweichungen der Einsatzspannungen von benachbarten Transistoren in den Bewerterschaltungen bewirken die „Offset-Spannung“. Weitere Störungen verursachen kapazitiv eingekoppelte Signale von anderen Leitungen, sowie Alterungsprozesse und Schwankungen der Versorgungsspannung. Weiter sind „soft errors“ zu berücksichtigen, das sind vorübergehende Fehler, die in Kapitel 6.5.3 behandelt werden. Subtrahiert man alle Störsignale von U_{Sense} , sollte das verbleibende Lesesignal, damit die Bewerterschaltung schnell genug fällt, mindestens etwa 50 mV betragen.

Aus Gleichung 6.38 folgt eine Abschätzung für die Rückhaltezeit t_{Ref} . Es ergibt sich für $U_{\text{Sense}} > U_{\text{off}}$

$$U_{\text{DD}}/2 - (1 + C_2/C_1) \cdot U_{\text{off}} > 0 \quad (6.39)$$

U_{off} Offset-Spannung der nachfolgenden Bewerterschaltung.

Am Ende eines Schreibvorgangs ist die Ladung $C_1 \cdot U_{\text{DD}}/2$ auf dem Zellkondensator gespeichert. Vernachlässigt man für einen Moment alle Störmechanismen außer der Offset-Spannung, errechnet sich eine Überschussladung, die allmählich von den Leckströmen aufgezehrt wird

$$t_{\text{Ref}} \propto \frac{C_1}{\sum I_{\text{Leck}}} \cdot (U_{\text{DD}}/2 - (1 + C_2/C_1) \cdot U_{\text{off}}) \quad (6.40)$$

Der gesamte Leckstrom setzt sich aus den Leckströmen der pn-Übergänge, den GIDL bedingten Strom, den Unterschwellenstrom des Transfertransistors (DIBL), dem Leckstrom des Feld-Oxid-Transistors und dem Leckstrom des Zellkondensators zusammen. Eine große Bitleitungskapazität vermindert die Rückhaltezeit.

Eine mögliche Strategie ist die durch die Strukturverkleinerung erzielte Verringerung von C_2 für längere Bitleitungen zu nutzen. Daher ist es verständlich, dass für viele Technologiegenerationen gegolten hat: $C_2 \approx 80$ fF. Bei genauerer Betrachtung muss zur Bitleitungskapazität auch die Eingangskapazität von etwa 15 fF bis 20 fF der Bewerterschaltung addiert werden. Hieraus folgt, dass man bestrebt war auch der Zellkapazität unabhängig von der Technologiegeneration einen konstanten Wert zu geben. Im letzten Jahrzehnt strebte man Werte um 25 fF an. Das bedeutet: $C_2/C_1 \approx 4$. Wünschenswert wäre, wenn es gelänge die Versorgungsspannung und

den Einfluss der Störsignale gleichermaßen zu reduzieren. Gelingt dies nicht, sollte die Versorgungsspannung möglichst konstant gehalten werden.

Im nächsten Schritt muss nun die Spannungsänderung U_{Sense} ausgewertet werden. Hierzu wird die in Kapitel 4.7.5.2 beschriebene Bewerterschaltung (Sense Amplifier) eingesetzt. Allerdings wird wegen des Differenzprinzips ein Referenzsignal benötigt, das mittels einer weiteren Bitleitung bereit gestellt wird. Es gibt zwei Konzepte wie dies realisiert wird, nämlich Zellenfelder mit gefalteter oder offener Bitleitung.

Über zwei Jahrzehnte seit der Einführung des 64kbit Generation wurde wegen der besseren Störsignalunterdrückung das Konzept des Zellenfeldes mit gefalteter Bitleitung eingesetzt. Bild 6.60 zeigt schematisch den Datenpfad eines DRAM-Zellenfeldes mit gefalteter Bitleitung. Jeweils zwei benachbarte Bitleitungen in einem Zellenfeld führen zu einer Bewerterschaltung. Wird die Wortleitung WL_i aktiviert, erhält man auf der Bitleitungen BL die Lesesignale. Dagegen verharren die Bitleitungen $\overline{BL}$ auf dem in der Vorladephase eingestellten Potential ($U_{\text{DD}}/2$). Die Bewerterschaltungen verstärken die Differenzsignale zwischen den Bitleitungen. Die verstärkten Lesesignale werden in Abhängigkeit von den Steuersignalen des BL -Dekoders zu weiteren Bewertungsschaltungen geleitet. Es können je nach der Organisation des Zellenfeldes ein Bit, ein Teil der Bits oder alle Bits, die von der Wortleitung angesprochen worden sind, zu den Ausgängen durchgeschaltet werden.

Einen genaueren Einblick in die Vorgänge erlauben die Bilder 6.61 und 6.62. In der Vorladephase werden mit dem Signal EQ die beiden Bitleitungen BL und $\overline{BL}$ und die Fußpunkte der beiden Bewerterschaltungen auf das Potential $U_{\text{DD}}/2$ gebracht. Der Lesevorgang beginnt mit der Aktivierung der Wortleitung WL . Ist in der Speicherzelle eine logische Eins gespeichert, erhöht sich die Spannung der Bitleitung BL um das Lesesignal U_{sense} . Die Zeitdauer des Lesevorgangs wird von den resistiven und den kapazitiven Belägen, einschließlich den Belägen, die von dem Transfertransistor verursacht werden, längs des gesamten Signalpfads bestimmt.

Nachdem sich am Eingang des Leseverstärkers ein ausreichendes Lesesignal gebildet hat, wird zunächst der n-Kanal-Bewerter mit der ansteigenden Flanke des Signals Φ_S aktiviert. Das Latch aus n-Kanal-Transistoren bewirkt, dass die Bitleitung mit dem kleinerem Potential, in diesem Fall $\overline{BL}$, auf 0 V gezogen wird, während das Potential der anderen Bitleitung nahezu unverändert bleibt. Man kann den Entladevorgang beschleunigen, in dem man nach einer zeitlichen Verzögerung einen stärkeren Fußpunkttransistor einschaltet. Mit einer weiteren zeitlichen Verzögerung wird die p-Kanal-Bewerterschaltung aktiviert, die das Potential der Bitleitung BL nach U_{DD} zieht. Es ist auch möglich, wie es in Kapitel 4.7.5.2 beschrieben wurde, beide Bewerterschaltungen gleichzeitig zu aktivieren. Da die Wortleitung während des gesamten Lesevorgangs aktiviert ist, wird die Zellkapazität wieder auf U_{DD} , dies entspricht einer logischen Eins, geladen. Erst nachdem die Information zurückgeschrieben ist, kann die Wortleitung deaktiviert und der Lesevorgang beendet werden. In einem SRAM muss die ausgelesene Information nicht zurückgeschrieben werden. Daher weisen SRAMs im Allgemeinen im Vergleich zu DRAMs eine kürzere Zykluszeit auf.

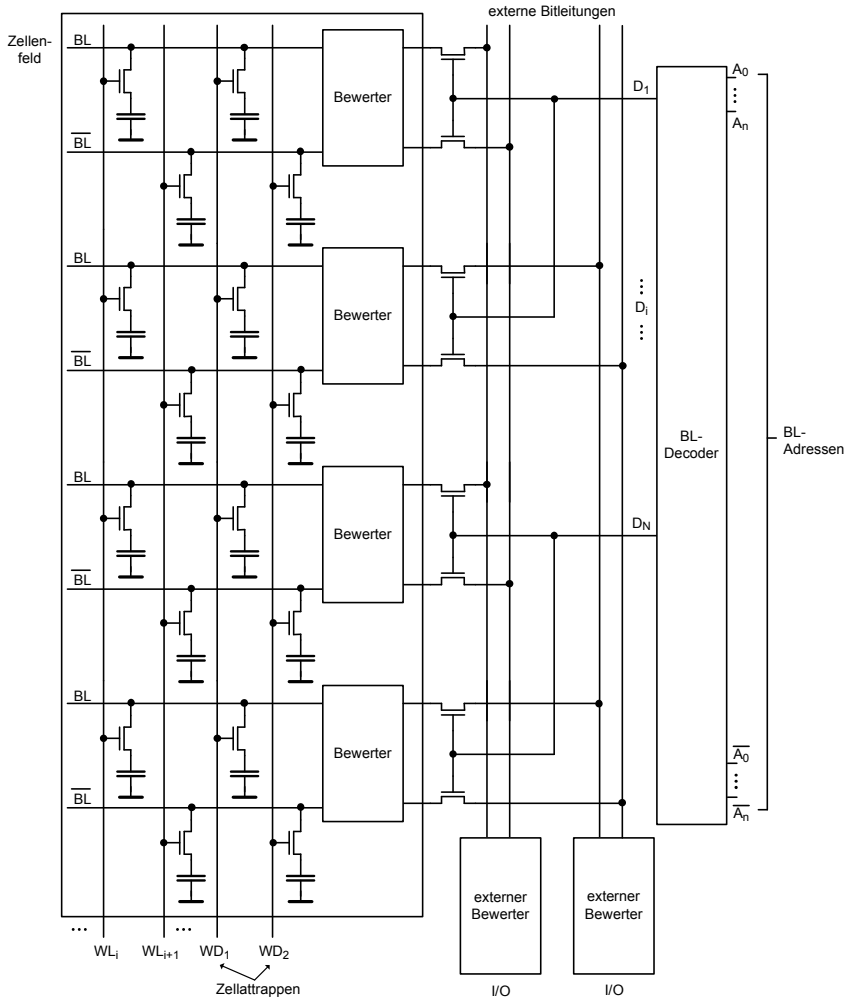


Bild 6.60 DRAM-Datenpfade mit gefalteter Bitleitung und Zellattrappen (Dummy Cells) [224].

Bei genauerer Betrachtung des Zellenfeldes mit gefalteter Bitleitung nach Bild 6.60 erkennt man einen gravierenden Nachteil. Jede Wortleitung ist nur mit jeder zweiten Bitleitung über Transfertransistoren verbunden. Dies verursacht zum einen relativ große Zellflächen, was in einem späteren Abschnitt behandelt wird. Zum anderen entstehen so unterschiedliche kapazitive Kopplungen von der Wortleitung zu benachbarten Bitleitungen (siehe Bild 6.58). Eine Signaländerung auf der Wortleitung bewirkt daher unterschiedliche Störsignale auf den benachbarten Bitleitungen, die von der Bewerterhaltung nicht kompensiert werden können. Als Abhilfe werden Zellattrappen (Dummy Cells) eingesetzt (siehe Bild 6.60). „Dummy Cells“ sind normale Speicherzellen. Sie haben aber nicht die Aufgabe Information zu spei-

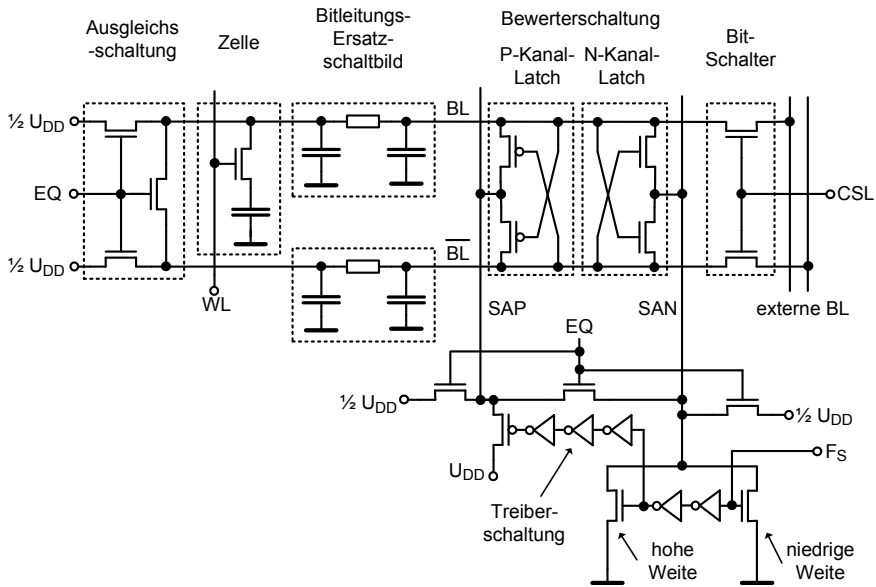


Bild 6.61 Detailliertes Schaltbild eines DRAM-Datenpfades [224].

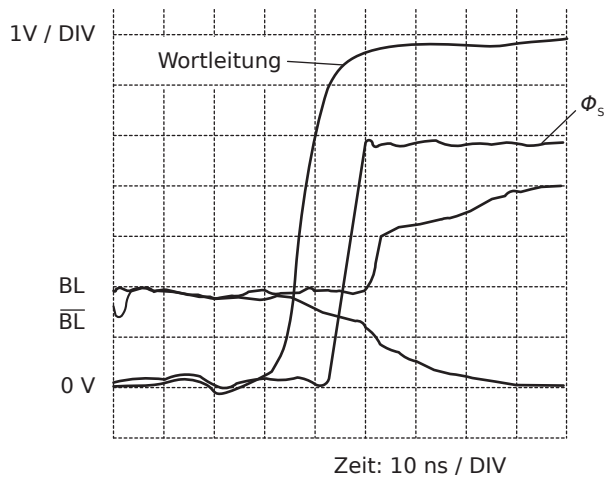


Bild 6.62 Gemessene Potentialverläufe von Wortleitung, Bewerberfußpunkt und Bitleitungen [224].

chern, sondern dienen zur Verbesserung der Störsignalunterdrückung. In der Vorladephase, in der die Bitleitungen auf $U_{DD}/2$ geladen werden, aktiviert man auch die „dummy“-Wortleitungen, so dass in die Zellatrapen die Spannung $U_{DD}/2$ eingeschrieben wird. In der Lesephase wird neben der eigentlichen Wortleitung auch die entsprechende „dummy“-Wortleitung WD_i auf hohes Potential geschaltet. Damit das Differenzprinzip wirksam sein kann, soll das Lesesignal und Referenzsignal durch möglichst ähnliche Schaltungen erzeugt werden.

Die schematische Darstellung eines Zellenfeldes mit gefalteter Bitleitung (Bild 6.60) enthält eine Ungenauigkeit. Eine Bewerterschaltung (SA) umfasst n- und p-Kanal-Transistoren, die in unterschiedlichen Wannen liegen und deren Weiten wegen den Herstellungstoleranzen nicht minimal ausgelegt werden können. Deswegen passen die Sense Amplifier nicht in das zweifache Raster ($2\text{Pitch} = 4F$, F Feature Size) der Bitleitungen. Bild 6.63 zeigt eine Lösung des Problems. Man legt mehrere Zellenfelder an. Zwischen den Zellenfeldern befinden sich gegeneinander versetzt die Bewerterschaltungen. In Richtung der Bitleitungen steht nun für die Bewerterschaltungen ein Raster von $8F$ zur Verfügung. Übernimmt man die Multiplexerschaltung von Bild 6.55 verdoppelt sich nochmals das Raster zu $16F$.

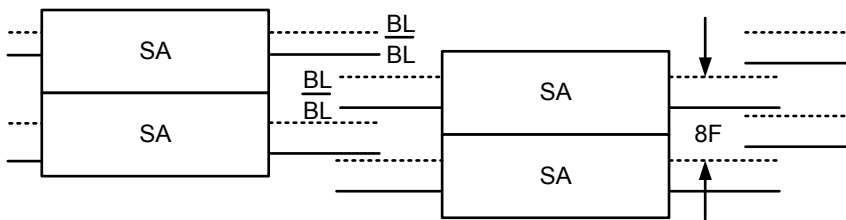


Bild 6.63 Bewerterschaltungen in Zellenfelder mit gefalteter Bitleitung.

6.5.2 Neue Konzepte für die Zelle und das Zellenfeld

Die planare Zelle und das Zellenfeld mit gefalteter Bitleitung wurden um das Jahr 1986 eingesetzt. Seitdem wurden viele DRAM-Generationen realisiert um die Kosten etwa um 25% bis 33% pro Jahr und pro zu speichernden Bit zu senken. Das heißt die Zellfläche sollte pro Technologiegeneration mit S^2 (Skalierungsfaktor, siehe Kapitel 2.1.4) verringert werden. Andererseits sollte der Kapazitätswert des Zellkondensators nicht mit S kleiner werden, wie es die Skalierungsregeln fordern, sondern möglichst konstant bleiben. Die führt zu einem Widerspruch. Damit die Geschwindigkeitslücke zwischen Prozesseinheit und Speicherbank nicht zu groß wird, muss der Zugriff auf die gespeicherten Daten beschleunigt werden. Eine weitere Forderung ist, dass trotz der Strukturverkleinerung die große Rückhaltezeit eingehalten werden soll.

Alle diese Forderungen machten es notwendig, dass im Laufe der Jahre neue Konzepte für die Realisierung des Transfertransistors, der Wortleitung und des Zellkondensators sowie für die Organisation des Zellenfeldes erarbeitet wurden. Auch wenn nun die verschiedenen Konzepte sequentiell dargestellt werden, sollte sich der Leser bewusst sein, dass nur das nahtlose Zusammenspiel der verschiedenen Konzepte einen guten Speicher ermöglicht.

Bisher wurde von einem Zellenfeld mit gefalteter Bitleitung ausgegangen. Wie es schon erwähnt wurde, liegt der große Vorteil dieses Konzepts aufgrund des Differenzprinzips in der Unterdrückung von Gleichtaktsignalen in der Bewerterschaltung. Nachteilig ist, dass mit diesem Konzept – auch wenn moderne Zellkonzepte wie Trench- oder Stack-Zelle (siehe Bilder 6.65 und 6.66) verwendet werden – nur Zellflächen mit mindestens $8 \cdot F^2$ realisiert werden können (F Feature Size). Zum Vergleich, mit NAND-Flash-Zellen sind Zellflächen mit $4 \cdot F^2$ möglich.

Deswegen wurde das Konzept des Zellenfeldes mit offener Bitleitung, das bereits in den 4kbit- bis 16kbit-Generationen eingesetzt wurde, wiederbelebt (siehe Bild 6.64). So wurde eine minimale Zellfläche von $6 \cdot F^2$ möglich.

Wieder werden mehrere Zellenfelder angelegt. Aber nun liegt die Referenzleitung nicht im gleichen, sondern im benachbarten Zellenfeld. Deswegen ist nun die Unterdrückung der Störsignale von überragender Bedeutung. Auch wenn die Bewerterschaltungen versetzt angeordnet werden, stehen für die Bewerterschaltungen nur ein Raster von $4F$ zur Verfügung. Es ergibt sich ein weiterer Nachteil. Die Bitleitungen in den Zellenfeldern am linken und rechten Rand können nur zur Hälfte genutzt werden. Da sich ein Flächengewinn direkt in reduzierte Kosten niederschlägt, wurde dieses Konzept ab der 4 Gb-Generation verwendet.

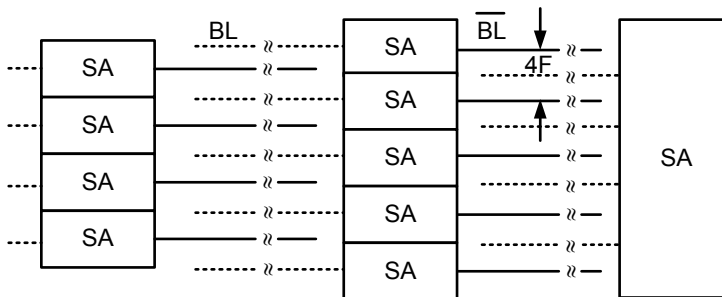


Bild 6.64 Schema von Zellenfeldern mit offener Bitleitung.

Neben einer anderen Organisation des Zellenfeldes wurde jenseits der 1 Mb-Generation klar, dass auch ein neues Konzept für den Zellkondensator nötig war, da die zur Verfügung stehende Fläche proportional zu F^2 ist. In [134] wird ein Beispiel für das zu lösende Problem gegeben. Für ein 4 Mb-DRAM mit einer Chipfläche von 75 mm^2 darf die Fläche einer Speicherzelle maximal $10 \mu\text{m}^2$ betragen. Für eine Versorgungsspannung von $3,3 \text{ V}$ sollte die Speicherkapazität 65 fF aufweisen. Für eine Oxiddicke von 10 nm folgt für die Fläche eines planaren Speicherkondensators

$C_1 20 \mu\text{m}^2$. Dies ist doppelt so groß wie die zur Verfügung stehende Zellfläche! Das Problem wurde ab der 4 Mb-Generation gelöst, in dem man für den Zellkondensator die dritte Dimension nutzte.

Einige Firmen, wie Toshiba oder Siemens AG, später Infineon AG (Qimonda AG), verfolgten das Konzept der „Trench“-Zelle. Für die Trench-Zelle wird zuerst ein Graben in das Siliziumsubstrat geätzt, der im nächsten Prozessschritt mit dem Isoliermaterial ausgekleidet wird. Schließlich wird der Graben mit einem Pfropfen aus dotiertem Polysilizium aufgefüllt (siehe Bild 6.65). Mittels eines Bügels aus Polysilizium werden das Drain des Transfertransistors und der Pfropfen verbunden. Die Speicherkapazität der „Trench“-Zelle kann mittels tieferer Gräben erhöht werden. Vorteilhaft ist, dass nur die Herstellung der „Trench“-Zelle, eine Abweichung vom üblichen Logikprozess bedingt. Die anderen Bauelemente, wie zum Beispiel der Transfertransistor, können nach der Erstellung des Grabenkondensators mit einem Logikprozess realisiert werden. Der Zellkondensator wird vor dem Transistor hergestellt. Daher werden eingebettete DRAMs vorrangig mit der „Trench“-Zelle hergestellt. Allerdings bedingt dieses Konzept, dass der Zellkondensator während der Herstellung des Transfertransistors einer Temperaturbelastung von etwa 1000°C ausgesetzt ist.

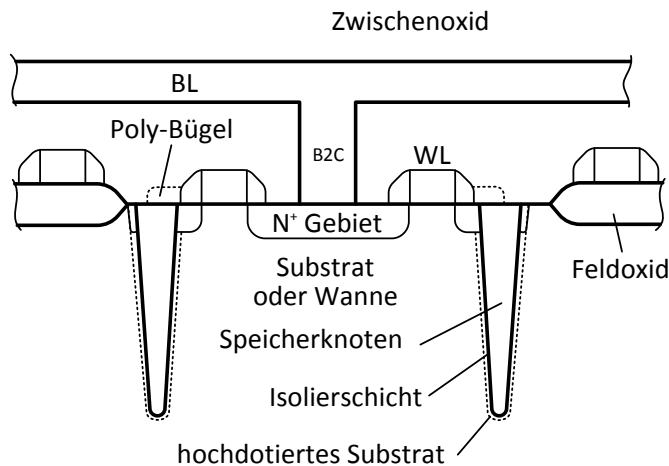


Bild 6.65 Schematischer Querschnitt durch eine „Trench“-Zelle.

Andere Firmen verfolgten von Anfang an das Konzept des gestapelten Zellkondensators (Stack-Zelle) für DRAM-Standardbausteine. Bei diesem Konzept wird die Zellkapazität über den Transfertransistor gestapelt. Eine von vielen Realisierungsmöglichkeiten zeigt Bild 6.66. Der Zellkondensator liegt wie ein Pilz unterhalb der Bitleitung über dem Transfertransistor. Ähnlich wie bei der Grabenzelle erzielt man eine höhere Speicherkapazität, wenn man die Höhe maximiert. Das bedeutet aber, dass auch die Höhe des Kontakts von der Bitleitung zum Transfertransistor wächst. Deswegen ist man bei der 256 Mb-Generation zum Konzept des Kondensators über

der Bitleitung (COB, Capacitor Over Bitline) übergegangen (siehe Bild 6.67). Der Kondensator hatte zunächst die Struktur eines Zylinders und später diejenige eines Bechers (Krone). Die Gegenplatte befand sich zunächst nur außerhalb des Zylinders und später auch innerhalb des Bechers. Der Zellkondensator wird nach der Strukturierung des Transfertransistors verwirklicht. Die nachfolgende Temperaturbelastung beträgt nur 500 bis 600°C.

Die Höhe des Zellkondensators ist wegen mechanischer Stabilitätsprobleme begrenzt. Das Aspektverhältnis der „Stack“-Zelle, das heißt das Verhältnis von Höhe zum Durchmesser an der Basis, betrug in den Jahren 2007 bis 2009 etwa 21 bis 28. Zum Vergleich, das Aspektverhältnis eines sehr hohen Fernsehturm beträgt 10 (600m/60m). Das hohe Aspektverhältnis reichte aber nicht aus um die gewünschte Zellkapazität von 25 fF zu erzielen. Als Alternativen kann man die Dicke der Isolierschicht reduzieren oder Materialien mit höheren Dielektrizitätskonstanten einsetzen. Die Verringerung der Isolierschichtdicke muss sehr sorgfältig betrieben werden, da, wie Bild 2.49 zeigt, direktes Tunneln ermöglicht wird und so ein hoher Leckstrom fließt. Daher musste man, ähnlich wie bei den Logiktransistoren, neue Isoliermaterialien einsetzen.

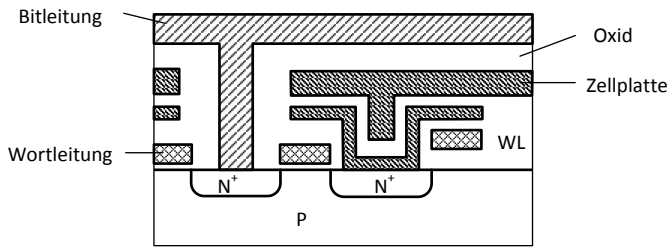


Bild 6.66 Schematischer Querschnitt durch eine „Stack“-Zelle mit Kondensator unter der Bitleitung (CUB).

Zunächst verwendete man Schichten aus SiO_2 und SiN_4 , dann Al_2O_3 , HfAlO , HfO_2 , ZrO_2 , Ta_2O_5 ($\epsilon_r = 25$), TiO_2 und schließlich BST (Ba_xSr_y) TiO_3 ($\epsilon_r > 200$). Die Vielzahl der ausprobierten Materialien hat auch etwas damit zu tun, dass Materialien mit höherem ϵ_r eine kleinere Barriere Φ_{ox} zwischen der Leitungsbandkante des Isolators und der Leitungsbandkante des Halbleiters beziehungsweise des verwendeten Metalls aufweisen. Nach Gleichung 2.114 gilt aber, dass aufgrund des Fowler-Nordheim-Tunnelmechanismus die Stromdichte des Tunnelstroms in einem Dielektrikum exponentiell mit kleineren Barrieren zunimmt. Das Optimum mit hohem ϵ_r und kleinen Leckströmen wird mit geeigneten Schichtfolgen erzielt. Die Schichten werden mittels ALD (Atomic Layer Deposition) aufgetragen. Mit BST erzielte man bei einem bestimmten Technologieknoten eine physikalische Schichtdicke von 17 bis 25 nm. Das entspricht einer äquivalenten Schichtdicke CET von 0,5 bis 0,3 nm. CET ist wie EOT definiert (siehe Gleichung 2.117).

Nun ist es so, dass BST-Schichten nur wenn sie auf Metall abgeschieden werden, ihre gute elektrische Eigenschaft zeigen. Daher musste der Zellkondensator,

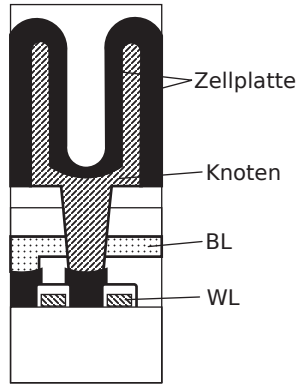


Bild 6.67 Schematischer Querschnitt durch eine „Stack“-Zelle mit Kondensator über der Bitleitung (COB).

der ursprünglich aus Platten mit hochdotierten Polysilizium bestand (SIS-Struktur), über MIS (Metal Insulator Semiconductor) für Ta_2O_5 hinzu MIM-Struktur (Metal Insulator Metal) weiterentwickelt werden. Titanitrid (TiN) und Rutenium (Ru) werden als Elektrodenmaterial diskutiert. Trotz aller Anstrengungen und trotz eines Aspektverhältnisses von etwa 50 im Jahr 2013 wird zu diesem Zeitpunkt das Ziel eine Zellkapazität von 25 fF zu verwirklichen nicht mehr realistisch sein.

Wegen der wesentlich höheren Temperaturbelastung der Grabenzelle musste man dort andere Materialien einsetzen. Man erreichte zum Zeitpunkt des oben erwähnten Technologieknotens mit HfSiON einen CET-Wert von 2,6 nm; mit HfSiO und einer MIM-Struktur einen Wert von 1,4 nm. Dies wurde mittels eines höheren Aspektverhältnisses ausgeglichen. Daraus ergab sich ein Neigungswinkel von 89° an der Grabenöffnung.

Im Vergleich zur Grabenzelle hat die Zelle mit gestapeltem Kondensator einen weiteren Vorteil. Der gestapelte Kondensator und seine Verbindung zum Transfertransistor blockieren weitgehend die gefürchteten kapazitiven Kopplungen von benachbarten Bitleitungen. Die Bitleitungskapazität setzt sich zu jeweils 47% aus der Koppelkapazität zwischen Bitleitung und Wortleitung sowie aus der Kapazität zwischen Bitleitung und Zellplatte zusammen. Die Kapazität zwischen Bitleitungen beträgt etwa 4%, während die Kapazität zwischen Bitleitung und Substrat 2% ausmacht. Aus diesen und wegen anderer Gründe setzte sich schließlich das Konzept der „Stack“-Zelle bei Standard-DRAM-Bausteinen beim Übergang von der $8F^2$ - zur $6F^2$ -Zelle durch.

Neben der Organisation des Zellenfeldes und der neuen Struktur des Zellkondensators bedingte die Verkleinerung der Zellfläche eine weitere Baustelle – nämlich den Transfertransistor. Dieser Transistor hat die kleinste Kanallänge (F) und die geringste Weite (F) von allen Transistoren in einem DRAM. Daher ist dieser Transistor besonders anfällig für Kurzkanaleffekte und „Narrow Width Effects“ (NWE, siehe Bild 2.58). Schon kleine Geometrieschwankungen bewirken große Variatio-

nen der Einsatzspannung. Daher benötigt man eine gutes Unterschwellenstromverhalten sowie eine gute Kontrolle der Geometrieschwankungen.

Weiter soll der Transistor einen extrem niedrigen Leckstrom aufweisen. Der Leckstrom wird hauptsächlich von dem Dotierungsprofil um den Kontakt zum Zellkondensator verursacht. Mit kleineren Strukturen steigt die Substratdotierung an. Was größere elektrische Feldstärken und daraus folgend stärkere Leckströme der pn-Übergänge bedingt. Bei planaren Transistoren unterhalb des 100 nm Technologieknotens steigt die maximal auftretende elektrische Feldstärke so abrupt an, dass die hohe Anforderung bezüglich des Leckstroms nicht mehr erfüllt werden konnte. In dem man intelligente unsymmetrische Kanal-, Source- und Drain-Dotierungen einsetzte, konnte man bis zum 90 nm Technologieknoten planare Transistoren weiter verwenden. Der einfachste Weg die Substratdotierung zu verringern, ist die effektive Kanallänge des Transfertransistors zu erhöhen. Daher wurden ab dem Jahr 2001 mit 80 nm Technologien neue dreidimensionale Strukturen eingeführt [120, 119].

Anstatt den Transistor planar auf dem Substrat zu strukturieren, wird bei „Stack“-Zellen an der Stelle, an der der Transfertransistor entstehen soll, eine U-förmige Einbuchtung in das Substrat geätzt. Je nach Technologiegeneration betrug die Tiefe 150 nm bis 200 nm. Dann wird SiO_2 aufgewachsen und schließlich die Einbuchtung mit dem Gate-Material geschlossen. Die neue Struktur wurde RCAT (Recess-Channel-Array-Transistor) genannt. Es gelang die Substratdotierung und somit auch die maximale elektrische Feldstärke wesentlich zu minimieren.

Vier Jahre später wurde eine verbesserte Struktur vorgeschlagen [118]. Wie beim RCAT wird zunächst an der Substratoberfläche ein schmaler Graben geätzt. Als neues Element schließt sich in die Tiefe daran eine dickere Röhre an. Wieder wird mit SiO_2 die Struktur ausgekleidet und mit dem Gate-Material aufgefüllt. Somit wird die effektive Kanallänge weiter erhöht. Insgesamt reicht die Struktur etwa 190 nm in die Tiefe. Dieser Transistortyp wurde S-RCAT (Sphere-shaped-Recess-Channel-Array-Transistor) genannt. Der obere Flaschenhals der neuen Struktur kann entsprechend den Skalierungsregeln verkleinert werden. Während die Größe der kreisförmige Struktur darunter von einer Technologiegeneration zur nächsten konstant gehalten werden kann.

Während mit RCAT wegen der großen Rückhaltezeit die Einsatzspannung bei 1,2 V konstant gehalten werden musste, kann nun die Einsatzspannung auf 0,9 V reduziert werden. Somit steht nun ein doppelt so großer Strom I_{on} von etwa $8 \mu\text{A}$ im Vergleich zu RCAT zum Lesen und Schreiben zur Verfügung. Die Herstellungstoleranzen der Einsatzspannung sind verringert. Mit S-RCAT konnten die Steigung der Stromkennlinie im Unterschwellenbereich und DIBL verbessert werden. Der Leckstrom wurde halbiert. Auch der Substratsteuereffekt wurde minimiert, was eine geringere Spannung der Wortleitung zur Aktivierung der Zelle zulässt. Nachteilig ist, dass wegen der kreisförmigen Struktur die Wortleitungskapazität zunimmt.

Mit den kleineren Strukturen stellt sich ein weiteres Problem ein, nämlich erhöhte Widerstandsbeläge. Sei es der Kanalwiderstand des Transfertransistors, oder der Widerstand des Kontaktlochs zum Zellkondensator, oder die Widerstände der Bitleitung und der Wortleitung, alle tragen zum Gesamtwiderstand bei. Trotzdem darf ein bestimmter Grenzwert nicht überschritten werden, weil sonst die spezifi-

zierte Zeit zum Beispiel für die Dauer des Schreibvorgangs von 12 ns nicht mehr eingehalten werden kann.

In [197] wird eine weitere wichtige Verbesserung für den Transfertransistor erläutert. Mit RCAT und S-RCAT bog man den Transfertransistor etwas in die Tiefe des Substrats. Wieso verlegt man nicht den ganzen Transfertransistor einschließlich der Wortleitung tief in das Substrat? Der große Vorteil dieser Struktur mit einem vergrabenen Transistor liegt darin, dass die Koppelkapazität zwischen Bitleitung und Wortleitung wesentlich vermindert wird. Die Bitleitungskapazität wird in etwa halbiert. Dies kann für eine kleinere Speicherfläche, zur Minimierung der Verlustleistung, oder für geringere Störsignale und größeres U_{sense} und für eine längere Rückhaltezeit genutzt werden.

Wird eine Wortleitung aktiviert, werden alle angeschlossenen Zellen angesprochen und deren Bitleitungen von $U_{\text{DD}}/2$ nach 0 V beziehungsweise U_{DD} entladen oder aufgeladen. In Abhängigkeit von den Zellinformationen wirken Störpotentiale mehr oder weniger stark auf das Potential der Zellplatte ein. Die Schwankung des Potentials der Zellplatte koppelt dann auf die ausgewählte Bitleitung. Dies ist einer der dominierenden Störmechanismen bei der „Stack“-Zelle mit vergrabenen Transfertransistor. Soll die Strukturverkleinerung weiter getrieben werden, wird man wie bei Logikschaltungen vergrabene FinFETs einsetzen müssen.

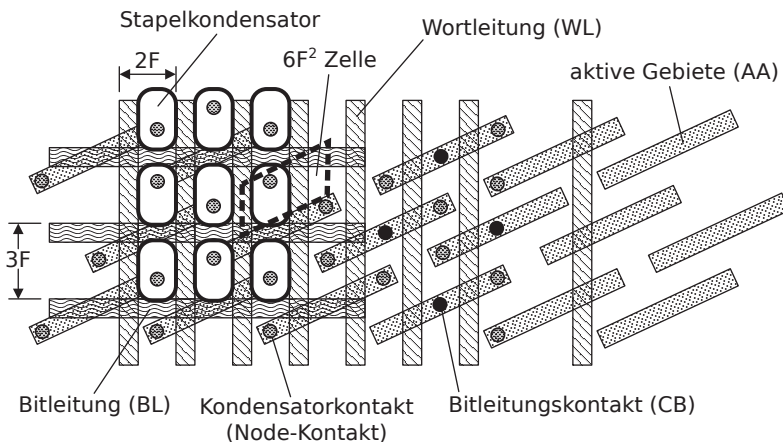


Bild 6.68 Layout einer $6F^2$ -Zelle mit gestapeltem Zellkondensator von Hitachi/Elpida [202].

Gegenwärtig wird daran gearbeitet, vertikale Transfertransistoren zu ermöglichen. Das heißt nicht nur der Zellkondensator ist vertikal ausgerichtet, sondern auch für den Transfertransistor wird die dritte Dimension genutzt. Mit einer derartigen Struktur könnte eine $4 \cdot F^2$ -DRAM-Zelle verwirklicht werden.

Bild 6.68 zeigt das schematische Layout einer Zelle mit gestapeltem Zellkondensator für ein Zellenfeld mit offener Bitleitung [202]. Die Fläche beträgt $6F^2$, das Raster der Wortleitung ist $2F$, während das Raster der Bitleitung $3F$ misst.

Somit ist die Kopplung zwischen den Bitleitungen vermindert. Die Zellplatte der Zellkondensatoren dehnt sich über das gesamte Zellenfeld aus. Wegen der besseren Unterdrückung von Störsignalen liegen die Zellen eines Feldes in einer p-Wanne, die in einer tiefen n-Wanne angeordnet ist, die sich wiederum in einem p-dotierten Substrat befindet. Die schräg ausgeführten aktiven Gebiete ermöglichen längere Transfertransistoren sowie kleinere Kontaktlöcher für die Bitleitungen. Allerdings wird somit die grundlegende Forderung der Photolithographie nach geraden Strukturen verletzt. Deswegen hat sich dieses Konzept nicht als Standard durchgesetzt. Andere DRAM-Hersteller haben andere Konzepte entwickelt.

Neben den Transfertransistoren im Zellenfeld werden in der Peripherie weitere Transistoren eingesetzt. Zu den Funktionen der Peripherie gehören Kontrolle der zeitlichen Abläufe, Kontrolle der Ein- und Ausgänge, Dekodierung, Bewertung von kleinen Signalen, Adressierung von Wort- und Bitleitungen, Generation der Versorgungsspannungen und so weiter. Diese Transistoren werden wegen der kleineren Schaltzeit in der Regel mit einer höheren Versorgungsspannung als die Versorgungsspannung des Zellenfeldes betrieben. Transistoren in den Treiber- und in den Bewerterschaltungen sollten dicht gepackt werden können, damit sie in die vorgeschriebenen Raster passen. Auch bei den Transistoren in den peripheren Schaltungen muss die Eindringtiefe von Source und Drain klein sein. Es werden aber trotzdem geringe Source- und Drain-Widerstände benötigt. Erreicht wird dies, in dem man nach oben niederohmiges Material aufbringt (Elevated Source-, Drain-Area). Die Transistoren in der Peripherie sollten bei geringer Verlustleistung eine ausreichende Schaltgeschwindigkeit erlauben.

Es wurde bereits angesprochen, dass auch vorübergehende Störungen das Zellenfeld beeinträchtigen. Dies soll nun genauer erläutert werden.

6.5.3 Vorübergehende Fehler (Soft-Errors)

1978 wurde erstmals von May und Woods über Soft-Error in dynamischen Speichern (DRAMs) berichtet [143]. Soft-Errors sind vorübergehend auftretende Fehler, die unter anderem von Alphapartikel hervorgerufen werden. Die Alphastrahlung geht von kleinsten Spuren von radioaktiven Elementen aus, hauptsächlich Uran und Thorium, die im Gehäusematerial und in der Metallisierung des Chips enthalten sind. Weiterhin löst Höhenstrahlung auch auf Meereshöhe im Chip Prozesse aus, die zu vorübergehenden Störungen führen können. Der letztere Effekt wird später behandelt.

Das Energiespektrum der Alphastrahlung erstreckt sich bis zu 11,65 MeV, der Hauptanteil liegt jedoch unter 5,5 MeV. Die Reichweite der energiereichsten Alphapartikel beträgt bis zu 80 μm . Da im Mittel ein Alphapartikel eine Energie von 3,6 eV bei der Generation eines Elektron-Loch-Paares verliert, kann ein Teilchen mit der Energie von 4,5 MeV eine Elektronenladung von bis zu 200 fC erzeugen, was ausreicht in DRAM- oder auch SRAM-Zellen, insbesondere in Vier-Transistor-

SRAM-Zellen mit passiven Lasten, die eingeschriebenen Zustände vollständig zu löschen [164].

Nicht nur dynamische Speicher sind empfindlich gegen Alphastrahlung, sondern grundsätzlich alle Halbleiterschaltkreise, wenn die bei einem Alphatreffer gesammelte Ladung einen Spannungspuls hervorruft, der in Größe und Zeitdauer den zulässigen Störspannungspegel übersteigt.

Ein Alphapartikel erzeugt beim Durchgang durch Silizium pro Nanometer Weglänge zwischen dreißig und hundert Ladungsträgerpaare. Mit abnehmender Teilchengeschwindigkeit verstärkt sich die Wechselwirkung mit dem Kristallgitter, weshalb die maximale Ionisation am Ende der Bahn eines Alphateilchens auftritt.

Für die Abschätzung des Einflusses der Alphastrahlung zum Beispiel auf das Lesesignal eines DRAMs muss man berechnen, wie viele der von der Strahlung im Substrat erzeugten Ladungsträger zu den speichernden Knoten eines Zellenfeldes gelangen. Eine Ein-Transistor-Zelle besteht aus einem Transfertransistor und einem Kondensator, auf dem in Form von Ladungen die Information gespeichert wird. Ein Diffusionsgebiet des Transfertransistors ist mit dem speichernden Knoten verbunden. Wie Bild 6.69 zeigt, werden drei Bereiche im Substrat unterschieden.

Die innerhalb der Raumladungszone eines pn-Übergangs erzeugten Ladungsträger werden von dem dortigen Feld aufgesammelt. Solange sich freie Ladungsträger in der Raumladungszone der Weite W_p befinden, kann das Feld über die Raumladungszone hinaus in das Substrat hineingreifen. Wegen der höheren Beweglichkeit der Elektronen μ_n im Vergleich zu derjenigen der Löcher μ_p , können bei einer n-Kanal-Technologie auf einer Länge von $(\mu_n/\mu_p) \cdot W_p$ Elektronen aus dem Substrat aufgesammelt werden. Diese Vergrößerung des Bereiches über die Raumladungszone hinaus, in dem Ladungen gesammelt werden können, wird als „Funneling-Effekt“ bezeichnet [95, 96]. Bei einem n^+ -Knoten im p-Substrat setzt sich die durch Drift eingesammelte Ladung Q_{dn} zusammen aus der entlang der Spur I_a des Alphateilchens innerhalb der Raumladungszone und den innerhalb des Funneling-Bereiches generierten Elektronen.

Mit

$$I_a = \frac{W_p}{\cos \beta} \quad , \quad (6.41)$$

wobei β den Winkel zwischen Vertikalachse und Bahn des Alphateilchens darstellt, erhält man

$$Q_{dn} = N_a \cdot q \cdot W_p \cdot \left(\frac{1}{\cos \beta} + \frac{\mu_n}{\mu_p} \right) \quad . \quad (6.42)$$

N_a steht für den Ionisationskoeffizienten und q für die Elementarladung. Die Länge des Funneling-Bereiches ist proportional zur Raumladungsweite, aber in erster Näherung unabhängig vom Einfallswinkel β .

Bei der p-Kanal-Technologie tritt an dem betroffenen Knoten wegen der niedrigeren Beweglichkeit der Löcher ein erheblich verringerter Funneling-Effekt auf. Ein Teil der außerhalb der Reichweite des elektrischen Feldes generierten Ladungsträ-

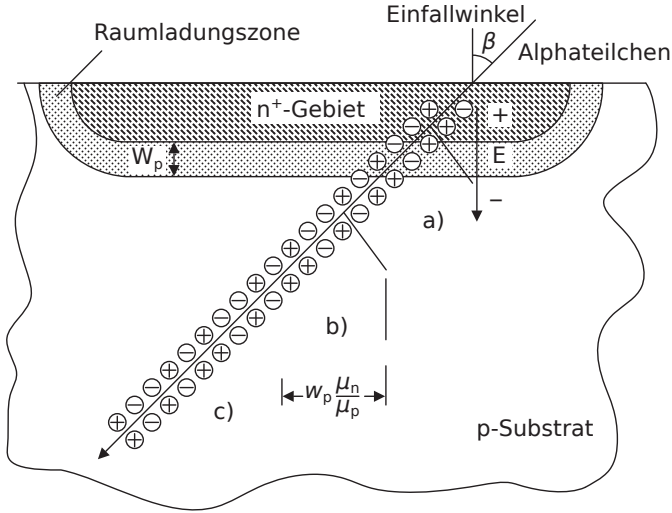


Bild 6.69 Sammlung der Störladung nach einem Alphatreffer.

ger gelangt durch Diffusion zur Oberfläche. In größerem Abstand vom Einschlagpunkt nimmt der Diffusionsstrom schnell sehr kleine Werte an. Seine Zeitkonstante liegt im Bereich von Nanosekunden. Numerische Rechnungen für einen Einschlag in das Zentrum einer quadratischen Sammelfläche führen auf einen linearen Anstieg der gesammelten Ladung als Funktion der Seitenlänge L der getroffenen Fläche. Vereinfacht lässt sich die Diffusionsladung durch

$$Q_{\text{diff}} = Q_0 + a(E) \cdot L \quad (6.43)$$

ausdrücken; mit $Q_0 = -0,2 \text{ fC}$ und dem energieabhängigen Koeffizienten a , der für Energien zwischen 3 und 7 MeV Werte von $2,6 \text{ fC}/\mu\text{m}$ hat.

Aus Modellrechnungen [222] für den zeitlichen Verlauf des Diffusionsstroms ergibt sich bei kleinem Abstand vom Einschlagpunkt ($< 5 \mu\text{m}$) eine Zeitkonstante von wenigen Nanosekunden, die sich schnell mit wachsenden Abstand vergrößert. So beträgt sie zum Beispiel 500 ns in $40 \mu\text{m}$ Entfernung.

Je nach der Energie des Alpha-Teilchens und seinem Einfallswinkel erhält man stochastisch verteilt unterschiedliche Ladungsüberträge pro Treffer. Deshalb beschreibt man die Ladungsübertragung mit einer Funktion $P(Q)$, die die Wahrscheinlichkeit angibt, mit der bei einem Treffer ein bestimmter Ladungsübertrag gesammelt wird, der größer oder gleich Q ist. Die Verteilung der Ladungsübertragung lässt sich entweder durch Rechnersimulation bestimmen oder experimentell ermitteln.

Ein Soft-Error wird ausgelöst, wenn den getroffenen Knoten mehr als die maximal zulässige Störladung, die kritische Ladung Q_c , übertragen wird.

Neben der Funktion $P(Q_c)$ wird der Beitrag zur Soft-Error-Rate des k -ten Knotens SER_k noch bestimmt durch den Alphapartikelfluss und die Größe des Zeitfensters, in dem der Knoten empfindlich gegen Alphatreffer ist. Man erhält

$$SER_k = \Phi_\alpha \cdot A \cdot s \cdot P(Q_c) \quad (6.44)$$

Φ_α	Alphapartikelflussdichte
A	Knotenfläche
s	Quotient aus der Zeitdauer, in der der Knoten gegen Treffer empfindlich, zur gesamten Betriebszeit.

Die Soft-Error-Rate eines Schaltkreises ergibt sich dann aus der Summation der Beiträge aller N Einzelknoten

$$SER = \sum_{k=1}^N SER_k \quad (6.45)$$

Aus der Soft-Error-Rate lässt sich auf das entsprechende Störsignal schließen. Das mittlere durch Alphastrahlung bedingte Störsignal ist stark von der verwendeten Technologie, dem Zellkonzept und der Organisation der Zellenfelder abhängig. Als grober Richtwerte gelten 25 mV bis 50 mV für eine 0,8 μ m CMOS-Technologie.

In einer SRAM-Zelle, bei der die Pull-Up-Pfade, wie zum Beispiel in einer Vier-Transistor-Zelle mit passiven Lastwiderständen der Größenordnung von $10^9 \Omega$, zu schwach ausgelegt sind, können die Ausgangsknoten trotz der Pull-Up-Pfade von den generierten Elektronen, die zur Oberfläche gelangen, entladen werden. Ähnliches gilt für statische Logikschaltungen. Dynamische Logikschaltungen sind in der Durchführungsphase, wenn die Ausgangsknoten nicht mit Masse verbunden sind, empfindlich gegen Alphatreffer.

In jüngerer Zeit hat sich herausgestellt, dass durch Höhenstrahlung bedingte vorübergehende Fehler auch auf Meereshöhe ein ernstes Problem darstellen [164]. Wenn ein hochenergetisches Neutron in das Siliziumsubstrat eindringt, kommt es zu einer Wechselwirkung mit einem Siliziumatom bei der Sekundär-Ionen entstehen können. Wie es in Bild 6.70 gezeigt wird, generieren die Sekundär-Ionen etwa zehnmal so viele freie Ladungen, als durch einen Alphatreffer entstehen können. In mehreren benachbarten Zellen können vorübergehende Fehler auftreten. Da mit fehlerkorrigierende Codes (ECC) nur ein Fehler für eine gegebene Adresse korrigiert werden kann, muss darauf geachtet werden, dass die physikalisch benachbarten Zellen von unterschiedlichen Adressen angesprochen werden.

Anhand von zwei benachbarten Zellen (Zelle 0 und Zelle 1) wird nun der Mehrfachfehlereffekt eingehender erläutert (Bild 6.71). Die Knoten NR0 und NL1 sollen ein hohes Potential (U_{DD}) aufweisen. Die Substratanschlüsse sind miteinander verbunden und liegen über den Wannenwiderstand R_{Wanne} an Masse. Bild 6.72 zeigt die Schaltung, die in [164] für die Simulationen der Effekte auf der Ebene der Halbleiterbauelemente verwendet wurde. Diese einfache Struktur wurde gewählt um die Simulationszeiten begrenzt zu halten. Die p-Kanal-Transistoren der Inverter 0 und 1 werden durch Widerstände ersetzt. Die n-Kanal-Transistoren werden von Source- (S) und Drain-Diffusionsgebieten (D) repräsentiert. Die Zeichnung enthält auch einen parasitären Bipolartransistor zwischen D1 (NL1) und S. Das Diffusionsgebiet D0 sei von einem Sekundär-Ion betroffen.

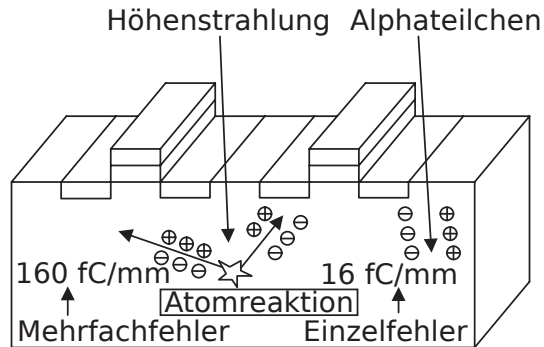


Bild 6.70 Schematische Darstellung der Ladungsgenerierung, die durch Höhenstrahlung verursacht wird [164].

Nach einem Einschlag eines Sekundär-Ions in NR0 (D0) wird mittels „Funneling“ innerhalb von 10 ps dieser Knoten auf 0 V entladen. Innerhalb von 100 ps wird dem zur Folge das Potential der Knotens NL0 invertiert. So entsteht der erste Fehler. Aber die Löcher, die von der Höhenstrahlung generiert werden, verbleiben in der p-Wanne. Deswegen steigt das Wannenpotential in der Nähe der beiden Zellen auf etwa 0,9 V an. Dieses Potential schaltet den parasitären bipolaren Transistor ein, somit fließt ein Strom von NL1 zu S. Der Knoten NL1 wird langsam entladen. Innerhalb von 700 ps werden die Potentiale der Knoten NR1 und NL1 invertiert. Dies führt zum zweiten Fehler.

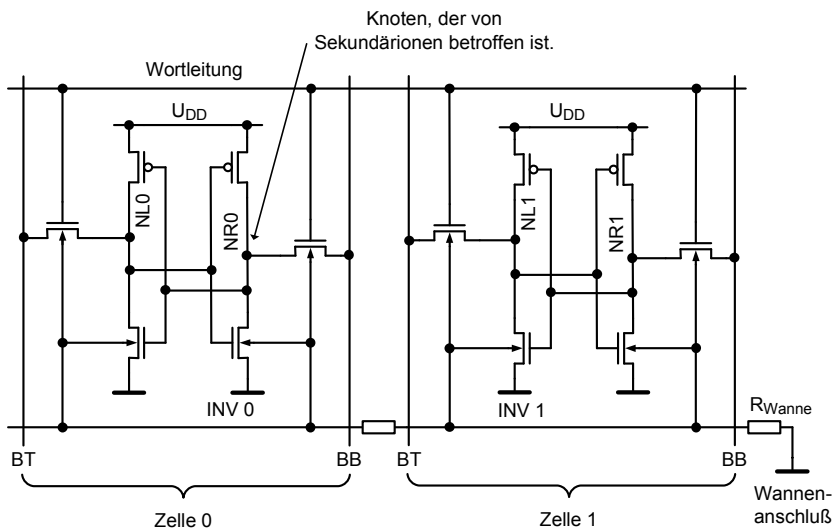


Bild 6.71 Schaltung zur Modellierung der Mehrfachfehler [164].

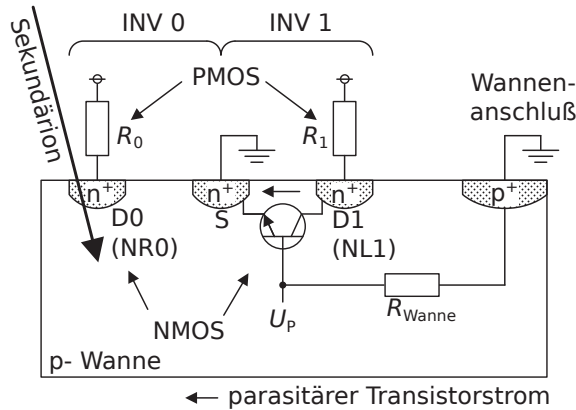


Bild 6.72 Modell auf der Ebene von Halbleiterbauelementen [164].

6.5.4 Organisation und Betriebsmodi von DRAMs

Nachdem die Prinzipien des Lese- und des Schreibvorgangs sowie die neuen Zellkonzepte erläutert wurden, sollen nun die Organisation eines DRAMs und die Abläufe in einem DRAM behandelt werden. Am einfachsten wird die Darstellung, wenn der historischen Entwicklung gefolgt wird. Für die Vertiefung des Stoffes wird folgende Literatur empfohlen [203, 177, 113].

Die 1-Mbit und die 4-Mbit Generation der DRAM-Standardbausteine hatten aus Kostengründen meistens nur ein Pin um sequentiell die Bits ein- oder auslesen zu können. Man spricht von einer 1-Mbit $\times$ 1 beziehungsweise von 4-Mbit $\times$ 1 Organisation. Es wurde bereits erwähnt, dass das Verhältnis von C_2/C_1 konstant sein sollte. Damals betrug das Verhältnis etwa 10. Deswegen konnten mit einer Bitleitung nicht mehr als 128 Zellen verbunden sein. Somit enthält ein Zellenfeld mit gefalteter Bitleitung 256 Bitleitungen. Die Länge der Wortleitung wird von deren RC-Zeitkonstanten bestimmt. Typischerweise sind 1024 Zellen mit einer Wortleitung verbunden, das heißt, dass eine Wortleitung 2048 Bitleitungen kreuzt (siehe Bild 6.60). Die maximale Speicherkapazität eines Zellenfeldes betrug somit $128 \times 2048 = 262144$ (256 k Zellen).

Modernere Speicher haben Zellenfelder mit 512 kbit. Damit die Anzahl der Zellen pro Wort- und Bitleitung optimal ausgelegt werden kann, wird die Speicherkapazität der neuesten Zellenfelder nicht mit 2^n , sondern geringer gesteigert. Dies erschwert aber die Adressierung.

Einzelne Defekte können den Ausfall eines ganzen Chips verursachen. Daher hat man sehr früh nach Schaltungstechniken gesucht, die es erlauben einen defekten Chip nach der Herstellung zu reparieren [208, 32]. Die Reparaturmethoden müssen auch in der Massenfertigung anwendbar sein. Das heißt es sollten zusätzlich Schaltungen auf dem Chip verfügbar sein, mit denen die fehlerhaften Zellen gefun-

den werden können. Im nächsten Schritt werden dann die fehlerhaften Zellen durch redundante Zellen ersetzt.

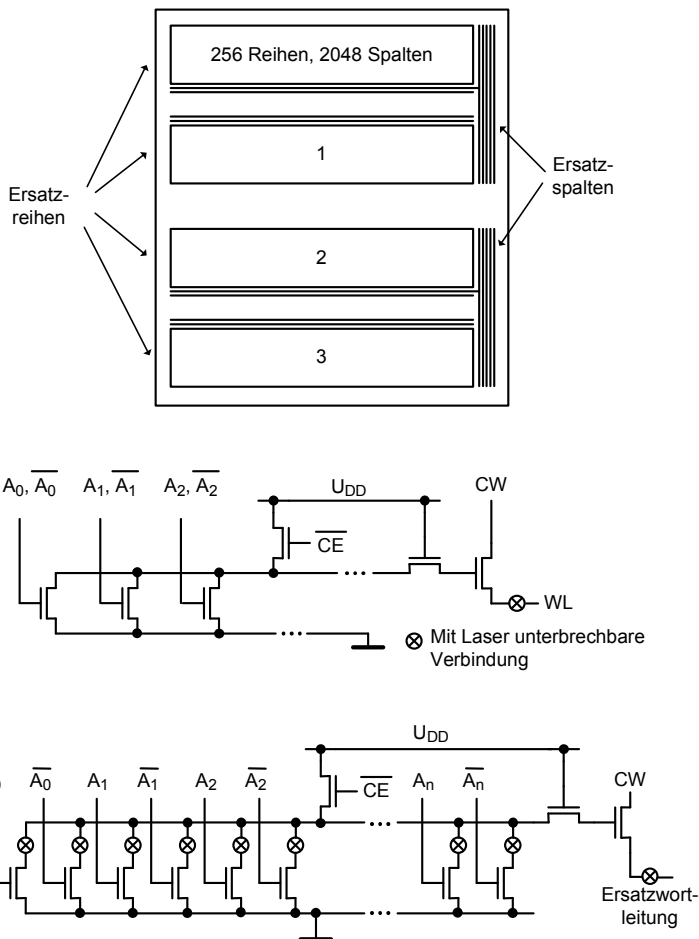


Bild 6.73 **a** Schematisches Layout eines redundanten 1 Mbit-DRAM; **b** Standarddekodierschaltung mit einer unterbrechbaren Verbindung; **c** Ersatzdekodierschaltung mit Ersatzwortleitung.

Bild 6.73 zeigt das Schema eines 1-Mbit-Speichers, dessen 4 Zellenfelder Ersatzspalten und Ersatzreihen enthalten. Jede Ersatzreihe oder Ersatzspalte ist mit einer zusätzlichen Dekodierschaltung verbunden. Blockiert zum Beispiel eine defekte Speicherzelle eine Reihe wird deren Wortleitung von der Treiberschaltung getrennt und durch zusätzliche Schaltungen ständig auf niedrigen Potential gehalten. Eine Ersatzwortleitung mit angeschlossenen Zellen übernimmt nun die Aufgabe. Das Abtrennen und Hinzuschalten von Schaltungsteilen wird erreicht, indem Leitungsstücke elektrisch oder durch Laserbeschuss unterbrochen werden. Auch der

umgekehrte Weg, nämlich die nachträgliche Erzeugung von Verbindungsstücken wird angewendet. Die Ersatzwortleitung ist über eine Treiberschaltung mit einer Ersatzdekodierschaltung verbunden. Die Ersatzdekodierschaltung muss zunächst alle möglichen Eingangskombinationen zu lassen. Durch Laserbeschuss wird die Dekodierschaltung personalisiert, indem alle nicht gewünschten Kombinationen abgetrennt werden (Bild 6.73c). Beim Ersatz von Bitleitungen wird ähnlich vorgegangen.

Die Nachteile des Verfahrens sind größere Chipfläche und damit höhere Herstellungskosten. Deswegen wird Redundanz nur zu Beginn einer neuen Technologiegeneration eingesetzt. Auch für Logikschaltungen wären „fehlertolerante“ Schaltungen wünschenswert. Wegen der geringeren Regularität von Logikmodulen ist es jedoch schwierig befriedigende Lösungen zu finden.

In Kapitel 6.1 (Bild 6.3) wurde bereits das Prinzip der externen Steuerung von Speicher mit wahlfreiem Zugriff angegeben. DRAM-Standardbausteine weisen jedoch einige Besonderheiten auf, die anhand der Anschlussbelegung eines 1-Mbit Speicherbausteins erläutert werden sollen. Über das TF-Pin werden Daten zum Testen des Chips ausgetauscht. Es wird ein Pin für das CS-Signal (Chip Select oder *CE* Chip Enable), mit dem der Speicher aktiviert werden kann, vorgesehen.

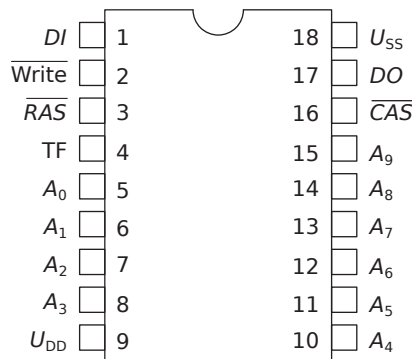


Bild 6.74 Anschlussbelegung eines 1-Mbit-DRAMs im DIP-18-Gehäuse (DIP, Dual Inline Package).

Wie es bereits erwähnt wurde, war man aus Kostengründen bestrebt die Anzahl der Pins möglichst klein zu halten. Deswegen wurden die Adressbits für die Auswahl einer Wortleitung und einer Bitleitung sequentiell angelegt. Dementsprechend benötigte man zusätzlich zwei Steuersignale $\overline{RAS}$ (Row Access Strobe) und $\overline{CAS}$ (Column Access Strobe), die anzeigen ob an den Pins A_0 bis A_9 eine gültige Zeilenadresse oder Bitleitungsadresse anliegt. Mit dem Signal $\overline{WRITE}$ oder $\overline{WE}$ (*WE*, Write Enable) wird zwischen Lese- oder Schreibvorgang unterschieden. Jeder Speicherzugriff beginnt mit der fallenden Flanke des $\overline{RAS}$ -Signals. Um Verlustleistung zu sparen werden im Ruhezustand die Schaltungen mit dem höchsten Leistungsverbrauch abgeschaltet (power down mode). Vom $\overline{RAS}$ -Signal werden daher auf dem Speicherchip zunächst Aktivierungssignale abgeleitet. Weiter erzeugt die fallende $\overline{RAS}$ -Flanke Steuersignale für die Vorladephase und für die Übernahme der Wort-

leitungsadresse in die Eingangsregister. Steuersignale für die Wortleitungstreiber und die Bewerterschaltungen werden ebenfalls daraus abgeleitet. Die fallende $\overline{CAS}$ -Flanke stößt die Übernahme der Bitleitungsadresse und deren Dekodierung an. Das $\overline{WRITE}$ -Signal wird mit der fallenden $\overline{CAS}$ -Flanke bewertet. Mit $\overline{CAS} = 1$ wird der Ausgangstreiber für das Ausgangspin DO in den hochohmigen Zustand geschaltet. Oft wird auch das Signal $\overline{OE}$ (Output Enable) eingesetzt. Mittels dieses Signals wird erreicht, dass am Ausgang erst dann Daten erscheinen, wenn sie benötigt werden.

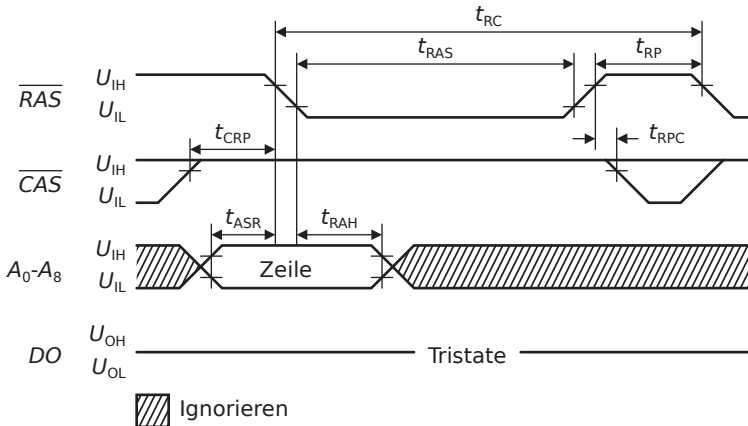


Bild 6.75 Signalverläufe für einen $\overline{RAS}$ -only-Refresh.

In einem Standard-DRAM muss periodisch alle 64 ms ein Refresh-Zyklus durchgeführt werden. Die Standardform der Refresh-Steuerung ist der „ $\overline{RAS}$ -only-Refresh“. Der zeitliche Ablauf ist im Bild 6.75 dargestellt. Der Zyklus beginnt (wie jeder andere Speicherzyklus) mit der fallenden $\overline{RAS}$ -Flanke. An den Adresseingängen muss die passende Zeilenadresse bereitstehen. Jedoch soll der $\overline{CAS}$ Eingang inaktiv bleiben (logische Eins), wodurch der Ausgang seinen hochohmigen Zustand beibehält. Durch die Aktivierung einer Wortleitung werden die Daten aller mit der Wortleitung verbundenen Zellen ausgelesen, verstärkt und wieder zurückgeschrieben. Innerhalb eines Refresh-Zyklus werden alle Wortleitungen nacheinander angesprochen. Der Zeitbedarf für den gesamten Refresh-Vorgang beträgt etwa 2 bis 3% der Betriebszeit. Im übrigen, bei einem beliebigen Zugriff auf eine Zelle werden die anderen Zellen, die mit der Wortleitung verbunden sind, automatisch einem Refresh-Vorgang unterzogen.

Ein DRAM-Standardbaustein setzt sich aus mehreren Zellenfeldern zusammen. Diese Tatsache wird genutzt um den Datenaustausch zu verbessern. Es genügt eine Zeilenadresse (row address), die mit der fallenden $\overline{RAS}$ -Flanke übernommen wird, um zum Beispiel in einem 1-Mbit-Speicher, der aus vier Zellenfeldern aufgebaut ist, gleichzeitig vier Wortleitungen zu aktivieren (siehe Bild 6.73). Somit werden insgesamt 4×1024 Zellen angesprochen. Indem man einfach die Bitleitungsadresse (column address) ändert, aber die Wortleitungsadresse konstant hält, kann auf die

Informationen von 4×1024 Zellen zugegriffen werden. Man nennt dies eine Seite (page). Auch mit wenig Phantasie kann man sich vorstellen, dass dies vielfältige Methoden der Adressierung ermöglicht. Mit zwei Bits der Bitleitungsadresse kann ein Zellenfeld ausgewählt werden. Bei einem 4-Mbit-Speicher werden 4 Bits benötigt, um eines der sechzehn Zellenfelder anzusprechen. Nachfolgend sollen nicht alle möglichen Adressierungsarten behandelt werden, sondern nur die gebräuchlichsten. Dies sind: PM (Page Mode), NM (Nibble Mode), FPM (Fast Page Mode) und EDO (Extended Data Out).

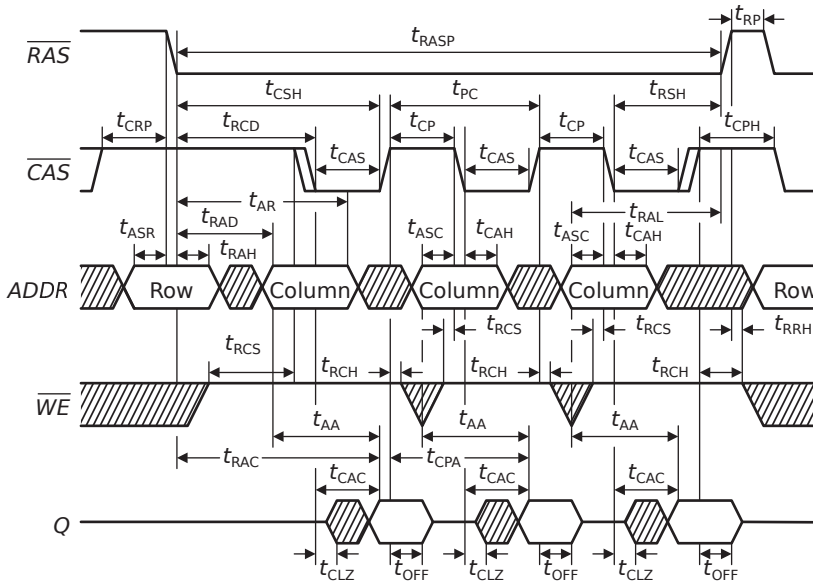


Bild 6.76 Beschleunigter Lesezugriff auf eine Seite (Page Mode).

Bild 6.76 zeigt die zeitlichen Verläufe bei einem beschleunigten Zugriff auf eine Seite (Page Mode), wenn Daten ausgelesen werden sollen. Mit der fallenden Flanke des $\overline{RAS}$ -Signals wird die Zeilenadresse übernommen und gleichzeitig die Vorladephase angestoßen. In jedem Zellenfeld wird eine Wortleitung aktiviert. Alle Zellen die mit den Wortleitungen verbunden sind werden ausgelesen. Da $\overline{CAS} = 1$ ist $\overline{DO}$ im hochohmigen Zustand. Oft wird $\overline{DO}$ auch mit Q bezeichnet. Mit der fallenden Flanke des $\overline{CAS}$ -Signals wird eine Bitleitungsadresse gespeichert und dekodiert. Nur ein Bit von den vielen möglichen Bits wird zum Ausgangspin Q gesteuert. Mit $\overline{CAS} = 1$ kehrt Q in den hochohmigen Zustand zurück.

Bei gleicher Wortleitungsadresse wird mit der nächsten fallenden Flanke von $\overline{CAS}$ eine neue Bitleitungsadresse gespeichert. Nun kann ein weiteres Bit ausgelesen werden oder aber wenn $\overline{WE} = 0$ ein Bit eingeschrieben werden. Bei späteren Standardbausteinen wurde um Kosten zu sparen nur ein Pin für Lesen und Schreiben vorgesehen. Diese bidirektionalen Pins werden mit $\overline{DQ}$ bezeichnet.

Die anderen Betriebsmodi sind einfach Modifikationen des „Page Mode“. Bei FPM (Fast Page Mode) kann sich die Bitleitungsadresse ändern während $\overline{CAS}$ den logischen Wert Null aufweist. Dadurch wird die Geschwindigkeit des Datenaustauschs erhöht. EDO ist einfach ein Mode in dem DO mit $\overline{CAS} = 1$ nicht in einen hochohmigen Zustand übergeht. Beim Lesen stehen somit die Daten länger zur Verfügung, was schnellere Zugriffe erlaubt.

Im Allgemeinen benötigt die Aktivierung einer Wortleitung die meiste Zeit. Wenn eine Wortleitung aktiviert ist, können die angesprochenen Daten schnell zu dem Ausgangspin oder vom Ausgangspin zu der betreffenden Zelle gesteuert werden. Über Jahre hinweg war dies die vorrangige Methode mit der die Zugriffe beschleunigt wurden.

DRAMs mit Nibble Mode haben einen internen rücksetzbaren Adresszähler. Somit wird mit jeder fallenden Flanke von $\overline{CAS}$ intern eine neue Adresse generiert. Wenn zum ersten mal $\overline{CAS}$ den logischen Wert Null aufweist, wird eine Bitleitungsadresse in den Adresszähler eingelesen. Das erste mal wird definiert als der erste Wechsel von $\overline{CAS}$ nachdem $\overline{RAS}$ nach Null gewechselt ist. Mit $\overline{RAS} = 0$ wird intern bei jedem Wechsel von $\overline{CAS}$ die Bitleitungsadresse geändert und die Daten erscheinen sequentiell am Ausgangspin. Der Vorgang ist auf vier Wiederholungen begrenzt.

Ähnlich kann auch der Refresh-Vorgang vorgesehen sein. Hierzu wird ebenfalls ein Adresszähler benötigt, der intern die Zeilenadressen zur Verfügung stellt. Wenn das $\overline{CAS}$ - vor dem $\overline{RAS}$ -Signal von 1 nach Null wechselt (CAS before RAS) wird ein Refresh-Zyklus gestartet.

Es ist leider so, dass die Verbesserung der Verarbeitungsgeschwindigkeit von Prozessoren schneller voranschreitet als die entsprechende Verbesserung der DRAM-Speicher (siehe Bild 6.77). Als Gütemaß wird die Bandbreite, das ist das Produkt aus Wortbreite und Taktfrequenz, verwendet. Die Wortbreite drückt aus wie viele Bits parallel an den Ein- oder Ausgängen zur Verfügung stehen. Die Ursache ist,

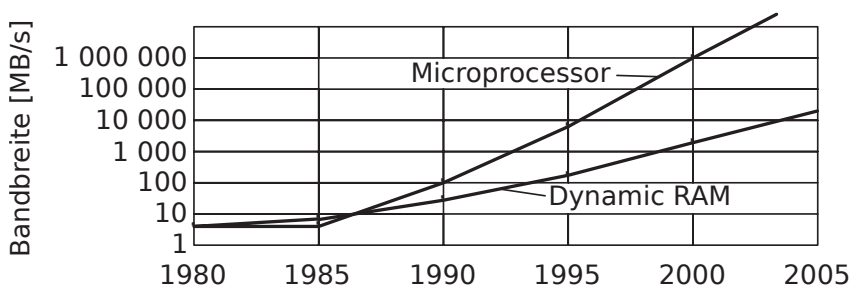


Bild 6.77 Trend der Bandbreiten (Rate $\times$ Bandbreite) von Prozessoren und DRAMs.

dass die Taktfrequenz von Mikroprozessoren von etwa 500 MHz bis auf 3 GHz erhöht wurde. Eine ähnliche Entwicklung war für die DRAM-Standardbausteine nicht möglich.

Ein besonderes Problem stellt die Erfolgsrate bei einem Zugriff auf einen Cache-Speicher dar. Ein Cache-Speicher ist ein schneller Speicher, der eine Kopie der „aktuellen Umgebung“ des Hauptspeicher enthält. Die Erfolgsrate beträgt bis zu 99%. Wird die gesuchte Information im Cache-Speicher nicht gefunden, spricht man von einem „miss“. Anhand von „cache-miss“-Rate und der „cache-miss“-Strafe und einer zweistufigen Speicherhierarchie, nämlich SRAM-Cache und DRAM-Hauptspeicher, wird das Problem näher erläutert.

Der einfachste Weg ein „miss“ zu vermeiden, ist die Blockgröße zu erhöhen. Da die Programme nur einen relativ kleinen Teil des gesamten Adressraumes zu einem gegebenen Zeitpunkt nutzen, werden, wenn eine Information angesprochen wird, bald benachbarte Information ebenfalls angesprochen. Damit die räumliche Nachbarschaft ausreichend genutzt werden kann, müssen die Blöcke genügend groß sein. Daher, wenn ein „miss“ auftritt, werden mehrere Wörter aus der Umgebung im Hauptspeicher geholt, die eine hohe Wahrscheinlichkeit dafür aufweisen, dass sie bald eingesetzt werden. Offensichtlich verringert sich die „miss“-Rate, wenn die Blockgröße erhöht wird. Eine Übertreibung steigert jedoch die „miss“-Strafe. Die „miss“-Strafe ist als die Zeit definiert, die gebraucht wird um die Daten aus der nächst niedrigeren Hierarchiestufe zu holen.

Die Holzzeit eines Blocks setzt sich aus zwei Zeiten zusammen. Dies ist einmal die Latenzzeit, die vergeht bis das erste Wort eines Blocks eingetroffen ist. Zum anderen ist dies die gesamte Transferzeit für die restlichen Wörter. Offensichtlich erhöht sich die Transferzeit, wenn die Blockgröße wächst.

Die „cache-miss“-Strafe ist eng mit der Speicherorganisation, der Nutzung der Busse und den elektrischen Eigenschaften der Speicherbausteine verbunden. Im Falle eines DRAM-Hauptspeichers ist es wegen den langsamen Zugriffen schwierig die Latenzzeit bis zum Eintreffen des ersten Wortes zu minimieren. Stattdessen wird die „miss“-Strafe verringert, in dem die Durchsatzrate vom Hauptspeicher zum Cache-Speicher vergrößert wird. Wie es in Kapitel 7.3.2 dargelegt wird, lässt sich die Durchsatzrate mittels Parallelverarbeitung und „Pipelining“ steigern.

Wird eine Wortleitung aktiviert können eine große Zahl von Zellen parallel angesprochen werden. Die Zahl der zur Verfügung stehenden Ein- und Ausgänge begrenzt die Durchsatzrate. Daher wurde in den letzten Jahren die Wortbreite von Standard-DRAMs von einem Bit auf vier, acht oder sechzehn Bit erhöht.

Ab der 128-Mbit Generation wurde eine synchrone Schnittstelle zwischen DRAM-Bausteinen und dem Mikroprozessor beziehungsweise der Kontrolleinheit eingeführt. Das Ziel war die Vorgänge zu beschleunigen und für den Systementwickler zu vereinfachen. Alle internen Abläufe und alle I/O-Operationen verlaufen synchron zu einem externen Takt CLK . Das heißt alle Operationen werden mit der steigenden Flanke von CLK ausgeführt.

Das Bild 6.78 zeigt den Pinbelegungsplan eines 64-Mbit-SDRAM mit 16 Datenpins, die sowohl für das Einlesen und das Auslesen eingesetzt werden. Die Signale an den Pins $BA0$ und $BA1$ bestimmen welche der vier Bänke, aus denen sich der gesamte Speicher zusammensetzt, ausgewählt wird. Obwohl nun ein zentraler Takt verwendet wird, werden weiterhin unter anderem die Signale $\overline{RAS}$, $\overline{CAS}$, $\overline{CS}$ oder $\overline{WE}$, die man von früheren Speichergenerationen gewöhnt ist, verwendet. Zusätz-

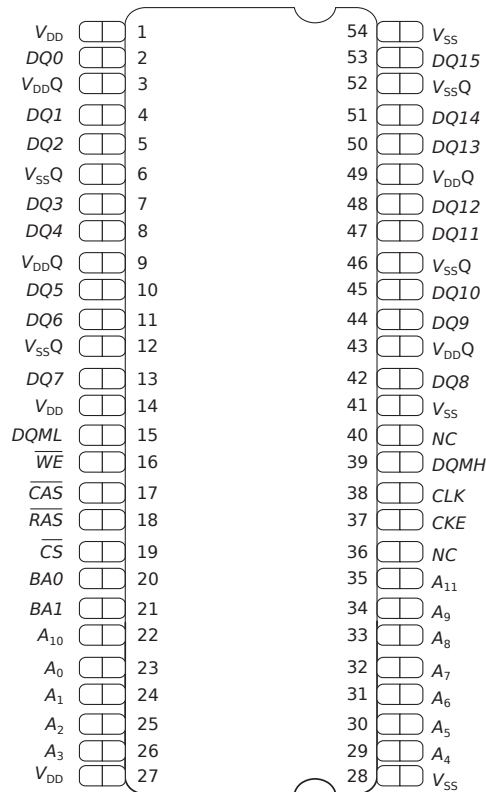


Bild 6.78 Pinbelegungsplan für einen 64-Mbit SDRAM mit 16 I/O.

lich wird das Signal *CKE*, das mit dem zentralen Takt verundet wird, und das Signal *DQM*, das Lese- beziehungsweise Schreibbefehle maskiert, eingesetzt. Dieses Signal ist in Graphikprozessoren vorteilhaft. Waren die genannten Signale früher Steuersignale, zum Beispiel wurden Wortleitungsadressen mit der fallenden Flanke von *RAS* übernommen, werden nun diese Signale zu Befehlen kombiniert, die mit der steigenden Flanke von *CLK* ausgeführt werden, wie es Bild 6.79 zeigt.

Der Datenaustausch zwischen dem Speicherbaustein und der Kontrolleinheit erfolgt bei hohen Frequenzen, so dass auf die Integrität der Signale geachtet werden muss. Man kennt nicht genau vorab die elektrischen Eigenschaften der Verbindungsleitungen. Dies rührt zum einem daher, dass man nicht weiß in welchen Sockel der Speicher gesteckt wird und in welcher Platine sich der Sockel befindet. Daher werden anpassfähige Eingangsschaltungen und Ausgangstreiberschaltungen eingesetzt. Jeder DRAM-Chip hat an den Eingängen ein Widerstandnetzwerk, das an die jeweilige Umgebung angepasst werden kann. Für die Ein- und Ausgangsschaltungen werden separat die Versorgungsspannungen (V_{SSQ} und V_{DDQ}) bereitgestellt.

Die Tabelle 6.1 enthält einen vereinfachten Satz von zu Verfügung stehenden Befehlen. Mittels den außen angelegten Signale ($\overline{RAS}$, $\overline{CAS}$ usw.) errechnet eine in

dem DRAM eingebaute Kontrolleinheit den jeweiligen Befehl, der dann in einem Mode-Register gespeichert wird. Bei konventionellen DRAMs wird mit der fallenden $\overline{RAS}$ -Flanke die Zeilenadresse übernommen und andere Prozesse angestoßen. In einem SDRAM übernimmt der Befehl „Activate“ diese Funktion.

Mit dem Aktivierungskommando wird eine bestimmte Bank und in ihr eine Zeile ausgewählt. Der Befehl „Read“ korrespondiert mit der fallenden $\overline{CAS}$ -Flanke. Das mittels einer übernommenen Bitleitungsadresse ausgewählte Datum wird ausgelesen. Mit „Write“ wird eingelesen. Der Befehl „Refresh“ entspricht im Wesentlichen, wie auch die Befehle „Activate“, Read, und „Write“, denen eines gewöhnlichen DRAMs. Alle anderen Befehle sind SDRAM spezifisch. Insbesondere muss eine mit dem Activate-Befehl und einer Wortleitungsadresse ausgewählte Zeile einer Bank explizit mit einem Precharge-Befehl deaktiviert werden. Das Mode-Register wird mit dem Mode-Register-Set-Befehl programmiert.

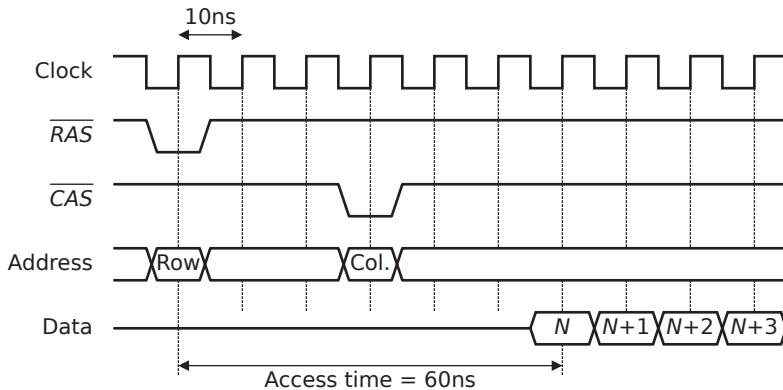


Bild 6.79 Zeitliche Abläufe in einem SDRAM.

Mit dem SDRAM wurde auch das Konzept der „Speicherbänke“ eingeführt, das intern eine erweiterte Parallelverarbeitung ermöglichte. Die Bänke werden unabhängig von einander betrieben. In jeder Bank kann eine ganze „page“ aktiviert werden. Eine Bank kann sich in der Vorladephase befinden oder aktiviert sein, während eine andere Bank Daten empfängt oder sendet. Ebenso können alle Bänke aktiviert sein und abwechselnd der Reihe nach Daten ein- oder auslesen. Dies wird als Verzahnung (Interleaving) bezeichnet. Die Auswahl der Bänke erfolgt mit den höchstwertigen Adressbits. Durch diese Betriebsart kann eine äußerst effektive Nutzung des Speichers erfolgen, da die Ausgabe der Daten, selbst bei beliebigem Zugriff auf Zeilen und Spalten des Speichers völlig lückenlos erfolgen kann. Moderne DRAMs haben bis zu 8 Speicherbänke.

In einem Block, der bei einem „miss“ vom Hauptspeicher in den Cache-Speicher transferiert werden soll, sind die Wörter miteinander inhaltlich verknüpft. Diese Verknüpfung muss beibehalten werden, auch wenn verschiedene Speicherbänke eingesetzt werden. Daher werden in dem Beispiel von Bild 6.80 beim Einschreiben die Wörter 0 bis 15 sequentiell auf die Bänke 0 bis 3 verteilt (interleaving).

Tabelle 6.1 Vereinfachte Befehlstabelle für ein SDRAM nach einem JEDEC-Standard L logische Null, H logische Eins, X nicht beachten.

Command	Chip Select	Address Strokes		Write Enable
	$\overline{CS}$	Row $\overline{RAS}$	Column $\overline{CAS}$	$\overline{W}$
Mode register (set or read)	L	L	L	L
Row address entry / bank activate	L	L	H	H
Column address entry and write	L	H	L	L
Column address entry and read	L	H	L	H
Bank deactivate / precharge	L	L	H	L
Command inhibit	H	X	X	X
Burst stop	L	H	H	L
Self-refreh	L	L	L	H

Bank 0	Bank 1	Bank 2	Bank 3
0	1	2	3
4	5	6	7
8	9	10	11
12	13	14	15

Bild 6.80 Organisation eines verzahnten Speichers mit vier Bänken. Die Wörter mit den Adressen 0 bis 15 eines Blocks werden sequentiell auf die vier Bänke verteilt, so dass die Wörter wie im Ursprungsblock sequentiell gelesen werden können.

Die wichtigste Betriebsart des SDRAMs ist der sogenannte „Ausbruchs-Mode“ (burst-mode), in dem eine Folge von 2, 4, 8 oder alle Daten einer „Page“, je nach eingestellter „Ausbruchslänge“ gelesen oder geschrieben werden. In einem SDRAM kann mit der steigenden Taktflanke eine neue Bitleitungsadresse übernommen werden, die als Startadresse für einen „Ausbruch“ (burst) von inhaltlich zusammengehörenden Daten dienen kann. Ähnlich wie beim Nibble Mode werden die anderen Bitleitungsadressen intern von einem Zähler generiert. Mit jedem Taktzyklus erscheint am Ausgang ein neues Datum. So können die Daten schneller gelesen oder eingeschrieben werden.

Die Einführung eines zentralen Taktes erlaubte die Einführung von „Pipelining“. Mit dem Befehl „Activate“ werden die Zellen einer „page“ angesprochen. Das Ziel ist es nun möglichst schnell ganz oder teilweise die Informationen der Zellen auszu-lesen, beziehungsweise neue Informationen in die Zellen zu schreiben. Hierzu wird der Datenpfad vom Bitleitungsadressregister beziehungsweise dem Adresszähler für die Adressen eines Ausbruchs bis zum Ausgangstreiber zum Beispiel durch drei Register unterteilt. Die Latenzzeit beträgt somit drei Taktzyklen. Sind die Gatterlaufzeiten in den Unterbreichen gleich groß, können neue Adressen um den Faktor drei schneller angelegt werden, was die Datenrate wesentlich erhöht. Für den Schreibdatenpfad gilt Entsprechendes.

Mit jedem Takt wird das Datum in der „Pipeline“ um eine Stufe weitergeleitet. Bei einer dreistufigen „Pipeline“ dauert es demnach drei Taktzyklen von der Generierung der Bitleitungsadresse bis zum Ausgeben des Datums, was einer *CAS*-Latenzzeit von $CL = 3$ entspricht. Überbrückt man einen oder beide der taktgesteuerten Schalter, so erhält man eine zwei- beziehungsweise einstufige „Pipeline“, mit einer *CAS*-Latenzzeit von $CL = 2$ oder $CL = 1$.

Mit der 1-Gbit-Generation wurde zum „Double-Data-Rate“ SDRAM (DDR SDRAM) übergegangen. Weiterhin werden alle internen Operationen mit der steigenden Flanke von *CLK* ausgeführt. Aber an den Dateneingängen beziehungsweise Ausgängen werden die Daten sowohl mit der steigenden als auch mit der fallenden Flanke transferiert. Es wird ein differentiellles Taktsignal eingesetzt. Der Speicherbaustein erhält die Taktsignale *CLK* und $\overline{CLK}$. Zusätzlich generiert das DDR SDRAM einen Puls *DQS*, der mittels einer DLL (Delay Lock Loop) mit den Ausgangsdaten und dem zentralen Takt synchronisiert ist. Der Puls *DQS* dient der Kontrolleinheit zum Einlesen der Daten vom Speicher. Von JEDEC wurden mehrere Standards für DDR SDRAMs festgelegt. Die zentrale Taktfrequenz der Standard-DRAMs reicht von 100 MHz (DDR-200) bis zu 325 MHz (DDR-1300).

Kapitel 7

Arithmetische Module

In diesem Kapitel werden Schaltungsblöcke (Module) behandelt, die arithmetische Funktionen ausführen können. In der Spezifikationsphase von Arithmetikmodulen muss die Aufgabenaufteilung zwischen Software und Hardware festgelegt werden. Die Bandbreite reicht von freiprogrammierbaren Arithmetikmodulen, die zusammen mit Speichermodulen mit relativ geringer Verarbeitungsgeschwindigkeit, mit einer hohen Verlustleistung und großer Chipfläche vom Anwender für jede Aufgabe, für die ein Algorithmus existiert, eingesetzt werden können. Das andere Extrem stellt festverdrahtete Logik (dedicated hardware) dar. Diese Module können mit extrem hoher Verarbeitungsgeschwindigkeit oder minimaler Verlustleistung bei minimaler Chipfläche nur eine bestimmte Funktion ausführen.

Alle mathematischen Funktionen können auf die vier Grundrechnungsarten Addieren, Subtrahieren, Multiplizieren und Dividieren zurückgeführt werden. Wegen der großen Bedeutung und der reichen Vielfalt an Hardwarerealisierungsmöglichkeiten werden in diesem Kapitel exemplarisch die schaltungstechnischen Aspekte von Addier- beziehungsweise von Subtrahierwerken und von Multipliziererschaltungen besprochen. Divisionen, außer mit Vielfachen von 2, die leicht in polyadischen Zahlensystemen mit der Basis 2 dargestellt werden können, kommen in Algorithmen der digitalen Signalverarbeitung selten vor. Deswegen werden sie hier nicht behandelt (siehe [170]). Im letzten Abschnitt werden Methoden, mit denen die Rechenleistung und die Verlustleistung optimiert werden können, angegeben.

Der schaltungstechnische Entwurf von arithmetischen Funktionsblöcken ist eine multidimensionale Optimierungsaufgabe. Seien es kurze Entwurfszeiten, geringe Herstellungs-, Qualifizierungs- und Testkosten, niedrige Verlustleistung bei geforderter Verarbeitungsgeschwindigkeit, Unempfindlichkeit gegenüber Herstellungstoleranzen, Temperaturschwankungen und Störsignalen, alle diese Größen sollten angemessen berücksichtigt werden.

Die hohe Regularität von Speicherschaltungen ist Vorbild für den Entwurf von Logikschaltungen. Auch beim Entwurf arithmetischen Funktionsblöcken ist man bestrebt, einfache Grundzellen, wie Addierer oder Multiplizierer, zu definieren und durch Vervielfachen der Grundzellen komplexere Module aufzubauen. Im Vergleich zu den einfachen Operationen von Speicherschaltungen sind die Logikfunktionen

von arithmetischen Grundsaltungen komplexer. Zusätzlich ist es schwerer den Informationsaustausch mit anderen Modulen in reguläre Schaltungen abzubilden. Daher ist es schwieriger reguläre arithmetische Funktionsblöcke zu entwerfen.

Die Hardware eines Rechenwerkes wird von der Zahlendarstellung bestimmt. Die Basis der meisten Zahlendarstellungen ist ein Stellenwertverfahren [170, 174, 186]. Die Zahlen werden durch eine Anreihung von Ziffern dargestellt, und der Wert der Zahl ergibt sich als Summe der Produkte aus Ziffernwert und Stellenwert. Dies bedeutet, dass der Wert der Zahl über die Positionen der Ziffern bestimmt wird. Die Ziffern werden nach links mit steigendem Stellenwert geordnet. Die binäre Zahlendarstellung ist für arithmetische Module bestens geeignet. Man unterscheidet zwischen Festkommazahlen und Fließkommazahlen. Da anwendungsspezifische Bausteine meistens nur mit Festkommazahlen arbeiten, werden in diesem Buch nur diese behandelt.

In der binären Festkommazahlendarstellung trennt das Komma die Zahl in einen ganzzahligen Teil und den Nachkommateil, der den Bruch repräsentiert

$$x = \sum_{i=-k}^{n-1} a_i \cdot 2^i \quad . \quad (7.1)$$

Die ersten n -Stellen $(x_{n-1}, \dots, x_1, x_0)$ bilden den ganzzahligen Bereich. Um Chipfläche und damit Kosten zu sparen, weisen Arithmetikmodule nur eine begrenzte Zahl von Stellen auf $(n+k)$. Man erzielt deswegen nur eine begrenzte Rechengenauigkeit.

Jede n -stellige ganze Zahl kann durch Multiplikation mit 2^{-n} in einen Bruch umgewandelt werden. Durch Multiplikation mit 2^k kann jeder Bruch mit k Nachkommastellen in eine Integer-Zahl umgewandelt werden. Daher beschränkt man sich bei der Festkommanotation darauf nur ganze Zahlen oder nur gebrochene Zahlen kleiner als Eins darzustellen.

Bei gebrochenen Zahlen liegt das Komma zwischen der Vorzeichenstelle a_{n-1} und der höchstwertigen Stelle a_{n-2} . Für ganze Zahlen liegt das Komma rechts neben der niedrigstwertigen Stelle a_0 . Die beiden Zahlendarstellungen sind gleichwertig und können leicht ineinander überführt werden. Die Stellung des Kommas ist in der Zahlendarstellung implizit vorhanden, das heißt die Stellung des Kommas muss nicht markiert werden.

Für positive Festkommazahlen A gilt immer

$$a_{n-1} = 0 \quad . \quad (7.2)$$

Die verbleibenden Bits zeigen den Betrag an

$$|A| = (a_{n-1}, \dots, a_1, a_0) = \sum_{i=0}^{n-1} a_i \cdot 2^i = \sum_{i=0}^{n-2} a_i \cdot 2^i \quad . \quad (7.3)$$

Für die Darstellung einer negativen Zahl gibt es drei Möglichkeiten. $\bar{A}$ sei die negative Version der positiven Zahl A . Für eine negative Zahl wird $a_{n-1} = 1$ gesetzt.

Wieder geben die verbleibenden Bits den Betrag an

$$\bar{A} = (1, a_{n-2}, \dots, a_1, a_0) \quad . \quad (7.4)$$

Problematisch ist, dass es mit dieser Konvention zwei Darstellungen für eine Null gibt (zum Beispiel 1000 oder 0000 für eine 4-Bit-Vorzeichenzahl).

In der Einerkomplement-Darstellung wird die negative Zahl wie folgt gewonnen

$$\bar{A} = 2^n - 1 - A \quad . \quad (7.5)$$

Um aus einer positiven Zahl eine negative Zahl zu bilden, braucht man nur für jede Stelle 0 und 1 zu vertauschen (Stellenkomplement, zum Beispiel $5 = 0101$ und $-5 = 1010$). Auch dieses Format hat zwei Darstellungen für die Null (0000 und 1111). Den Wert einer Einerkomplementzahl erhält man mit folgender Gleichung

$$x = -x_{n-1} \cdot (2^{n-1} - 1) + \sum_{i=0}^{n-2} x_i \cdot 2^i \quad (7.6)$$

x_{n-1} Vorzeichenstelle: 0 oder 1 .

Am häufigsten wird die Zweierkomplement-Darstellung (K2-Zahlen) eingesetzt. Das Bildungsgesetz lautet wegen Gleichung 7.5

$$\bar{A} = 2^n - A \quad . \quad (7.7)$$

Ausgehend von der entsprechenden positiven Zahl, bildet man zunächst das Einerkomplement und addiert eine 1. Zum Beispiel ergibt sich eine -5 in der Zweierkomplement-Darstellung wie folgt

$$-5 = \overline{0101}_2 + 1_2 = 1010_2 + 1_2 = 1011_2 \quad . \quad (7.8)$$

In dieser Konvention ist die Darstellung der Null eindeutig, was ein großer Vorteil ist. Der Wert einer Zweierkomplementzahl errechnet sich wie folgt

$$x = -x_{n-1} \cdot 2^{n-1} + \sum_{i=0}^{n-2} x_i \cdot 2^i \quad . \quad (7.9)$$

In der Zweierkomplement-Darstellung lässt sich die Subtraktion leicht auf eine Addition zurückführen. Der Subtrahend wird in eine negative Zweierkomplementzahl umgewandelt und dann zum Minuenden addiert. Zu beachten ist, dass die Wortbreiten von Minuend und Subtrahend auf die Ergebniswortbreite gebracht werden müssen. Hierzu füllt man die höherwertigen Stellen mit dem Vorzeichenbit, entweder 0 bei positiven Zahlen oder 1 bei negativen Zahlen, auf. Man nennt dies Vorzeichen-erweiterung. Stehen jeweils n Bits zur Verfügung werden eventuelle Überträge bei der Addition in die Stelle 2^n unterdrückt.

Der darstellbare Wertebereich ist durch die Wortlänge n festgelegt. In allen drei Notierungen ist die oberste Grenze gleich $011\dots 11$ (positive Zahl). Damit gibt

$2^{n-1} - 1$ die größte mit n Bit darstellbare Zahl an (32 Bit-Rechner $2^{31} - 1 \approx 10^{11}$). Für den Wert V der kleinsten Zahl ergibt sich für alle drei Konventionen $V > -(2^{n-1} - 1)$. Überlauf tritt auf, wenn eine positive Zahl den zulässigen Wertebereich überschreitet. Man spricht von Unterlauf, wenn eine Zahl die untere Grenze durchbricht. Überlauf und Unterlauf erkennt man daran, dass beim höchstwertigen Bit das höchstwertige Übertragsbit (einlaufendes Bit) und das Endübertragsbit (auslaufender Übertrag) unterschiedlich sind. Wenn nachfolgend von einer Zweierkomplementzahl gesprochen wird, wird davon ausgegangen, dass das höchstwertige Bit eine Vorzeichenstelle mit negativen Gewicht (-2^{n-1}) ist. Eine positive n -stellige Zahl ohne Vorzeichenstelle wird als Dualzahl bezeichnet.

Neben der binären Festkommazahl gibt es noch andere Zahlensysteme, wie zum Beispiel redundante Zahlensysteme. Redundante Zahlensysteme sind für von Hand ausgeführte Rechnungen nicht üblich. Für die Konstruktion von sehr schnellen Arithmetikmaschinen sind sie jedoch nützlich. Man kann jede Stelle einer Zahl mit mehr als ein Bit ausfüllen, zum Beispiel durch ein zusätzliches Vorzeichenbit. Dies wird eine Signed-Digit-(SD)-Zahlendarstellung genannt. Der Gewinn an Verarbeitungsgeschwindigkeit beruht darauf, dass die Wirkung von Übertragsbits auf eine oder zwei Stellen begrenzt ist. Die Carry-Save Arithmetik arbeitet ebenfalls mit einer redundanten Zahlendarstellung (siehe Kapitel 7.1.8). Restklassen-Zahlensysteme wurden bisher in Prozessoren noch nicht angewendet.

In den nächsten Abschnitten werden zunächst Addierer- und Subtrahierschaltungen besprochen. Begonnen wird mit einer Grundschaltung – dem Volladdierer.

7.1 Addierer und Subtrahierer

7.1.1 Volladdierer

Ein Volladdierer bildet die Grundzelle für fast alle arithmetischen Einheiten. Für den Entwurf eines Rechenwerkes würde man in der Praxis zuerst klären nach welchen Prinzipien das gesamte Rechenwerk aufgebaut sein sollte, bevor man sich den schaltungstechnischen Problemen der Grundzelle zu wenden würde. Aus der Spezifikation des gesamten Rechenwerkes leitet man die Anforderungen an die Grundzelle ab. Aus didaktischen Gründen wird von dieser Vorgehensweise abgewichen. In der Literatur findet man eine Vielzahl von Volladdierertypen [180]. Darin zeigt sich die besondere Bedeutung, die dieser Schaltung zukommt. Hier können nur einige wenige Typen, die sich bereits bewährt haben, näher erläutert werden. Im nächsten Schritt werden nun die gebräuchlichsten schaltungstechnische Realisierungen von Volladdierern behandelt.

Zunächst ist festzustellen, dass die Addition von zwei Dualzahlen genauso erfolgen kann, wie eine von Hand ausgeführte Addition. Wie es in Bild 7.1 dargestellt ist, werden zunächst die Bits der niedrigstwertigen Stelle addiert. Man erhält ein Summenbit S_0 und ein Übertragsbit C_1 für die nächsthöhere Stelle. Dieser Vorgang

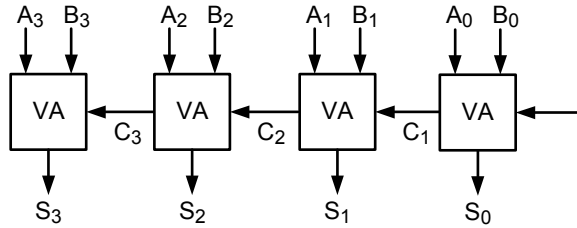


Bild 7.1 Blockschaltbild eines Vier-Bit-Ripple-Carry-Addierers.

wird von Stelle zu Stelle weitergereicht. Man spricht von einem „Ripple-Carry“-Addierer. Bei der Paralleladdition von zwei n -stelligen Wörtern wird pro Stelle ein Volladdierer eingesetzt.

Die Wahrheitstabelle eines Volladdierers zeigt Tabelle 7.1. Ein Volladdierer bildet aus drei eingehenden Bits, A_i und B_i und das einlaufende Übertragsbit C_i von der vorhergehenden Stelle, zwei ausgehende Bits, nämlich das Summenbit S_i und das auslaufende Übertragsbit (Carry-Bit) C_{i+1} für die nächst höherwertige Stelle. Die Wertetabelle 7.1 enthält zusätzlich drei Hilfsgrößen, die Variablen Propagate P_i , Kill K_i und das Generate-Signal G_i , deren Nützlichkeit später deutlich wird.

Tabelle 7.1 Wertetabelle eines Volladdierers mit den Hilfsvariablen K_i , P_i und G_i .

A_i	B_i	C_i	C_{i+1}	S_i	P_i	G_i	K_i
0	0	0	0	0	0	0	1
0	1	0	0	1	1	0	0
1	0	0	0	1	1	0	0
1	1	0	1	0	0	1	0
0	0	0	0	1	0	0	1
0	1	1	1	0	1	0	0
1	0	1	1	0	1	0	0
1	1	1	1	1	0	1	0

- Antisymmetrielinie

Aus der Wertetabelle ergeben sich folgende Boole'sche Gleichungen

$$P_i = A_i \oplus B_i = A_i \cdot \overline{B_i} + \overline{A_i} \cdot B_i \quad (7.10)$$

$$G_i = A_i \cdot B_i \quad (7.11a)$$

$$K_i = \overline{A_i} \cdot \overline{B_i} \quad (7.11b)$$

$$S_i = P_i \oplus C_i = A_i \oplus B_i \oplus C_i = P_i \cdot \overline{C_i} + \overline{P_i} \cdot C_i \quad (7.12)$$

$$C_{i+1} = G_i + P_i \cdot C_i = G_i + (A_i \oplus B_i) \cdot C_i \quad (7.13)$$

Das Propagate-Signal erhält man mittels der logischen Antivalenz-Funktion (EX-OR-Funktion). Der Wertetabelle 7.1 können noch folgende Zusammenhänge ent-

nommen werden. Wenn $P_i = 1$, dann ist $G_i = 0$. Das einlaufende Carry-Signal C_i wird an die nächst höhere Stelle weitergeleitet, da $G_i = 0$. Von dieser Eigenschaft leitet sich auch die Bezeichnung „Propagate“ P ab. Die Bezeichnung „Generate“ rührt daher, dass für $A_i = B_i = 1$ ein neues Übertragungssignal C_{i+1} generiert wird. Umgekehrt, für $A_i = B_i = 0$ wird kein Übertragungssignal an die nächst höhere Stelle abgegeben, das einlaufende Übertragsbit C_i wird absorbiert (Kill $K_i = 1$)).

In der Literatur wird manchmal beschrieben, wie ein Volladdierer aus zwei Halbaddierern und einem OR-Gatter aufgebaut werden kann. Ein Halbaddierer hat zwei Eingänge A und B und liefert zwei Ausgänge; nämlich die EXOR-Verknüpfung von A und B sowie $A \cdot B$. So bestimmt der erste Halbaddierer das Propagate- P_i und das Generate-Signal G_i . Der zweite Halbaddierer berechnet das Summensignal S_i sowie $P_i \cdot C_i$. Schließlich wird entsprechend Gleichung 7.13 aus den gewonnenen Signalen $P_i \cdot C_i$ und G_i mittels einer OR-Verknüpfung das Übertragungssignal C_{i+1} gebildet.

Invertiert man alle Eingänge eines Volladdierers, erhält man auch die invertierten Ausgänge. Diese Eigenschaft lässt sich wie folgt ausdrücken

$$\overline{S_i}(A_i, B_i, C_i) = S_i(\overline{A_i}, \overline{B_i}, \overline{C_i}) \quad (7.14)$$

$$\overline{C_{i+1}}(A_i, B_i, C_i) = C_{i+1}(\overline{A_i}, \overline{B_i}, \overline{C_i}) \quad . \quad (7.15)$$

Zunächst werden Volladdierer besprochen, die der statischen CMOS-Logik entsprechen. Man muss also die logischen Gleichungen 7.10–7.13 zunächst in Logikpläne und dann in Schaltpläne umsetzen. Die statische CMOS-Logik weist nur negierenden Gatter auf. Die Gleichungen müssen also entsprechend umgeformt werden. Die geforderte Umwandlung gelingt für die EXOR-Funktion, beziehungsweise für die EXNOR-Funktion

$$P_i = \overline{A_i + B_i + A_i \cdot B_i} \quad (7.16)$$

$$\overline{P_i} = \overline{(A_i + B_i) \cdot \overline{A_i} \cdot \overline{B_i}} = A_i \cdot B_i + \overline{A_i} \cdot \overline{B_i} \quad . \quad (7.17)$$

Aber nicht für die Funktion zur Bildung des Übertragsbits C_{i+1} . In diesen Signalpfad muss ein Inverter eingesetzt werden. Ein möglicher Logikplan für einen Volladdierer in CMOS-Logik ist in Bild 7.2 dargestellt. Das dazugehörige Schaltbild auf Transistorebene enthält Bild 7.3. Zunächst wird aus A_i und B_i nach Gleichung 7.15 $\overline{P_i}$ gebildet. Zur Erzeugung des Summensignals S_i aus $\overline{P_i}$ und C_i wird die gleiche Struktur, wie für die Bildung von $\overline{P_i}$, eingesetzt (siehe Bild 7.2). Insofern wird die Erstellung des Layouts erleichtert. Es gilt

$$S_i = \overline{(\overline{P_i} + C_i) \cdot (\overline{C_i} \cdot \overline{P_i})} = P_i \cdot \overline{C_i} + C_i \cdot \overline{P_i} \quad (7.18)$$

$$C_{i+1} = \overline{(\overline{C_i} + \overline{P_i}) \cdot (\overline{A_i} \cdot \overline{B_i})} = A_i \cdot B_i + P_i \cdot C_i \quad . \quad (7.19)$$

Dieser Volladdierer, der auf der Umsetzung der logischen Gleichungen in statischen CMOS-Gattern basiert, enthält 28 Transistoren (siehe Bild 7.3). Würde man auf Mischgatter verzichten und zum Beispiel nur NOR-Gatter einsetzen, bräuhete man 54 Transistoren. Zur Bildung des Carry-Signals C_{i+1} werden drei Gatterlauf-

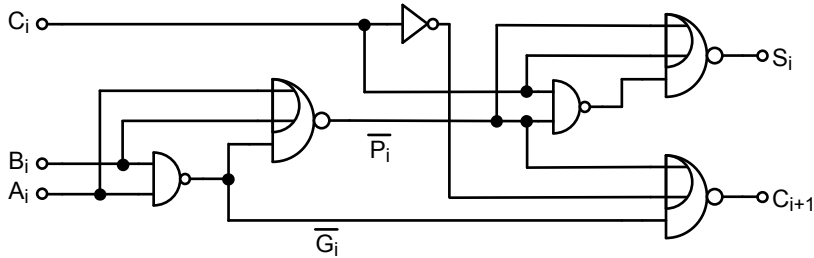


Bild 7.2 Logikplan des komplementären Volladdierers.

zeiten benötigt, während die Bildung des Summensignals vier Gatterlaufzeiten beansprucht. Die elektrischen Eigenschaften dieses Volladdierertyps werden später bei einem Vergleich der besprochenen Volladdierertypen angegeben.

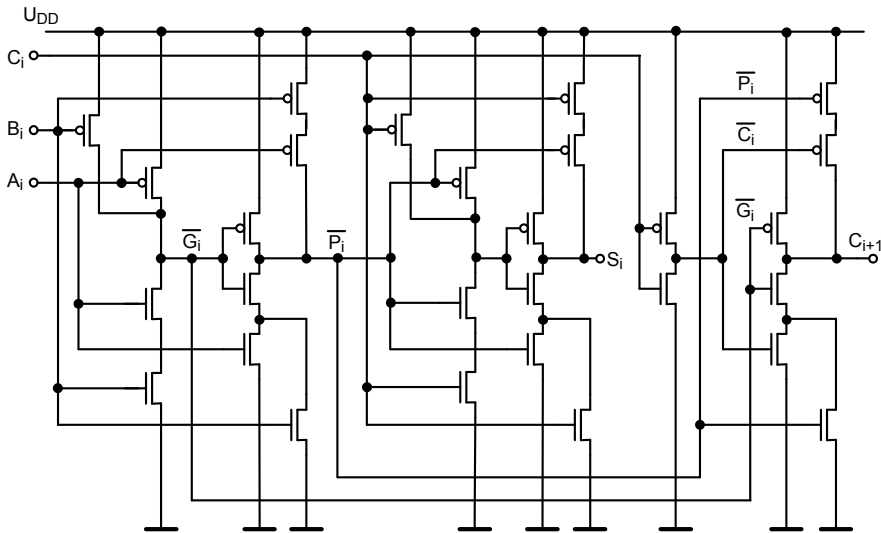


Bild 7.3 Schaltplan des komplementären Volladdierers.

Zu einer sehr regelmäßigen Struktur gelangt man, wenn man eine Besonderheit, die die Wertetabelle eines Volladdierers enthält, ausnutzt. Die Zeilen der Wertetabelle, ohne die Hilfsvariablen K_i , P_i und G_i , sind, wie die Tabelle 7.1 zeigt, oberhalb und unterhalb einer Antisymmetrielinie zueinander komplementär. Zum Beispiel erhält man die Werte für die Zeile direkt oberhalb der Antisymmetrielinie durch Invertieren der Werte der Zeile, die direkt unterhalb der Linie liegt. Diese Eigenschaft hat wichtige Folgen für die Struktur des Volladdierers.

N- und p-Kanal-Transistoren sind zueinander komplementär. Deswegen müssen üblicherweise in der statischen CMOS-Logik die Strukturen im Pull-Up-Pfad, die

mit p-Kanal-Transistoren gebildet werden, und die Strukturen im Pull-Down-Pfad, die nur n-Kanal-Transistoren enthalten, zueinander dual sein. Das heißt eine Serienschaltung von Transistoren in einem Pull-Down-Pfad entspricht der Parallelschaltung in einem Pull-Up-Pfad. Nun zeigt bereits die Wertetabelle eine komplementäre Struktur. Deswegen kann das Transistorschaltbild vollständig symmetrisch bezüglich der Strukturen in den Pull-Up- und Pull-Down-Pfaden ausgelegt werden (siehe Bild 7.5) [160]. Es stellt sich aber die Frage nach der geeigneten Struktur.

Zur Erinnerung wird an dieser Stelle Gleichung 7.13 in anderer Form wiederholt

$$C_{i+1} = A_i \cdot B_i + (A_i + B_i) \cdot C_i \quad . \quad (7.20)$$

Die Gleichung 7.12 kann in die folgende Form gebracht werden

$$S_i = A_i \cdot B_i \cdot C_i + (A_i + B_i + C_i) \cdot \overline{C_{i+1}} \quad . \quad (7.21a)$$

Zum Beweis muss man zeigen, dass die beiden Gleichungen 7.12 und 7.21a mittels Gleichung 7.20 in die Gleichung 7.21b überführt werden können

$$S_i = A_i \cdot B_i \cdot C_i + \overline{A_i} \cdot \overline{B_i} \cdot C_i + \overline{A_i} \cdot B_i \cdot \overline{C_i} + A_i \cdot \overline{B_i} \cdot \overline{C_i} \quad . \quad (7.21b)$$

Legt man die statische CMOS-Logik zu Grunde, führen Gleichungen 7.21a und 7.20

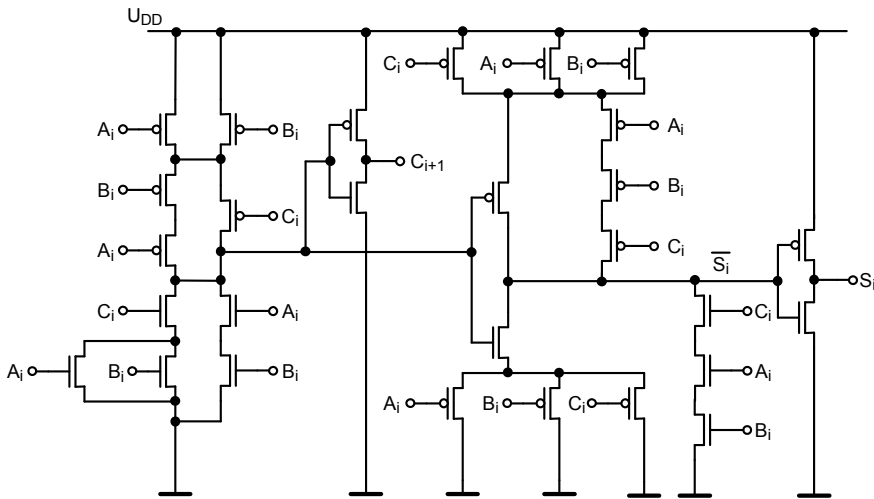


Bild 7.4 Schaltplan für einen Volladdierer nach den Gleichungen 7.20 und 7.21a.

zum Schaltplan nach Bild 7.4. Bei genauerer Betrachtung dieses Addierers erkennt man, dass im Pull-Up-Pfad des ersten Mischgatters die Serienschaltung der Transistoren, deren Gates an B_i und A_i liegen, direkt mit U_{DD} verbunden werden kann. Dies gilt genauso für die Serienschaltung der drei Transistoren, deren Gates mit A_i , B_i und C_i verbunden sind, im Pull-Up-Pfad des zweiten Mischgatters, das das

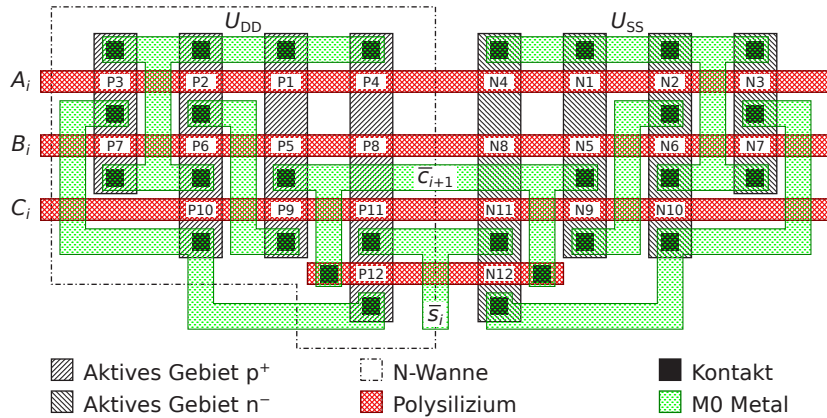


Bild 7.6a Layout des symmetrischen Volladdierers.

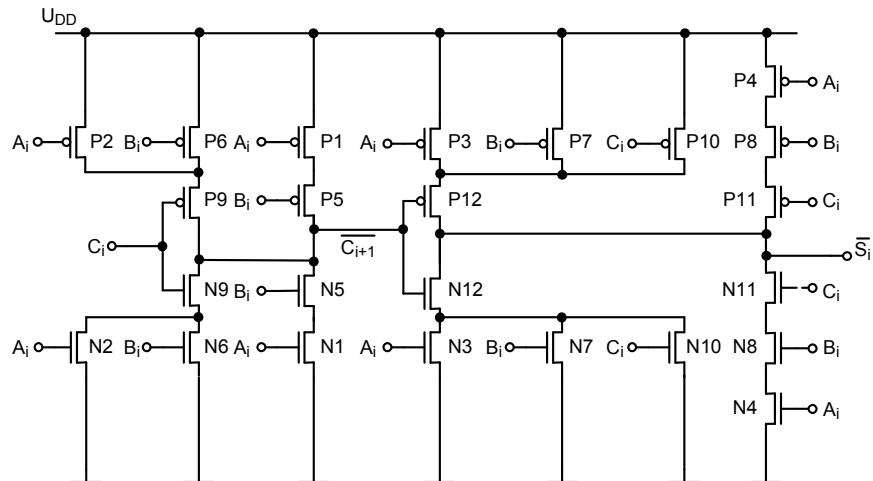


Bild 7.6b Schaltplan des symmetrischen Addierers mit Bezeichnungen der einzelnen Transistoren. Dies erleichtert das Verständnis des Layouts.

In Bild 7.6b wird der Schaltplan des symmetrischen Addierers nochmals gezeigt. Aber nun sind die einzelnen Transistoren gekennzeichnet. Da das Layout auch diese Markierungen enthält, wird es leichter die Strukturen des Volladdierers im Layout zu erkennen. Wieder haben die unteren Lagen, das sind die aktiven Gebiete und die Leiterbahnen aus Polysilizium einfache, reguläre und rechteckförmige Strukturen, die nur in eine Richtung weisen. Somit werden die photolithographischen Prozesse bei der Herstellung vereinfacht. Vertikal verlaufen acht aktive Gebiete. Je vier für n- und für p-Kanal-Transistoren. Die Polysiliziumbahnen sind waagrecht ausgeführt. Bei jedem Schnittpunkt mit einem aktiven Gebiet entsteht ein Transistor, also pro Polysiliziumbahn bis zu acht Transistoren.

Die Serienschaltung von drei Transistoren im Pull-Up-Pfad (P11, P8 und P4) und im Pull-Down-Pfad (N11, N8 und N4) sind markante Stellen im Layout. Diese Transistoren befinden sich links und rechts von der Mitte. Nach unten schließen sich die Transistoren P12 und N12 an, deren Gates mit $\overline{C_{i+1}}$ verbunden sind. Die Source-Anschlüsse von P12 und N12 sind mit Parallelschaltungen von drei Transistoren (P3, P7 und P10 beziehungsweise N3, N7 und N10) verknüpft. Diese Transistoren befinden sich am linken oder rechten Rand. Die Drain-Anschlüsse von P12 und N12 sind kurzgeschlossen und ergeben das Ausgangssignal $\overline{S_i}$.

Nun muss man noch die Strukturen im Layout finden, die das Übertragungssignal C_{i+1} für die nächste Stufe generieren. Auffallend sind die Serienschaltungen der Transistoren P1 und P5, beziehungsweise N1 und N5. Diese Transistoren befinden sich im dritten und sechsten aktiven Gebiet. Die Gates von P1 und N1, genauso wie die Gates von P2 und N2, sind mit A_i verbunden. Im siebten aktiven Gebiet befinden sich die parallel geschalteten Transistoren N2 und N6. Im zweiten aktiven Gebiet findet man P2 und P6. Schließlich braucht man noch die Transistoren P9 und N9, die unterhalb von N5 beziehungsweise P5 angebracht sind. Die Drain-Gebiete von P9 und N9 sind mit $\overline{C_{i+1}}$ verknüpft.

In dem Kapitel über die Strukturverkleinerung (Kapitel 2.1.4) wurde abgeleitet, wie sich die elektrischen Eigenschaften von integrierten Schaltungen in Abhängigkeit von dem Strukturverkleinerungsfaktor $S \approx 1,3$ von Technologieknoten zu Technologieknoten ändern. Einige Trends in der Mikroelektronik in Abhängigkeit von der Strukturfeinheit beziehungsweise vom Technologieknoten wurden in Kapitel 2.1.11 dargestellt. Nun soll anhand des symmetrischen Volladdierers die Aussagen in diesen Kapiteln überprüft werden. Hierzu wird eine Kette von symmetrischen Volladdierern verwendet. Nach jedem zweiten Volladdierer ist ein Register eingefügt, so dass neue Daten an den Eingang der Kette gelegt werden können, wenn die vorhergehenden Daten im ersten Register gespeichert sind (Pipelining, siehe Kapitel 7.3.2). Die Volladdierer wurden in allen Technologien derart dimensioniert, dass minimale Gatterlaufzeiten erreicht wurden.

Laut den Regeln für die Strukturverkleinerung bei konstanten elektrischen Feldstärken sollte jede geometrische Größe von Technologieknoten zu Technologieknoten jeweils um den Verkleinerungsfaktor $1/S$ ($S \approx 1,3$) abnehmen. Das heißt die Fläche sollte um $1/S^2$ kleiner werden, was Bild 7.6c im Wesentlichen bestätigt. Ab dem 90 nm-Technologieknoten zeigt sich eine Besonderheit des symmetrischen Volladdierers. Die Fläche des Volladdierers wird von dem zulässigen Abstand von Kontaktloch zu Wannenrand beeinflusst. In den untersuchten Technologien nahm dieser Abstand nicht entsprechend mit $1/S$ ab. Das Resultat ist eine größere Addierfläche als erwartet.

Die nachfolgenden Ergebnisse wurden mittels Simulationen mit realistischen SPICE-Parametersätzen für Technologieknoten zwischen 800 nm und 45 nm durchgeführt. Bild 7.6d zeigt die simulierte Summenlaufzeit τ eines symmetrischen Volladdierers in Abhängigkeit vom Technologieknoten. Entsprechend Tabelle 2.1 sollte τ linear von $1/S$ abhängen, was in etwa auch in einem Bereich von 800 nm bis 130 nm mit den simulierten Werten übereinstimmt. Die Abweichung zwischen der

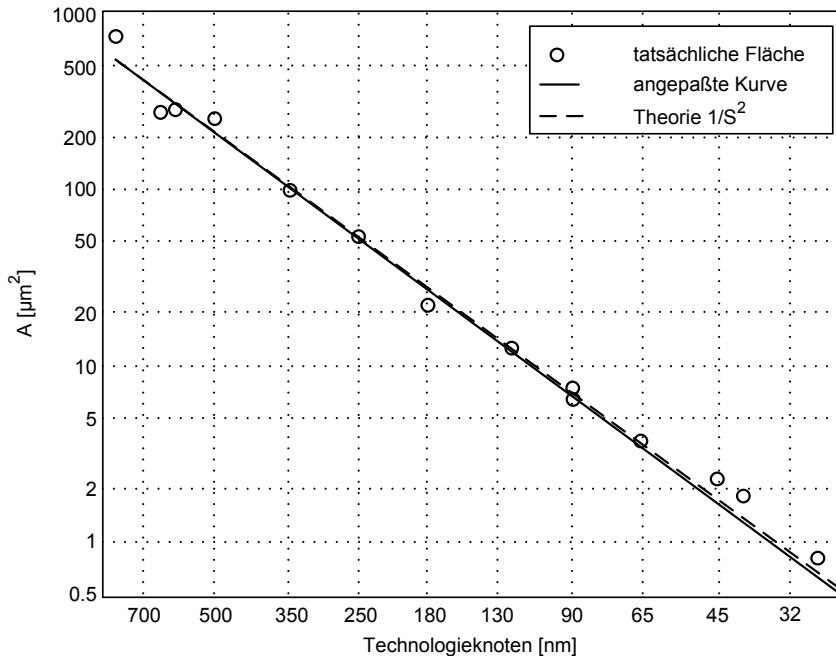


Bild 7.6c Fläche eines symmetrischen Volladdierers in Abhängigkeit vom Technologieknoten. Durchgezogen: mittels aus Layouts gewonnenen Werten gefittete Kurve. Strichliert: theoretische Kurve, die eine quadratische Abnahme vorhersagt.

mittels den Simulationsergebnissen gewonnenen Kurve (durchgezogen gezeichnet) und der theoretischen Kurve (strichliert) ist gering.

Ab dem 90 nm-Technologieknoten ergibt sich eine Diskrepanz. Die Versorgungsspannung wurde eher konstant gehalten. Die in Bild 7.6d gezeigten Simulationsergebnisse für Strukturfeinheiten von 90 nm bis 45 nm wurden für HP-Transistoren mit üblichen Einsatzspannungen (Standard U_T -Werten) ermittelt.

Schließlich zeigt Bild 7.6e die Energie pro Schaltvorgang. Diese Energie errechnet sich nach Gleichung 4.73 wie folgt: $E = C_L \cdot U_{DD}^2$. Laut Tabelle 2.1 müsste die Energie also mit $1/S^3$ abnehmen. Wie Bild 7.6e entnommen werden kann, besteht zwischen der theoretischen und der gefitteten Kurve eine Diskrepanz. Zwischen 800 nm und 130 nm nimmt die Schaltenergie mit $1/S^{2,7}$ ab. Wieder sieht man die bereits vorher erwähnte Diskrepanz ab 90 nm, so dass die Abnahme jenseits des 90 nm-Technologieknotens nur noch $1/S^{1,5}$ beträgt.

Ein weiterer Addiertyp, der ebenfalls auf der statischen CMOS-Logik beruht, ist im Hinblick auf minimale Gatterlaufzeit optimiert. Die EXOR-Funktionen zur Bildung der Variablen P_i und S_i benötigen Eingangsvariable in invertierter und in nicht-invertierter Form. Die Gatterlaufzeit kann verkürzt werden, wenn in einem „Ripple-Carry“-Addierer die benötigten Variablen parallel in beiden Formen berechnet werden. Somit werden zwei EXOR-Gatter eingesetzt um parallel P_i und $\overline{P_i}$

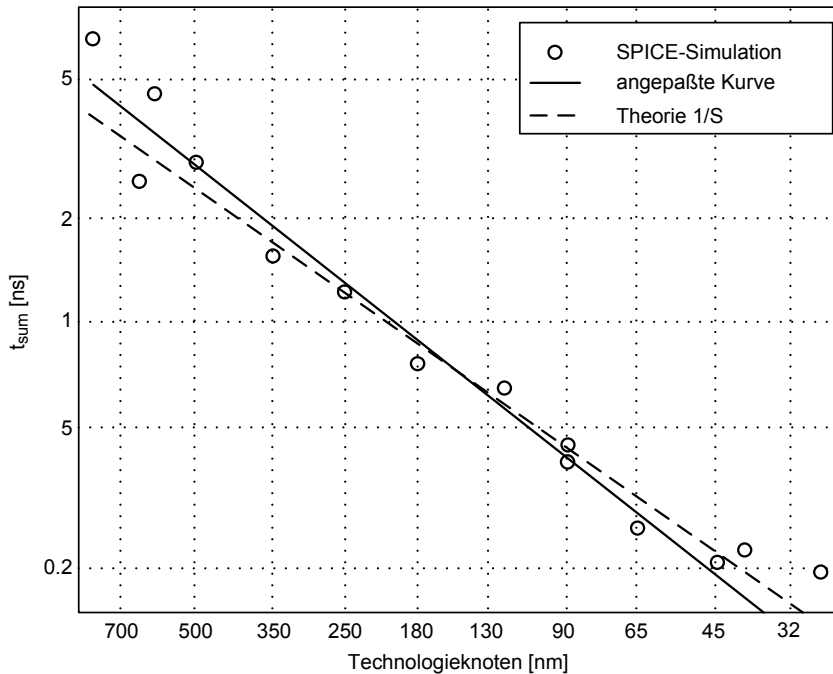


Bild 7.6d Summenlaufzeit eines symmetrischen Volladdierers in Abhängigkeit vom Technologieknoten. Durchgezogen: mittels der Simulationsergebnisse angepasste Kurve. Strichliert: theoretische Kurve.

zu berechnen. Das Gleiche gilt für die Bildung von S_i und C_{i+1} . Die beiden Formen von S_i werden gebraucht, wenn mehr als zwei Datenwörter addiert werden sollen.

Weil Gatter für die Hilfsvariable P_i benötigt werden, kann man nicht die Antisymmetrie der Wertetabelle des Volladdierers nutzen. Aber da die logischen Variablen immer in beiden Formen vorliegen, gelingt es trotzdem wieder die Transistoren in den Pull-Down- und in den Pull-Up-Pfaden symmetrisch anzuordnen. Anhand einer EXNOR-Gatter wird dies exemplarisch gezeigt (siehe Bild 7.7). Um die Symmetrie zu wahren, werden die Mischgatter für die Bildung des Übertragungssignals C_{i+1} des symmetrischen Volladdierers auch hier verwendet. Das Schaltbild des „geschwindigkeitsoptimierten Addierers“ stellt Bild 7.8 dar. Dieser Addierertyp enthält 56 Transistoren.

Das EXNOR-Gatter nach Bild 7.7 ist ein Vertreter einer besonderen Logikfamilie, die „Branch-Based-Logik“ genannt wird [159]. Der Vorteil dieser Logikfamilie beruht darauf, dass in den Pull-Up- und Pull-Down-Pfaden die Transistoren nur in Serie geschaltet sind. Somit werden, außer an dem gemeinsamen Ausgangsknoten, Querverbindungen, die zusätzliche interne parasitäre Kapazitäten bedingen, vermieden. Dadurch erzielt man auch sehr einfache Layouts, die den Anforderungen der modernen Photolithographie entsprechen. Darüber hinaus gelingt es oft eine zwei-

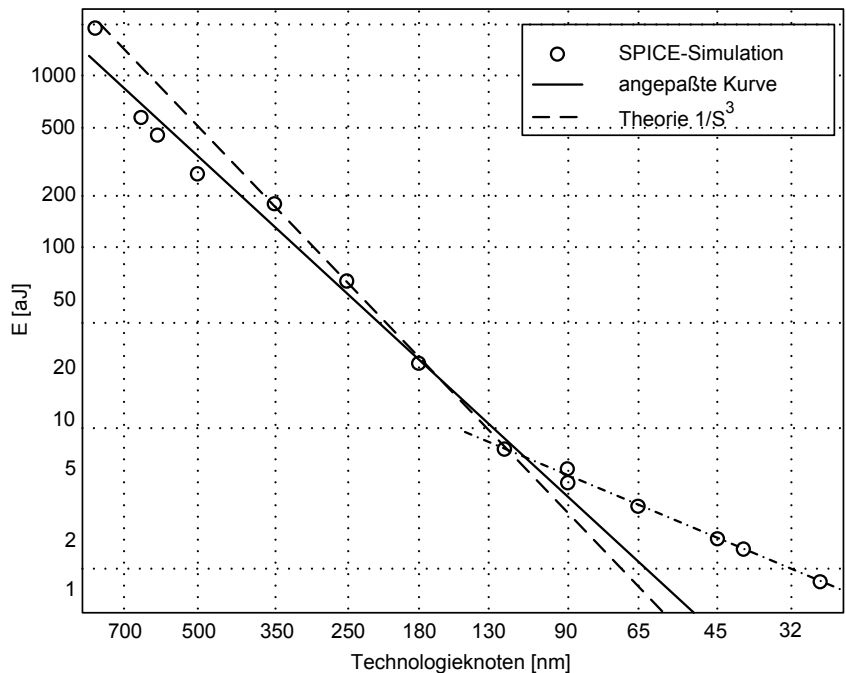


Bild 7.6e Energie pro Schaltvorgang eines symmetrischen Volladdierers in Abhängigkeit vom Technologieknott. Durchgezogen: mittels der Simulationsergebnisse angepasste Kurve. Strichliert: theoretische Kurve. Strichpunktirt: Simulationsergebnisse jenseits des 90 nm-Technologieknotts.

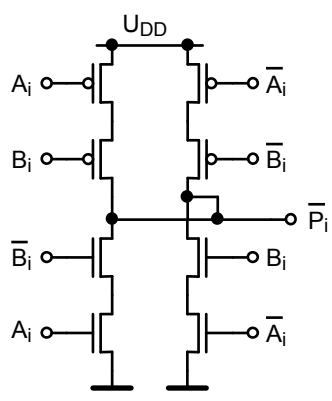


Bild 7.7 Symmetrisches EXNOR-Gatter („Branch-Based-Logik“).

stufige statische CMOS-Logik in eine einstufige „Branch-Based-Logik“ zu transformieren.

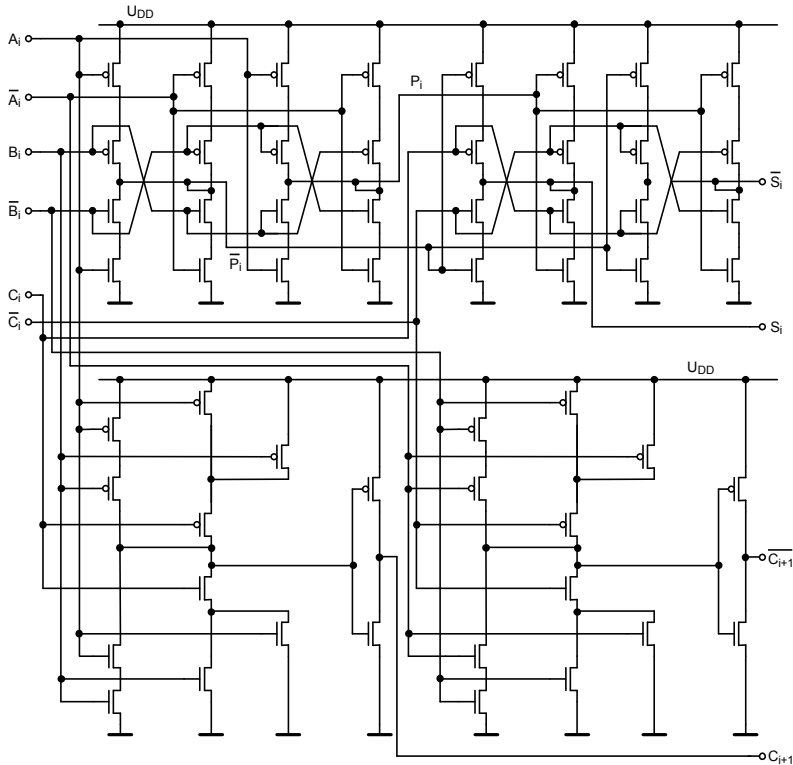


Bild 7.8 Schaltplan des „geschwindigkeitsoptimierten Volladdierers“.

Natürlich können die Volladdierer auch mit den anderen in Kapitel 4.8 angegebenen Logikfamilien realisiert werden. Zum Beispiel zeigt Bild 7.9 einen Volladdierer in DCVSL (Differential-Cascode-Voltage-Switch-Logic). Das Summensignal wird entsprechend der Gleichung 7.21b gebildet. Um die Vorgänge zu beschleunigen werden wieder sowohl die invertierten wie auch die nicht-invertierten Signale generiert. Aus den linken Signalpfaden zur Bestimmung des Übertragsbits erhält man ohne Berücksichtigung der Negation

$$\begin{aligned} A_i \cdot \overline{B_i} \cdot C_i + A_i \cdot B_i \cdot \overline{C_i} + B_i \cdot C_i &= A_i \cdot B_i \cdot \overline{C_i} + C_i \cdot (B_i + A_i \cdot \overline{B_i}) \\ &= G_i \cdot \overline{C_i} + C_i \cdot (A_i + B_i) = C_{i+1} \end{aligned} \quad (7.21c)$$

Eine interessante Variante erzielt man mit der dynamischen Logikfamilie. Bild 7.10 zeigt einen Volladdierer nach dem NORA-Prinzip, der für die Bildung der Summe und für die Berechnung des Übertragssignals C_{i+1} die entsprechenden Strukturen des symmetrischen Volladdierers verwendet. Dieser Volladdierertyp be-

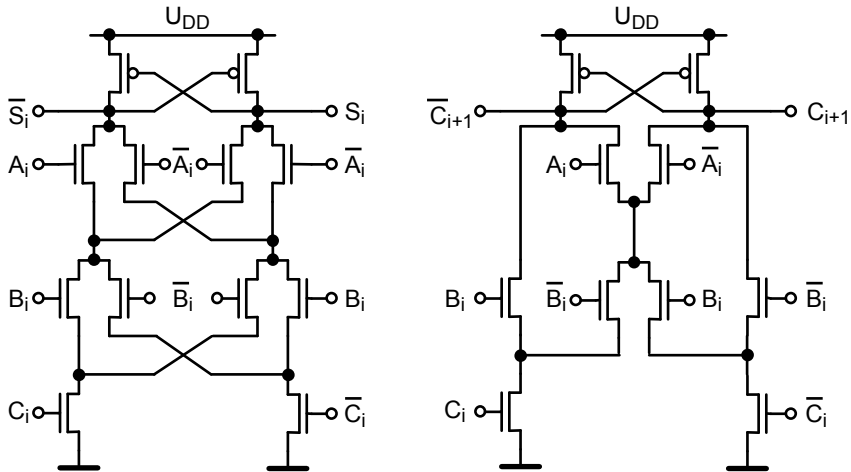


Bild 7.9 Volladdierer in DCVSL.

nötigt ohne die Inverter 16 Transistoren. Im Vergleich zum komplementären Volladdierer ist die Gatterlaufzeit, das heißt die zeitkritische Laufzeit für das Summensignal, um 22% besser, die Verlustleistung beträgt aber etwa das zehnfache des komplementären Volladdierers [180]. Der DCVSL-Volladdierer ist im Vergleich zum NORA-Volladdierer um den Faktor 1,53 langsamer und im Vergleich zum komplementären Volladdierer um den Faktor 1,21 langsamer. Die durchschnittliche Verlustleistung des DCVSL-Volladdierers ist im Vergleich mit dem NORA-Volladdierer um den Faktor 8,17 niedriger und im Vergleich zum komplementären Volladdierer um den Faktor 1,18 größer. Wenn es nicht auf die allergrößte Rechengeschwindigkeit ankommt, sind die drei Volladdierertypen, die auf der statischen CMOS-Logik basieren, dominierend. Es fehlt noch der Vergleich zwischen diesen Volladdierertypen. Bevor dieser Vergleich durchgeführt werden kann, wird noch ein Gütemaß, das den Vergleich erleichtert, definiert.

7.1.2 Gütemaß für den Vergleich von arithmetischen Einheiten

In Ergänzung zu Kapitel 4.4.1 wird in diesem Kapitel ein Gütemaß definiert, das zum Vergleich verschiedener Schaltungen, die für eine bestimmte arithmetische Aufgabe ausgelegt sind, geeignet ist. Es wird davon ausgegangen, dass am Eingang der Verarbeitungseinheit die Daten mit der Taktfrequenz f_T angelegt werden. Weiter wird angenommen, dass die Verarbeitungseinheit im Realzeitbetrieb arbeitet, das heißt, in dem Rhythmus in dem die Daten am Eingang angelegt werden, müssen sie auch in der Verarbeitungseinheit weitergereicht und verarbeitet werden. Die Durchsatzrate ist dann wie folgt definiert

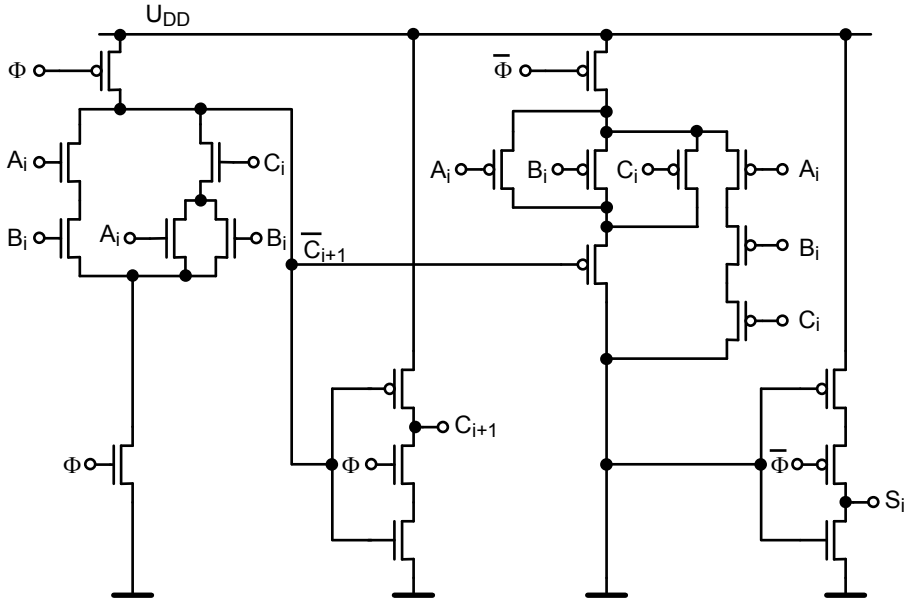


Bild 7.10 „NORA“- (dynamischer) Volladdierer.

$$D = f_T = \frac{1}{T_T} \quad . \quad (7.22)$$

Als Latenzzeit τ der betrachteten Einheit wird die Zeit definiert, die vom Auftreten eines bestimmten Eingangswertes $x(t)$ bis zum Erscheinen des zugehörigen Ausgangswortes $y = f(x(t))$ vergeht. Damit gilt

$$y(t) = f(x(t - \tau)) \quad . \quad (7.23)$$

Nach [160, 49] wird die Effizienz η einer Schaltungsarchitektur für die Operation $y = f(x)$, die eine Funktionalität F bedingt, wie folgt definiert

$$\eta = \frac{F \cdot D}{A} \quad (7.24)$$

A benötigte Chipfläche
 F Funktionalität
 D Durchsatzrate.

Für die Bestimmung der benötigten Chipfläche A verwendet man günstigerweise normierte Größen, zum Beispiel Volladdiererfläche $A_{VA} = 1$, Registerfläche $A_R = 0,3$ usw. Mit der Zahl der benötigten Elemente (zum Beispiel n_{VA} , n_R) erhält man für die normierte Fläche

$$A = n_{VA} \cdot A_{VA} + n_R \cdot A_R \quad . \quad (7.25)$$

Die Bestimmung der Funktionalität einer vorgegebenen Operation $y = f(x)$ soll anhand von Multiplikationen erläutert werden. Sollen M Multiplikationen mit der Multiplikatorwortbreite n und der Multiplikandenwortbreite m ausgeführt werden, so ergibt sich für $F = M \cdot n \cdot m$. Bei n Additionen von Wörtern der Wortbreite m mit einem „Ripple-Carry“-Addierer, erhält man $F = (n - 1) \cdot m$. Soll ein Vergleich zwischen unterschiedlichen Realisierungen für die gleiche Aufgabe durchgeführt werden, ist F als eine Konstante zu betrachten.

In Gleichung 7.24 fehlt die Verlustleistung, die ein wichtiges Gütekriterium darstellt. Die Verlustleistung müsste im Nenner erscheinen, da im Nenner die Größen stehen, die den notwendigen Aufwand für die gewünschte Funktionalität und der geforderten Durchsatzrate beschreiben. Es bietet sich an, den Ausdruck für die gesamte Verlustleistung P_{tot} nach Gleichung 4.76 zu verwenden. Allerdings ist der dynamische Anteil der gesamten Verlustleistung proportional zur Taktfrequenz. Somit würde, wenn die dynamische Verlustleistung dominierend wäre, die Taktfrequenz und damit die Durchsatzrate aus der Gleichung 7.24 eliminiert werden, was nicht zulässig ist. Um dies zu verhindern, wird P_{tot}/f_T im Nenner hinzugefügt. Aus Gleichung 4.76 folgt, wenn man die Verlustleistung P_{SC} aufgrund von der Querströme während den Ladevorgängen vernachlässigt,

$$P_{\text{tot}}/f_T = \alpha \cdot C_L \cdot U_{\text{DD}}^2 + P_{\text{DC}}/f_T \quad . \quad (7.26)$$

Unter C_L werden alle Lastkapazitäten zusammengefasst, die gleichzeitig schalten. Somit ist C_L proportional zur benötigten Chipfläche. Das Gütemaß ist damit umgekehrt proportional zum Quadrat der benötigten Fläche. P_{DC} errechnet sich aus dem durchschnittlichen Leckstrom für die gesamte Verarbeitungseinheit.

Nun soll die betrachtete Verarbeitungseinheit keine Register oder Latches enthalten. Die Gatterlaufzeit t_p der verbleibenden kombinatorischen Logik, muss für die höchstmögliche Schaltaktivität von α ausgelegt werden, da die Frequenz f_{Sig} der Eingangssignale variieren kann. Wird Gleichung 7.26 mit $\tau = 1/f_T$ in Gleichung 7.24 eingefügt, erhält man

$$\eta = \frac{F \cdot D}{A \cdot (\alpha \cdot C_L \cdot U_{\text{DD}}^2 + P_{\text{DC}} \cdot \tau)} = \frac{F}{A \cdot (\alpha \cdot C_L \cdot U_{\text{DD}}^2 \cdot \tau + P_{\text{DC}} \cdot \tau^2)} \quad . \quad (7.27)$$

Man sieht, dass bei kleiner Schaltaktivität α und kleiner Taktfrequenz $f_T = 1/\tau$ die Verlustleistung aufgrund von Leckströmen dominieren kann. In diesem Fall ist das Gütemaß umgekehrt proportional zum Quadrat von τ . Wenn die dynamische Verlustleistung dominiert, sollte ein Minimum aus Schaltaktivität, dies kann mittels des ausgewählten Algorithmus oder der gewählten Zahlendarstellung beeinflusst werden, der erforderlichen Taktfrequenz, dies ist unter anderem von der Chiparchitektur abhängig, und $C_L \cdot U_{\text{DD}}^2$ angestrebt werden.

Das Gütemaß nach Gleichung 7.27 wird nun benutzt um die drei Volladdierertypen – komplementärer Volladdierer, symmetrischer Volladdierer und geschwindigkeitsoptimierter Volladdierer – miteinander zu vergleichen. Um die Dinge zu vereinfachen, wird vorausgesetzt, dass die Schaltaktivität und die Taktfrequenz genügend

groß sind, so dass die Verlustleistung aufgrund von Leckströmen vernachlässigbar ist. Es sei $\alpha = 1/2$ und $E = \alpha \cdot C_L \cdot U_{DD}^2$.

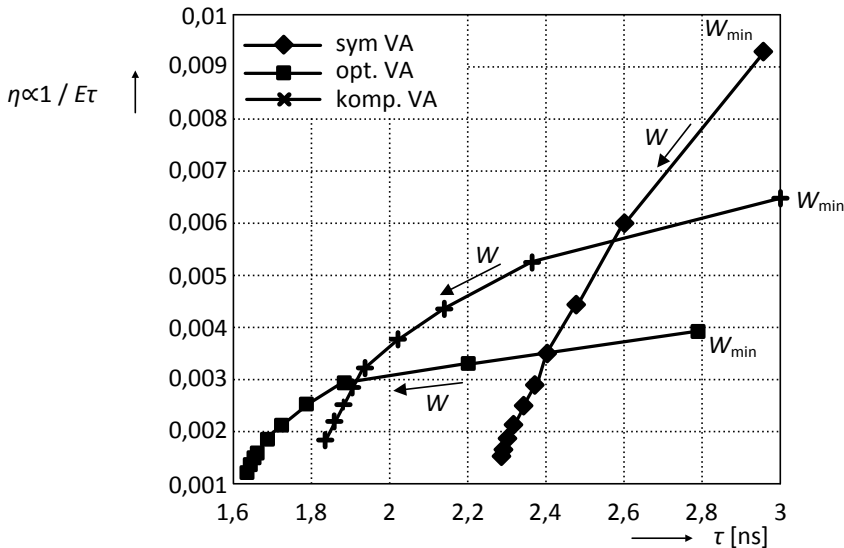


Bild 7.11 Vergleich des komplementären, symmetrischen und des geschwindigkeitsoptimierten Volladdierers anhand des Gütemaßes $\eta \propto 1 / (E \cdot \tau)$ in Abhängigkeit von der Gatterlaufzeit t_p mit der Transistorweite W als Parameter, $\alpha = 1/2$, $E = \alpha \cdot C_L \cdot U_{DD}^2$.

In Bild 7.11 sind die Kurven für das Gütemaß $\eta \propto 1 / E \cdot \tau$ der drei zu vergleichenden Volladdierer in Abhängigkeit der Verzögerungszeit $\tau = t_p$ mit der Transistorweite W als Parameter eingezeichnet. Minimale Transistorweite W_{min} bedeutet, dass die Transistoren mit der minimal zulässigen Transistorweite dimensioniert worden sind, außer sie befinden sie in einer Serienschaltung. Befinden sich die Transistoren in einer Serienschaltung werden die Weiten entsprechend vergrößert. Die p-Kanal-Transistoren wurden um den Faktor zwei weiter ausgelegt als die entsprechenden n-Kanal-Transistoren.

Es ist erstaunlich festzustellen, dass die vergrößerten Transistorweiten nur geringfügig die Gatterlaufzeiten verbessern, aber wesentlich das Gütemaß verschlechtern. Zum Beispiel ergibt sich für den symmetrischen Volladdierer ein Verhältnis $\tau_{max} / \tau_{min} = 1,3$ und für $\eta_{max} / \eta_{min} = 8,2$. Man muss unverhältnismäßig viel Energie aufwenden, wenn man die kürzesten Gatterlaufzeiten erzielen will. Maximaler Energieaufwand bewirkt eine minimale Verzögerungszeit $t_p = \tau$. Ähnlich, wenn auch nicht so ausgeprägt, liegen die Verhältnisse bei dem komplementären Volladdierer ($\tau_{max} / \tau_{min} = 1,6$; $\eta_{max} / \eta_{min} = 3,5$) und dem geschwindigkeitsoptimierten Volladdierer ($\tau_{max} / \tau_{min} = 1,7$, $\eta_{max} / \eta_{min} = 3,4$). Zur Erinnerung sei festgestellt, dass hohe Werte für das Gütemaß η angestrebt werden sollten. In der Vergangenheit wurden Mikroprozessoren im Hinblick auf minimale Gatterlaufzeit, das heißt

maximale Taktfrequenz entworfen. Entsprechend der eben festgestellten Tendenz, waren hohe Verlustleistungen die Folge.

Noch ausgeprägter zeigt sich die Tendenz, wenn in dem Gütemaß auch die benötigte Chipfläche $\eta \propto 1/(A \cdot E \cdot \tau)$ (siehe Bild 7.12a) berücksichtigt wird. Man erhält folgende Verhältnisse:

Symmetrischer Volladdierer:	$\tau_{\max}/\tau_{\min} = 1,3; \eta_{\max}/\eta_{\min} = 29,7$
Komplementärer Volladdierer:	$\tau_{\max}/\tau_{\min} = 1,64; \eta_{\max}/\eta_{\min} = 23,5$
Geschwindigkeitsoptimierter Volladdierer:	$\tau_{\max}/\tau_{\min} = 1,7; \eta_{\max}/\eta_{\min} = 10$

Eine wichtige Aussage sollte festgehalten werden. Man zahlt einen hohen Preis an Verlustleistung, wenn man, was früher beim Entwurf von Mikroprozessoren üblich war, Schaltungen mit den kürzest möglichen Gatterlaufzeiten entwerfen will. Heute stellt sich eine zweidimensionale Optimierungsaufgabe, nämlich bei gegebener maximaler Gatterlaufzeit die Verlustleistung zu minimieren, beziehungsweise bei gegebener maximaler Verlustleistung die Schaltung mit der geringsten Gatterlaufzeit zu finden.

Zunächst wird aber die Behandlung von Addierern, Subtrahierern und Multiplizieren fortgeführt.

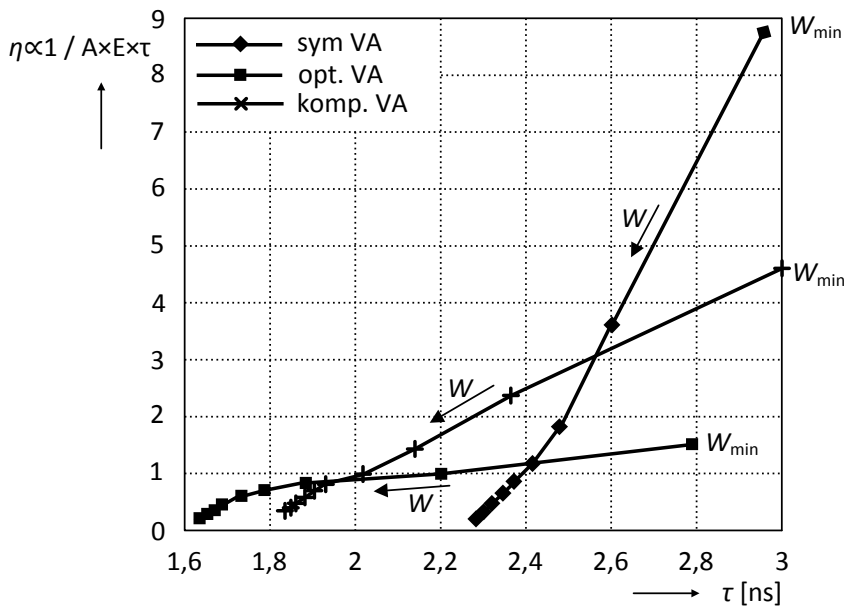


Bild 7.12a Vergleich des komplementären, symmetrischen und des geschwindigkeitsoptimierten Volladdierers anhand des Gütemaßes $\eta \propto 1/(A \cdot E \cdot \tau)$. $\alpha = 1/2$; $E = \alpha \cdot E_{T,AC}$.

7.1.3 Bitserielle Addierer

In Bild 7.1 wurde die Addition zweier Dualzahlen mittels einer Reihe von Volladdierer vorgestellt. Die Siliziumfläche eines derartigen Addierers ist proportional zur Wortbreite m des Endergebnisses. Da früher die Volladdierer viel Fläche einnahmen und deswegen teuer waren, war man bestrebt die Anzahl der Volladdierer zu beschränken, indem man die bitserielle Addition einsetzte (Bild 7.12b). Bei dieser Technik wird für die Addition zweier Zahlen ein Volladdierer und für die Addition von n Zahlen werden $n - 1$ Volladdierer verwendet. Die einzelnen Stellen der zu addierenden Zahlen werden zeitlich seriell abgearbeitet. Zunächst werden in einem Volladdierer die niedrigstwertigen Stellen zweier Wörter, zum Beispiel v_0 und w_0 addiert. Erst wenn das entsprechende Summensignal S_0 vorliegt, kann das niedrigstwertige Bit x_0 des nächsten Datenwortes x dazu addiert werden. Schließlich bei vier Datenwörtern (v , w , x und y) wird in einem weiteren Volladdierer das niedrigstwertige Ergebnisbit der Endsumme gebildet. Nun kann ein neuer Zyklus gestartet werden, der das nächst höhere Ergebnisbit liefert. Die einzelnen Bits der Ergebnissumme fallen seriell an. Die Überträge der einzelnen Volladdierer werden in Register zwischengespeichert und mittels eines Taktsignals der nächst höheren Stelle zugeführt. Die Register dürfen erst dann durchlässig geschaltet werden, wenn pro Stelle das Summen- und das Übertragsergebnis stabil vorliegen. Damit erhält man für die minimal zulässige Taktperiode T_c

$$T_c \geq (n - 1) \cdot t_S + t_{\text{Reg}} \quad (7.28)$$

- t_S Laufzeit, die zur Bildung des Summensignals eines Volladdierers benötigt wird, $t_S > t_C$
 t_C Laufzeit zur Bildung des Übertragungssignals
 t_{Reg} Laufzeit des Registers
 n Anzahl der zu addierenden Datenwörter.

Mit der nächsten Taktperiode werden nun die nächst höherwertigen Bits v_1 , w_1 , x_1 und y_1 addiert. Dieser Vorgang wird solange wiederholt bis alle Stellen der Eingangsdatenwörter addiert worden sind. Für die gesamte Zeitdauer t_{Ges} , die die Addition von n Dualzahlen bei einer Ausgangswortbreite von m Bits benötigt, erhält man

$$t_{\text{Ges}} = m \cdot T_c \approx m \cdot (n - 1) \cdot t_S \quad (7.29)$$

Die Zahl der Datenwörter, die Ausgangswortbreite und die Zeit, die ein Volladdierer zur Bildung des Summensignals benötigt, bestimmen die gesamte Zeitdauer. Der Pfad des Summensignals ist zeitbestimmend.

Hinter der bitseriellen Addition steht die Absicht, den Hardwareaufwand zu begrenzen. Die Anzahl der Bits pro Datenwort hat keinen Einfluss auf die Zahl der Volladdierer. Der Nachteil dieses Addierertyps liegt in der langen Gesamtlaufzeit.

Für integrierte Schaltungen ist der gegenteilige Ansatz, mittels vermehrten Schaltungsaufwands kürzere Rechenzeiten zu erzielen, wesentlich besser geeignet, da die

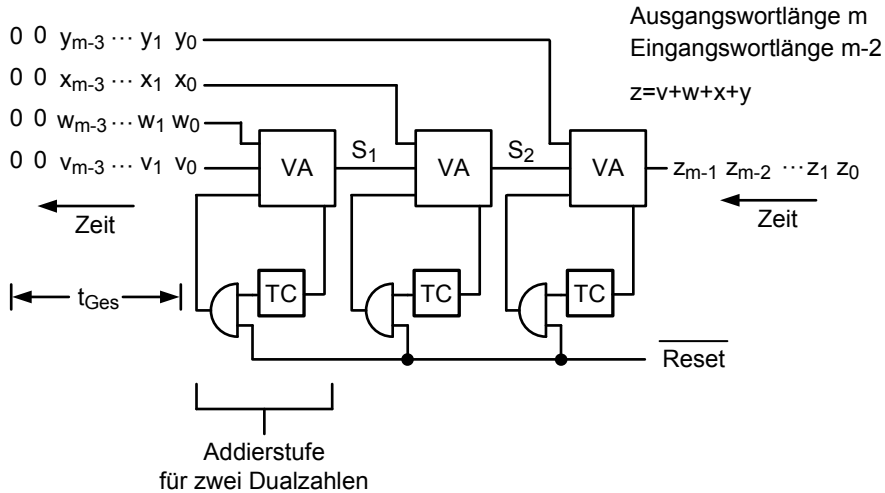


Bild 7.12b Bitserielle Addition von vier Dualzahlen.

Schaltungen immer weniger Platz einnehmen und damit immer weniger Kosten verursachen. Heute steht die Verlustleistung im Zentrum der Überlegungen. Der gegen- teilige Ansatz ist dadurch gekennzeichnet, dass die einzelnen Bits der Datenwörter gleichzeitig (parallel) verarbeitet werden. In der weiteren Darstellung wird nur noch die bitparallele Addition behandelt. Die einfachste Form der bitparallelen Addierer bildet der bereits erwähnte „Ripple-Carry“-Addierer.

7.1.4 Ripple-Carry-Addierer

Wie es Bild 7.1 zeigt besteht der „Ripple-Carry“-Addierer (RCA) für zwei Dual- zahlen aus einer Reihe von Volladdierern. Das Verfahren entspricht einer von Hand ausgeführten Addition. In vertikaler Richtung werden die Operandenbits zugeführt und die Summenbits abgeleitet. Das Übertragsbit wird vom niedrigstwertigen Bit bis zum höchstwertigen Bit in horizontaler Richtung durchgeschleift. Deswegen nennt man diesen Addierertyp „Ripple-Carry“-Addierer. Die Additionszeit für zwei Zahlen wird von der Summenlaufzeit t_S und der Laufzeit des Übertragungssignals t_C bestimmt. Der zeitbestimmende, das heißt der zeitkritische Pfad, wird vom Über- tragssignal gebildet

$$t_{RCA} = (m - 1) \cdot t_C + t_S \quad . \quad (7.30a)$$

Für die Addition von mehr als zwei Dualzahlen wendet man das Prinzip der Ket- tenschaltung an (siehe Bild 7.13). Für jedes zusätzliche Datenwort wird eine neue Reihe von Volladdierern angelegt. Das Summensignal der vorhergehenden Reihe wird vertikal einem neuen Volladdierer derselben Wertigkeit zugeführt. Die Bits

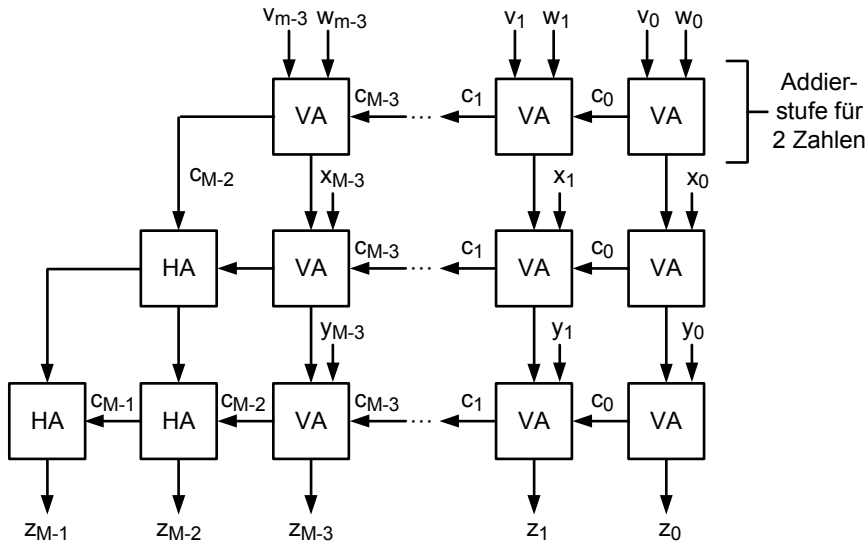


Bild 7.13 Logikplan für die Kettenschaltung von Ripple-Carry-Addierern.

des neuen Datenworts werden an die zweiten Operandeneingänge gelegt. Die Übertragsbits laufen wieder in horizontaler Richtung. Sollen n Datenwörter addiert werden, benötigt man ein Zellenfeld aus Volladdierern mit $n - 1$ Reihen. Die Breite des Zellenfelds wird von der Wortbreite m der Endsumme festgelegt. Wegen der Parallelität der Signalpfade, errechnet sich die gesamte Zeit zur Bildung der Endsumme zu

$$t_{n,RA} \approx (n - 1) \cdot t_S + (m - 1) \cdot t_c \quad . \quad (7.30b)$$

Während die Zeitdauer der bitseriellen Addition vom Produkt $n \cdot (m - 1) \cdot t_S$ bestimmt wird, ist nun die eine Summe ausschlaggebend. Erkauft wird dieser Vorteil durch die größere Zahl an Volladdierern, die nun proportional zum Produkt $n \cdot m$ ist.

„Ripple-Carry“-Addierer (RCA) können auch für die Subtraktion von Zahlen eingesetzt werden. Für die Subtraktion wird die Zweierkomplementzahlendarstellung angewendet. Bild 7.14 zeigt eine Erweiterung des „Ripple-Carry“-Addierers, die es gestattet, Additionen und Subtraktionen auszuführen. Entspricht das Steuersignal „Sub“ einer Eins, wird eine Subtraktion durchgeführt, indem der Subtrahend mittels eines EXOR-Gatters invertiert wird und an den Übertragseingang des Volladdierers für das niedrigstwertige Bit eine Eins gelegt wird. Durch Vorzeichenenerweiterung wird die Wortlänge der Eingangszahlen an die Ausgangswortlänge angepasst. Der mögliche Überlauf an der Vorzeichenstelle wird nicht berücksichtigt. Für „Carry-Save“-Addierer (siehe Kapitel 7.1.8.1) wird das gleiche Verfahren jeweils auf das Übertrags- und das Summenwort angewendet. Da eine Subtraktion mittels einer Addition von K2-Zahlen ausgeführt werden kann, werden in den nachfolgenden Kapiteln nur noch Addierer behandelt.

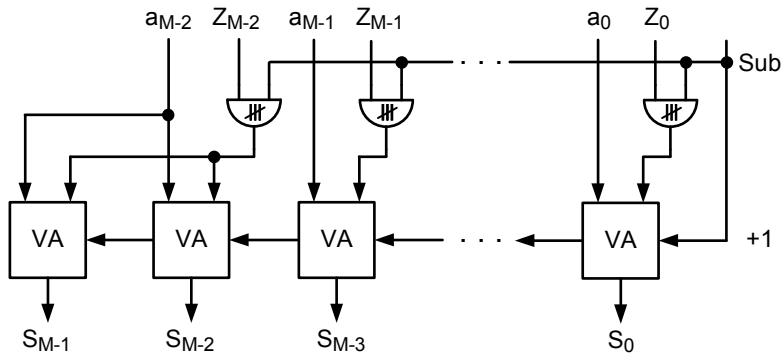


Bild 7.14 Schaltung für die Addition und Subtraktion zweier Zweierkomplementzahlen.

Die Analyse der gesamten Additionszeit eines „Ripple-Carry“-Addierers ergab, dass die Laufzeit des Übertragungssignals vom niedrigstwertigen Bit zum höchstwertigen Bit dominierend ist. Deswegen wurden Methoden entwickelt, mit denen die Übertragslaufzeit verkürzt werden kann.

7.1.5 Manchester-Carry-Chain-Addierer

In der Literatur wird in diesem Zusammenhang der „Manchester-Carry-Chain“-Addierer erwähnt. Addierer dieses Typs basieren auf den Hilfsvariablen G_i und P_i , die durch die Gleichungen 7.10 und 7.11a definiert sind. Das Signal G_i gibt an, ob in der i -ten Stelle ein Übertragungssignal generiert (generate) wird. Die logische Variable P_i legt fest, ob das einlaufende Übertragungssignal durchgelassen (propagate) wird oder nicht.

Die Beschleunigung des Übertragungssignals soll mittels der Pass-Transistor-Logik erzielt werden. Die Wahrheitstabelle eines Addierers (Tabelle 7.1) zeigt, dass das „Generate“-Signal G_i den Wert einer logischen Null aufweist, wenn das „Propagate“-Signal P_i Eins ist. Gemäß Gleichung 7.13 benötigt man zur Bildung des Übertragungssignals C_{i+1} zwei Transmission-Gatter, die vom Signal P_i gesteuert werden. Für $P_i = 1$ (das heißt $G_i = 0$) wird das ankommende Übertragungssignal C_i zum Ausgang C_{i+1} durchgeschaltet. Das zweite Transmission-Gatter dient dazu, das „Generate“-Signal G_i für $P_i = 0$ mit dem Ausgang C_{i+1} zu verbinden. Bild 7.15 zeigt den Aufbau eines „Manchester-Carry-Chain“-Addierers. Natürlich können die EXOR-Gatter zur Bildung von P_i und S_i ebenfalls mit der Pass-Transistor-Logik realisiert werden.

Im ungünstigsten Fall muss das eingehende Übertragungssignal bis zum höchstwertigen Bit durchgeschleift werden. Nimmt man an, dass alle Transmission-Gatter mit dem Widerstand R und einer Ausgangskapazität C beschrieben werden können, erhält man mit m Stellen für den ungünstigsten Fall mit der Elmore-Verzögerung nach Gleichung 3.112 eine endliche numerische Reihe [179] der Form

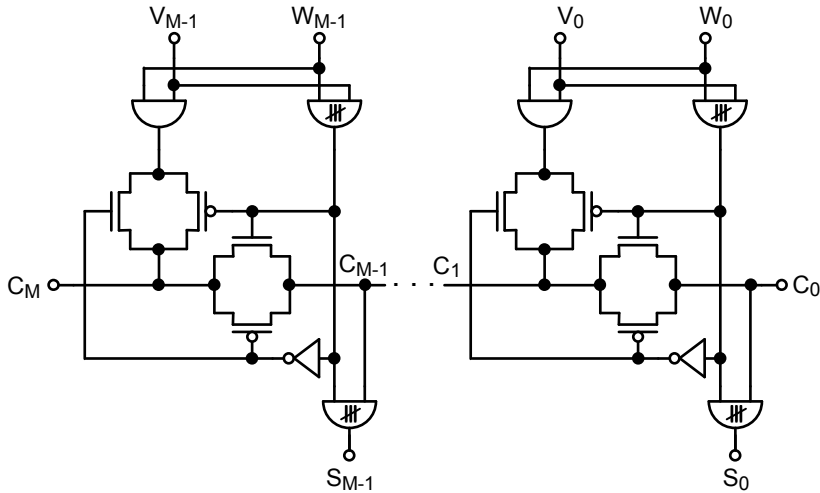


Bild 7.15 Manchester-Carry-Chain-Addierer.

$$t_p = 0,69 \cdot \sum_{i=1}^m C_i \cdot \left(\sum_{j=1}^i R_j \right) = 0,69 \cdot R \cdot C \cdot \frac{m \cdot (m+1)}{2} \quad (7.31)$$

Diese Verzögerungszeit ist proportional zum Quadrat der Anzahl der Bits m . Deswegen müssen Inverter zur Signalauffrischung etwa nach jeder zweiten Stufe eingesetzt werden. So erreicht man, dass t_p wie bei dem „Ripple-Carry“-Addierer linear von m abhängt.

7.1.6 Carry-Skip-Addierer

Die bisher angesprochenen Addierer sind nur für kleine Wortbreiten geeignet. Viele Rechner haben aber Wortbreiten von 32 Bit, Server benötigen 64 Bit und sehr schnelle Rechner, wie Superrechner oder Multimediaprozessoren, weisen 128 Bit Wortbreite auf. Für derartige Wortbreiten werden andere Konzepte für die Addition benötigt.

Eine Verbesserung ist im „Carry-Skip“-Addierer implementiert. Wie es bereits der Name ausdrückt, wird nun das Übertragungssignal nicht mehr von Stufe zu weitergereicht, sondern unter bestimmten Umständen werden einige Stufen übersprungen. Hierzu wird der Addierer mit einer Wortbreite von m Bits in k gleiche Blöcke mit i Bits unterteilt. Für jeden Block wird nun ein Block-Propagate-Signal BP gebildet (siehe Bild 7.16). Wenn alle P_i Propagate-Signale in einem Block Eins sind, das heißt $BP = P_1 \cdot P_2 \cdot \dots \cdot P_i = 1$, dann entspricht pro Block das auslaufende Übertragungssignal dem Einlaufenden. Dieser Block kann übersprungen werden. Festzuhalten ist, dass in diesem Fall alle Generate-Signale G_i in dem Block den Wert Null haben.

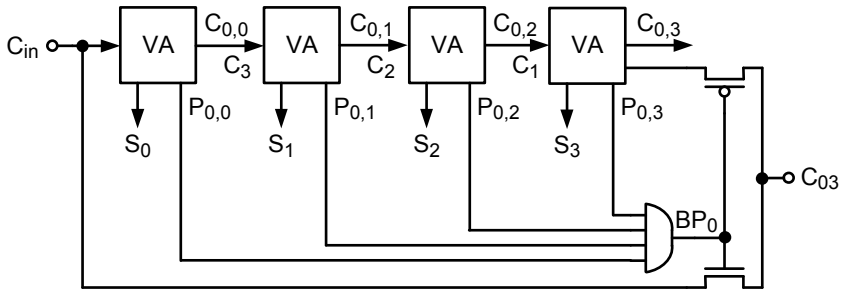


Bild 7.16 Ein Block eines „Carry-Skip“-Addierers.

Ist $BP = 0$ läuft wie beim „Ripple-Carry“-Addierer das Übertragungssignal durch den Block. An irgendeiner Stelle im Block wird der Pfad für das Übertragungssignal unterbrochen und das an dieser Stelle generierte Signal G_i weitergeleitet. Das einlaufende Blockübertragungssignal wird blockiert und ist damit bedeutungslos.

In Bild 7.17 ist das Schema eines „Carry-Skip“-Addierers, der aus k Blöcken mit jeweils i Bits besteht, dargestellt. Auf den ersten Blick könnte man meinen, dass die längste Gatterlaufzeit für den Fall, indem alle Block-Propagate Signale $BP_k = 0$ gegeben ist. Dies ist jedoch falsch, da in jedem Block das Übertragungssignal gestoppt wird. Die gesamte Laufzeit des Addierers ergibt sich in diesem Fall aus der Laufzeit für zwei Blöcke einschließlich der Laufzeit für den dazwischen liegenden Multiplexer. Die längste Gatterlaufzeit entsteht, wenn das Übertragungssignal an der niedrigstwertigen Position gebildet wird, durch $i - 1$ Stellen läuft, $k - 2$ Blöcke in der Mitte überspringt und schließlich durch den höchstwertigen Block bis zur Stelle m weiterläuft [179].

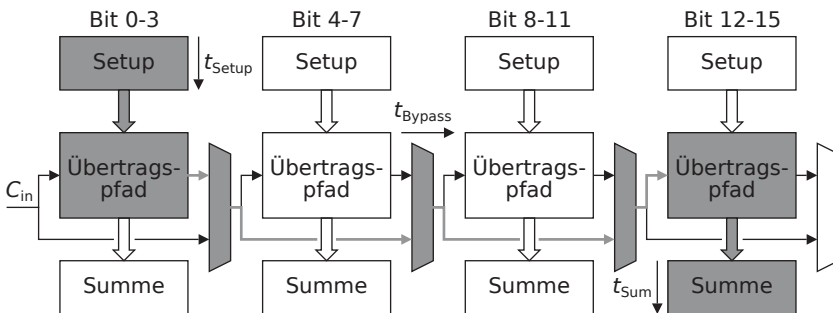


Bild 7.17 Schemabild des „Carry-Skip“-Addierers. Der ungünstigste Signalpfad ist schattiert dargestellt [179].

$$t_p = t_{\text{setup}} + i \cdot t_{\text{carry}} + (k - 2) \cdot t_{\text{mul}} + (i - 1) \cdot t_{\text{carry}} + t_{\text{sum}} \quad (7.32)$$

t_{setup} Zeit, die zur Bildung von P_i und G_i benötigt wird

t_{carry} Laufzeit des Übertragssignals pro Stelle
 t_{mult} Laufzeit eines Multiplexers
 t_{sum} Laufzeit für die Summenbildung.

Die kritische Gatterlaufzeit ist proportional zur Wortbreite m , da $m/i = k$. Aber die Steigung der Funktion $t_p = f(m)$ ist für $i > 1$ geringer als für „Ripple-Carry“-Addierer. Der Vorteil wirkt sich wegen der zusätzlichen Multiplexer und nur bei größeren Wortbreiten aus ($m > 4$ bis 8).

Die Anzahl der Bits pro Block hängt von technologischen Parametern wie Laufzeit in den Blöcken im Vergleich zur Laufzeit in den Multiplexern ab. Ein zusätzliche Verbesserung erzielt man, wenn man zu variablen Blockbreiten übergeht (siehe [34]).

7.1.7 Carry-Select-Addierer

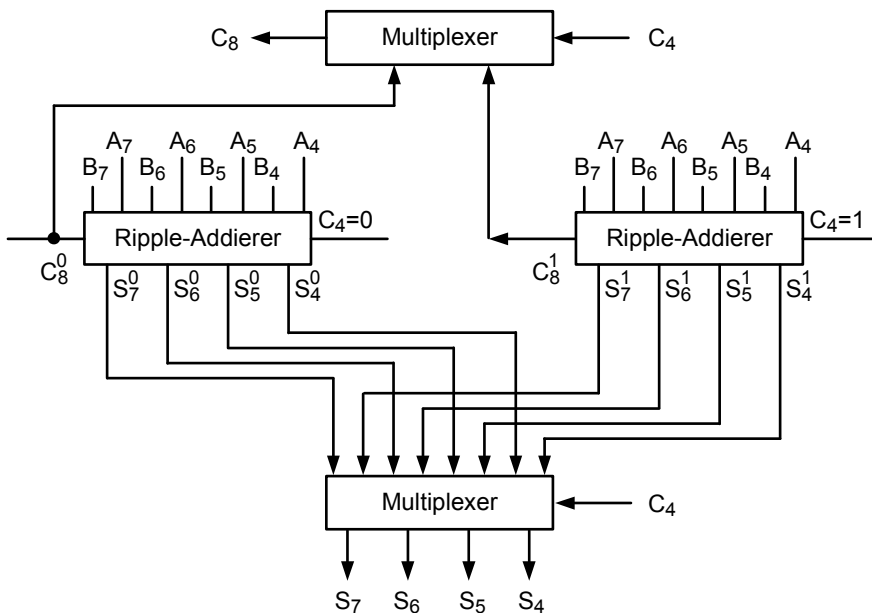


Bild 7.18 Schema eines Carry-Select-Addierers.

In einem „Ripple-Carry“-Addierer können die höherwertigen Bits erst addiert werden, wenn von den niederwertigen Bits ein gültiges Übertragssignal vorliegt. Das Prinzip des „Carry-Select“-Addierers beruht darauf, den Addierer in Blöcke zu unterteilen und innerhalb jedes Blocks vorab für die beiden möglichen Eingangsübertragssignale für den vorliegenden Block jeweils die Summe zu berechnen.

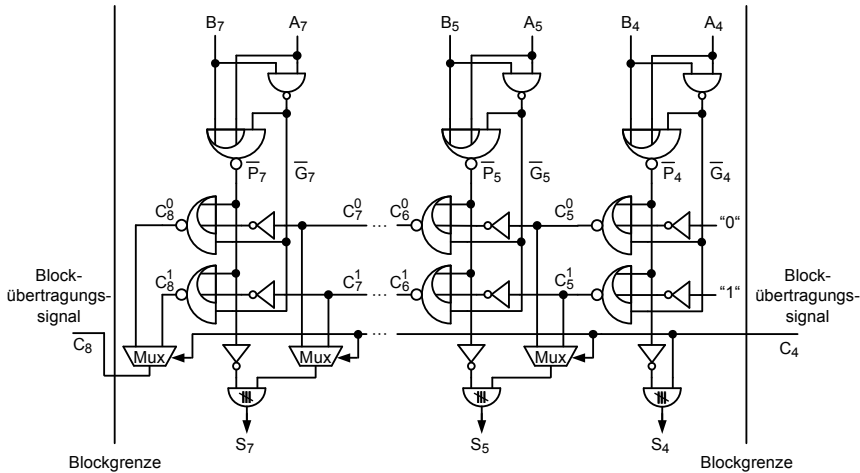


Bild 7.20 Carry-Select-Addierer mit aufgedoppeltem Übertragungspfad [139].

$$\begin{aligned}
 m &= i + (i+1) + (i+2) + (i+3) + \dots + (i+k-1) \\
 &= i \cdot k + \frac{k \cdot (k-1)}{2} = \frac{k^2}{2} + k \cdot \left(i - \frac{1}{2}\right) .
 \end{aligned} \tag{7.33}$$

Für $i \ll m$ gilt näherungsweise

$$m = \frac{k^2}{2} \Rightarrow k = \sqrt{2 \cdot m} . \tag{7.34}$$

Für die Laufzeit des gesamten Carry-Select-Addierers t_{CS} ergibt sich

$$t_{CS} = t_{\text{setup}} + i \cdot t_{\text{carry}} + t_{\text{mux}} \cdot \sqrt{2 \cdot m} + t_{\text{sum}} . \tag{7.35}$$

Für große Wortbreiten und kleine Blockgrößen ist die Laufzeit proportional zu $\sqrt{m}$. Bereits bei Wortlängen von acht Bit ergibt sich ein deutlicher Geschwindigkeitsvorteil für den Carry-Select-Addierer im Vergleich zum Ripple-Carry Addierer. Allerdings benötigt der Carry-Select-Addierer eine um 37% größere Chipfläche als der RC-Addierer.

Es ergibt sich ein Problem, wenn, wie in Bild 7.13 gezeigt, mehrere Operanden addiert werden sollen. Das Carry-Select-Prinzip setzt voraus, dass die Operanden gleichzeitig angelegt werden, was aber bei einer Multioperandenaddition nicht gegeben ist. Carry-Select-Addierer eignen sich besonders gut für den abschließenden Carry-Propagate-Addierer bei einer Carry-Save-Addition mit mehreren Operanden (siehe Kapitel 7.1.8.1).

An dieser Stelle soll auch ein besonderer Layout-Stil angegeben werden. Üblicherweise werden Logikblöcke mittels automatischer Entwurfsmethoden erstellt. Dabei wird die gewünschte Logik aus vorgegebenen Zellen, den sogenannten Standardzellen, aufgebaut. Für diese Zellen existiert die logische Beschreibung, das Lay-

out und Angaben mit denen man die Laufzeiten berechnen kann. Das Layout beruht darauf, dass man die Zellen, die alle die gleiche Höhe haben, aber unterschiedlich weit ausgelegt sein können, mittels eines Programms in Reihen anordnet. Die Verdrahtung erfolgt ebenfalls mit Hilfe eines Programms zwischen den Reihen in Räumen, die hierfür freigelassen werden.

Alternativ hierzu gibt es auch die Möglichkeit, die Zellen so zu gestalten, dass auch die Verdrahtung in die Zellen eingearbeitet ist. Die gesamte Verdrahtung entsteht, wenn die einzelnen Zellen „zusammengestoßen“ werden (abutment), weil dann die einzelnen Leitungsstücke in den Zellen zu der gewünschten Leitung verbunden werden. Dieser Layout-Stil, der von den üblichen CAD-Werkzeugen nicht unterstützt wird, ist besonders für reguläre Logikblöcke, die hohen elektrischen Anforderungen genügen müssen und wenig Platz einnehmen sollen, geeignet.

7.1.8 Carry-Lookahead-Addierer

Eine bedeutende Verbesserung der Laufzeit von bitparallelen Addierern wurde 1958 von A. Weinberger und J. L. Smith mit der Erfindung des Carry-Lookahead-Addierers (CLA) eingeführt. Theoretisch ist dieser Addierertyp einer der schnellsten, da die benötigte Zeit für die Addition von zwei Zahlen logarithmisch von der Wortbreite m abhängt, wie es noch gezeigt werden wird [238]

$$t_{\text{pCLA}} \approx \log(m) \quad . \quad (7.36)$$

7.1.8.1 Nützen der Rekursion für die Bildung des Übertragungssignals

Das Prinzip des Carry-Lookahead-Addierers beruht darauf, die in der Gleichung 7.13 angelegte Rekursion für das Übertragungssignal zu nützen

$$C_i = A_i \cdot B_i + (A_i \oplus B_i) \cdot C_{i-1} = G_i + P_i \cdot C_{i-1} \quad .$$

Wendet man die Rekursionsformel auf einen Addierer mit zum Beispiel vier Stellen an, ergeben sich die einzelnen Übertragungssignale aus den Hilfsgrößen P_i und G_i und dem eingehenden Übertragungssignal $C_0 = C_{\text{in}}$

$$C_1 = G_0 + P_0 \cdot C_0 \quad (7.37)$$

$$C_2 = G_1 + P_1 \cdot G_0 + P_1 \cdot P_0 \cdot C_0 \quad (7.38)$$

$$C_3 = G_2 + P_2 \cdot G_1 + P_2 \cdot P_1 \cdot G_0 + P_2 \cdot P_1 \cdot P_0 \cdot C_0 \quad (7.39)$$

$$C_4 = G_3 + P_3 \cdot G_2 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot P_2 \cdot P_1 \cdot G_0 + P_3 \cdot P_2 \cdot P_1 \cdot P_0 \cdot C_0 \quad . \quad (7.40)$$

Ein Übertragungssignal wird an die $(i+1)$ -ten Stelle weitergegeben, wenn in der i -ten Stelle ein Übertragungssignal (G_i) generiert wird, oder ein Übertragungssignal in der $(i -$

1)-ten Stelle (G_{i-1}) generiert und von der i -ten Stelle weitergereicht wird ($P_i \cdot G_{i-1}$), oder ein Übertragungssignal in der $(i-2)$ -ten Stelle (G_{i-2}) generiert und von der i -ten und der $(i-1)$ -ten Stelle weitergeleitet wird ($P_i \cdot P_{i-1} \cdot G_{i-2}$), oder usw.

Sind die Hilfsgrößen bereits berechnet, ergeben sich die einzelnen Übertragsbits mit einer zweistufigen Logik. Mittels AND-Gatter werden zunächst die Produktterme gebildet, die mit OR-Gatter zum Endergebnis zusammengefasst werden (Bild 7.21).

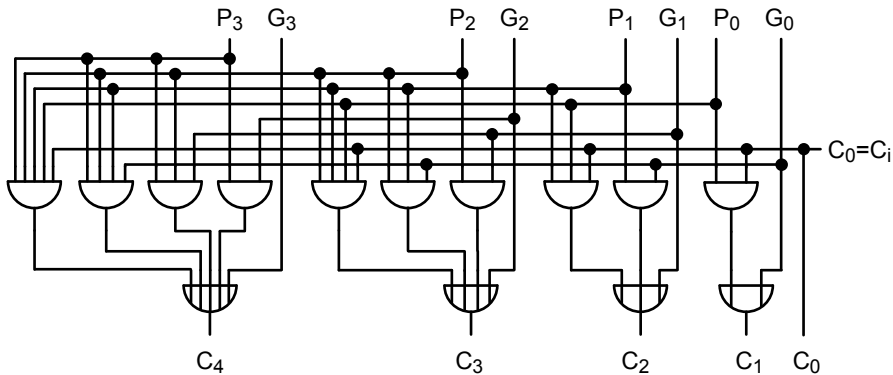


Bild 7.21 Block zur Bildung der Übertragsbits eines 4-Bit-Carry-Lookahead-Addierers.

Die Logik zur Bildung der Übertragsbits ist zwar zweistufig, aber es werden Gatter mit hohen Fan-In und Fan-Out benötigt. Zum Beispiel existieren im Signalpfad zur Bildung des Übertragsbits C_4 ein OR- und ein AND-Gatter mit fünf Eingängen. Weiter fällt auf, dass das Propagate-Signal P_0 zu vier Gatter geführt werden muss. Erhöht man die Zahl der zu addierenden Stellen weiter, nehmen der Fan-In und der Fan-Out entsprechend zu. Deswegen muss eine Hierarchie, die auf einer einzigen Grundzelle – CLC (Carry Lookahead Circuit) genannt – basiert, eingeführt werden. Üblicherweise umfasst jede CLC-Zelle vier Stellen.

7.1.8.2 Hierarchie in Carry-Lookahead-Addierern

Die Hierarchie wird ermöglicht, indem in der Schaltung von Bild 7.21 nicht das Übertragsbit C_4 berechnet wird, sondern es werden unabhängig von den jeweiligen Übertragsbits C_0 bis C_3 Block-Generate- G_{j-3} und Block-Propagate-Signale P_{j-3} erzeugt (siehe Bild 7.22)

$$G_{j-3} = G_{i+3} + P_{i+3} \cdot G_{i+2} + P_{i+3} \cdot P_{i+2} \cdot G_{i+1} + P_{i+3} \cdot P_{i+2} \cdot P_{i+1} \cdot G_i \quad (7.41)$$

$$P_{j-3} = P_{i+3} \cdot P_{i+2} \cdot P_{i+1} \cdot P_i \quad (7.42)$$

G_{j-3} gibt an, ob in einem Block ein Generate-Signal generiert wird P_{j-3} bestimmt, ob das eingehende Blockübertragungssignal weitergereicht wird. Die CLC-Logik ist

zweistufig, daher werden zwei Einheitslaufzeiten für die Berechnung der Ausgangssignale benötigt. Nimmt man an, dass zur Berechnung der Propagate-Signale und der Summensignale jeweils ebenfalls zwei Einheitslaufzeiten gebraucht werden, ergeben sich für eine Addition mit vier Stellen sechs Einheitslaufzeiten.

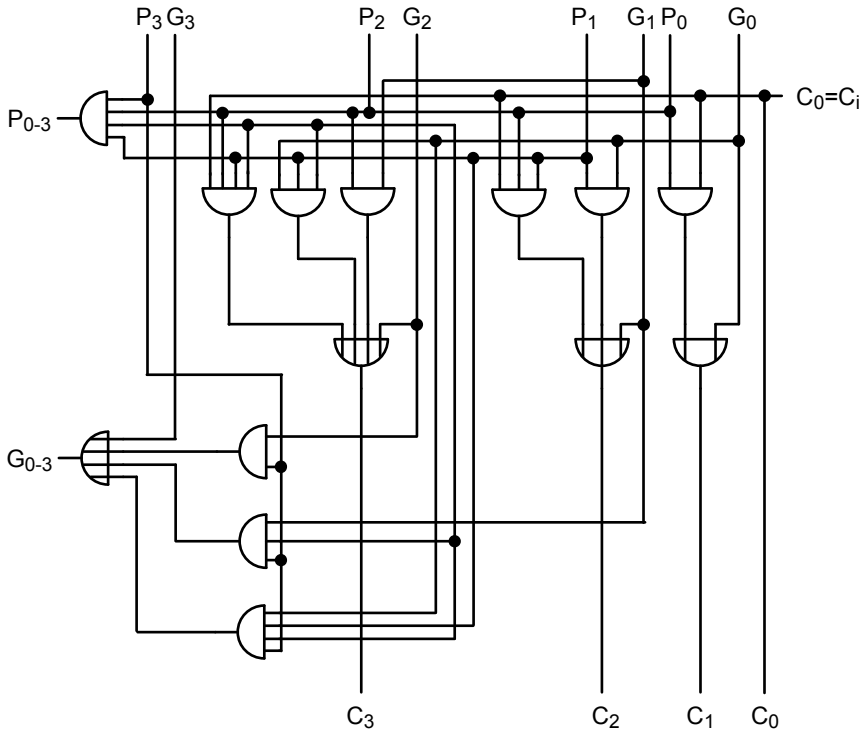


Bild 7.22 Grundblock einer 4-Bit-Hierarchie (4-Bit-CLC). P_{j-3} Block-Propagate- und G_{j-3} Block-Generate-Signal.

Die Struktur des 4-Bit-CLC nach Bild 7.22 bildet den Grundblock, aus dem komplexe Addierer mit 16 Bit, wie es Bild 7.23 zeigt, oder mit 64 Bit aufgebaut werden können. Der maximale Fan-In ist auf vier begrenzt. Für einen 16-Bit-Addierer werden zwei Hierarchiestufen benötigt. In der Ebene 0 befinden sich vier 4-Bit-CLC Grundblöcke, deren Ausgänge (Block-Generate- und Block-Propagate-Signale) in einer zweiten Ebene 1 wiederum mittels eines zusätzlichen 4-Bit-CLC-Struktur verarbeitet werden. Der zuletzt genannte Block berechnet die Eingangsblok-Übertragssignale C_4 , C_8 , und C_{12} für die darunter liegende Ebene 0. Dafür werden die entsprechenden Block-Generate- und Block-Propagate-Signale von der Ebene 0 benötigt.

Für einen 64-Bit Addierer wird eine weitere Ebene 2 eingeführt. In der Ebene 0 arbeiten dann 16 4-Bit-CLC-Blöcke parallel. In der Ebene 1 sind es vier Blöcke und in der Ebene 2 ein Block. Insgesamt können $4^3 = 64$ Bits verarbeitet werden.

Im Gegensatz zu RCA und zu CSA verlaufen die kritischen Pfade in einem CLA in vertikaler Richtung und nicht in horizontaler Richtung, wie es dem Bild 7.23 entnommen werden kann. Die Blöcke bilden eine Baumstruktur (siehe Kapitel 7.1.10). Daher ist die gesamte Additionszeit proportional zu der Anzahl an Ebenen L

$$L = \log_4 m \quad (7.43)$$

m Wortbreite .

Es wird unabhängig vom jeweiligen Fan-In oder Fan-Out eine fiktive Einheitsverzögerung t_{por} pro AND- oder OR-Gatter festgelegt. Folgt man den zeitkritischen Pfad, der in Bild 7.23 eingezeichnet ist, ergeben sich für einen 16 Bit Addierer folgende Verzögerungszeiten:

Berechnen von G_i und P_i für jede Stelle. P_i bedarf einer zweistufigen Logik, deswegen: $2 \cdot t_{\text{por}}$

Berechnen von G_j und P_j in 4-Bit-CLC; nach Bild 7.22: $2 \cdot t_{\text{por}}$

Berechnen der Übertragssignale C_4 , C_8 , und C_{12} : $2 \cdot t_{\text{por}}$

Berechnen der internen Übertragssignale innerhalb jedes 4-Bit-CLC: $2 \cdot t_{\text{por}}$

Berechnen der Summenbits: $2 \cdot t_{\text{por}}$

Insgesamt werden 10 Zeiteinheiten benötigt, was wesentlich günstiger ist als die 32 Zeiteinheiten für das Übertragsbit C_{15} in einem 16 Bit RCA.

Nun sind wir in der Lage eine Gleichung für die gesamte Gatterverzögerungszeit in einem Carry-Lookahead-Addierer abzuleiten. Für die Addition von zwei Zahlen mit vier Stellen wird eine Hierarchieebene $L = 1$ und sechs Einheitslaufzeiten gebraucht. Bei einem 16-Bit-Addierer werden zwei Hierarchiestufen $L = 2$ eingesetzt. Die Laufzeit beträgt zehn Einheitslaufzeiten. Die CLC-Schaltungen werden insgesamt dreimal durchlaufen. Daraus können wir schließen, dass die Anzahl der Durchläufe durch die CLC-Einheiten $2L - 1$ beträgt. Mit L wird die Anzahl der Hierarchiestufen beschrieben. Somit ergibt sich mit Gleichung 7.43

$$t_{\text{CLA}} = [2 + 2 \cdot (2 \cdot \log_4(m) - 1) + 2] \cdot t_{\text{por}} \quad (7.44)$$

Tatsächlich lassen sich in der Realität nur geringere Schaltgeschwindigkeiten erzielen, da die Gatterlaufzeiten sehr wohl vom Fan-In und vom Fan-Out abhängen. Trotzdem wird der Carry-Lookahead-Addierer besonders bei großen Wortbreiten und wenn die Schaltungen mit automatischen Entwurfsverfahren erzeugt werden sollen häufig eingesetzt.

7.1.8.3 Parallele Vorauswahladdierer (parallel Prefix Adder)

Carry-Lookahead-Addierers (CLA) weisen eine dreistufige Struktur auf. In der ersten Stufe werden pro Stelle die Generate- (G_i) und die Propagate-Signale (P_i) generiert. In der zweiten Stufe werden jeweils vier benachbarte Paare G_i und P_i zu einem neuen Paar Block-Generate- und Block-Propagate-Signal zusammengefasst.

$$(G, P) = (G', P') \bullet (G'', P'') = (G' + P'G'', P', P'') \quad . \quad (7.45a)$$

Zum Beispiel kann das Paar $(G_{3:2}, P_{3:2})$ als $(G_3, P_3) \cdot (G_2, P_2)$ dargestellt werden. Damit nur auf einen der beiden Werte zugegriffen werden kann, werden zusätzlich zwei Funktionen benötigt

$$G = \alpha(G, P) \quad (7.45b)$$

$$P = \beta(G, P) \quad . \quad (7.45c)$$

In Bild 7.24 sind der Signalflussgraph und die Implementierung des Punkt-Operators dargestellt.

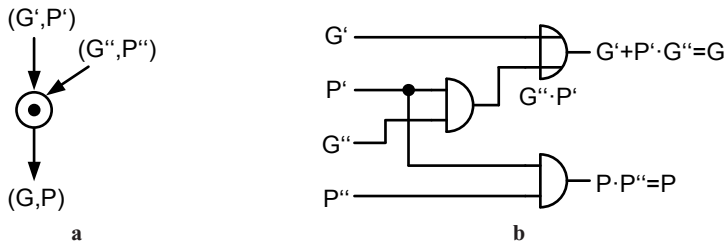


Bild 7.24 Signalflussgraph c und Implementierung d des Punkt-Operators.

Der Punkt-Operator unterliegt dem Assoziativgesetz, aber nicht dem Kommutativgesetz. Die Reihenfolge der Operationen kann vertauscht werden. Mittels der Generate- und Propagate-Signale errechnet man die Übertragsbits. Man erreicht eine Vereinfachung, wenn für das an der niedrigsten Stelle einlaufende Übertragsbit $C_{in} = 0$ angenommen wird. Es ergibt sich für einen 4 Stellen-Addierer

$$C_4 = \alpha[(G_3, P_3) \bullet (G_2, P_2) \bullet (G_1, P_1) \bullet (G_0, P_0)] \quad . \quad (7.46)$$

Das Assoziativgesetz erlaubt es nun C_4 als Funktion von zwei Gruppen darzustellen

$$\begin{aligned} C_4 &= \alpha[(G_3, P_3) \bullet (G_2, P_2) \bullet (G_1, P_1) \bullet (G_0, P_0)] \\ &= \alpha[(G_{3:2}, P_{3:2}) \bullet (G_{1:0}, P_{1:0})] \\ &= \alpha[(G_3 + P_3 \cdot G_2, P_3 \cdot P_2) \bullet (G_1 + P_1 \cdot G_0), P_1 \cdot P_0] \\ &= \alpha[G_3 + P_3 \cdot G_2 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot P_2 \cdot P_1 \cdot G_0, P_3 \cdot P_2 \cdot P_1 \cdot P_0] \quad . \end{aligned} \quad (7.47)$$

Es wird der linke Teil des jeweiligen Pärchen ausgewählt, der den Gleichungen 7.37 bis 7.40 entspricht. In dem man immer zwei Pärchen gleichzeitig zusammenfasst, gelangt man zu einer Parallelverarbeitung, die die Gesamtlaufzeit logarithmisch von der Wortbreite abhängen lässt.

Bei der Ableitung der Gleichung 7.46 wurde das an der niedrigsten Stelle einlaufende Übertragsbit zu Null gesetzt. Dies stellt aber keine Einschränkung dar.

In einem Addierer, der an der i -ten Stelle kein einlaufendes Übertragsbit hat, gilt: $C_{i+1} = G_i$. In einem Addierer der ein einlaufendes Bit C_{in} aufweist, kann das einlaufende Übertragsbit C_{in} betrachtet werden als ein Übertragsbit der Stelle -1 , wenn $P_{-1} = 0$ und $G_{-1} = C_{in}$ gesetzt wird.

Je nachdem wie man mittels des Punkt-Operators die einzelnen Gruppen zusammenfasst, lassen sich verschiedene Baumstrukturen erzeugen. Daher rührt auch der Name: Vorauswahladdierer. Zum Beispiel wird in dem Bild 7.25, das die Struktur eines Kogge-Stone 16 Bit-Addierers zeigt, das Übertragsbit C_{15} berechnet, indem die Ergebnisse der Blöcke $(0 : 7)$ und $(8 : 15)$ zusammengefasst werden. Jeder der beiden Blöcke ist wiederum hierarchisch aufgebaut. So entsteht $(0 : 7)$ aus der Zusammenfassung von $(0 : 3)$ und $(4 : 7)$, und $(0 : 3)$ aus der Zusammenfassung von $(0 : 1)$ und $(2 : 3)$ und so weiter [121].

Offensichtlich ist es nicht ausreichend nur die Übertragsbits an den Stellen $2^i - 1$ zu berechnen. Es müssen auch die Übertragsbits der dazwischen liegenden Stellen bestimmt werden. In Bild 7.25 wird eine Methode gezeigt, wie dies erfolgen kann. Beispielsweise wird das Übertragsbit der 6. Stelle berechnet, indem die Ergebnisse der Blöcke $(6 : 3)$ und $(2 : 0)$ zusammengefasst werden. Die so entstehende Struktur fasst zur gleichen Zeit in jeder Hierarchieebene zwei Übertragungswörter zusammen. Die Gatterlaufzeit ist somit proportional zu $\log_2 m$. Es werden 49 Komplexgatter, wobei jedes Komplexgatter den Punkt-Operator implementiert, benötigt. Zusätzlich werden 16 Module für die Bildung von P_i und G_i sowie 16 EXOR-Gatter für die Summenbildung eingesetzt.

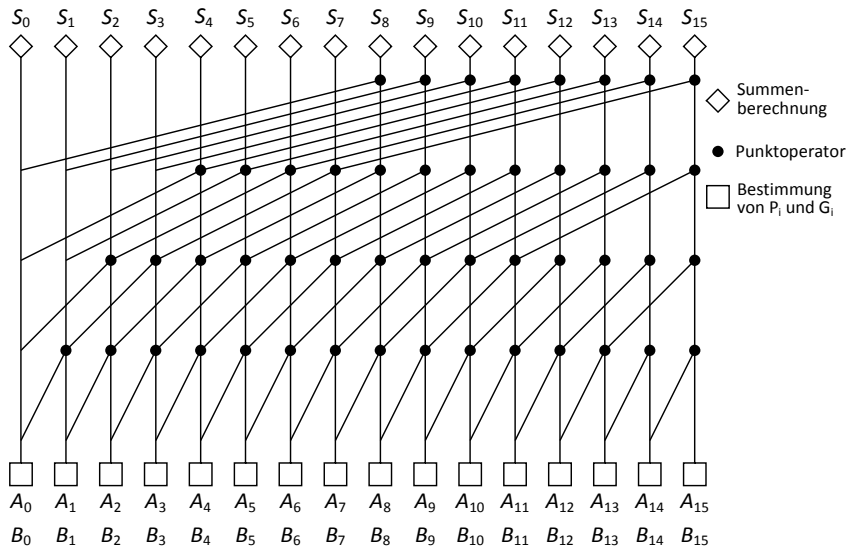


Bild 7.25 Struktur des Kogge-Stone 16 Bit-Addierers [121].

Der Kogge-Stone Addierer zeichnet sich durch eine reguläre Struktur, die ein einfaches Layout ermöglicht, aus. Weiter ist der Fan-Out der einzelnen Gatter nahezu

konstant. Somit wird die Aufgabe die Transistorweiten zu dimensionieren erleichtert. Nachteilig wirkt sich die Bildung der Übertragungssignale an den Zwischenknoten aus, da hierfür viel Fläche und Verlustleistung benötigt wird. Daher suchen Schaltungsentwickler nach einfacheren Baumstrukturen, die eine etwas geringere Schaltgeschwindigkeit bei reduzierten Flächen- und Verlustleistungsbedarf aufweisen.

Mit der in [22] von R. Brent und H. T. Kung vorgeschlagenen Methode gelingt dies. Es werden in einem binären Vorwärtspfad nur die Übertragsbits an Stellen $2^i - 1$ berechnet. Der größeren Einfachheit halber, wird wieder $C_{in} = 0$ gesetzt

$$\begin{aligned}
 C_0 &= G_0 \\
 C_1 &= \alpha [(G_1, P_1) \bullet (G_0, P_0)] = \alpha (G_{1:0}, P_{1:0}) \\
 C_3 &= \alpha [(G_{3:2}, P_{3:2}) \bullet (G_{1:0}, P_{1:0})] = \alpha (G_{3:0}, P_{3:0}) \\
 C_7 &= \alpha [(G_{7:4}, P_{7:4}) \bullet (G_{3:0}, P_{3:0})] = \alpha (G_{7:0}, P_{7:0}) \\
 &\vdots \\
 &\text{usw.}
 \end{aligned} \tag{7.48}$$

Offensichtlich ist die Baumstruktur des Vorwärtspfads nicht ausreichend. Es wird

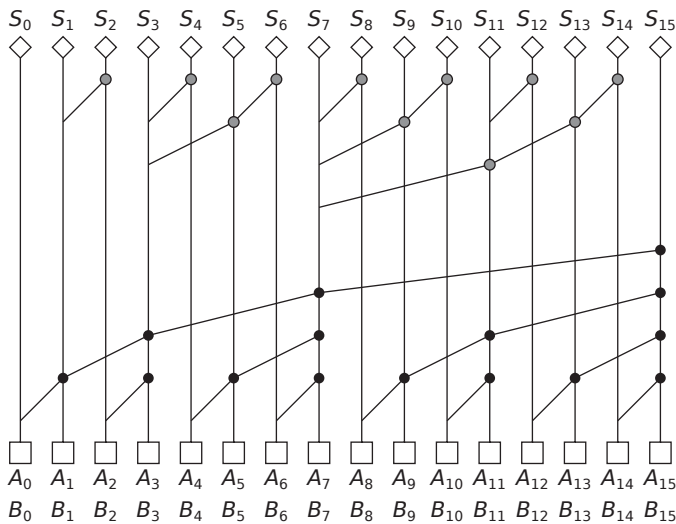


Bild 7.26a Baumstruktur eines Brent-Kung 16 Bit-Addierers [22].

zusätzlich ein inverser Pfad gebraucht, der in Bild 7.26a in grau eingezeichnet ist. Mit dieser Struktur werden Zwischenergebnisse zur Bildung der restlichen Übertragsbits herangezogen. Bei 16 Bit Wortbreite werden 27 Komplexgatter für die Punkt-Operatoren benötigt. Das ist etwas mehr als die Hälfte des Kogge-Stone-Addierers (49). Auch die Anzahl der Verbindungsleitungen ist deutlich reduziert. Allerdings ist die Verdrahtungsstruktur irregulärer und der Fan-Out der einzelnen

Gatter schwankt. Daher sollte der Brent-Kung-Addierer nicht für größere Wortbreiten ($m > 32$) eingesetzt werden.

Viele andere Baumstrukturen sind denkbar. Zum Beispiel wird in [213] vorgeschlagen die beiden Strukturen des Brent-Kung- und des Kogge-Stone-Addierers zu kombinieren (Bild 7.26b, Han-Carlson-Addierer). So entsteht bei 16 Bit Wortbreite eine Baumstruktur mit fünf Ebenen und 32 Zellen für die Punkt-Operation.

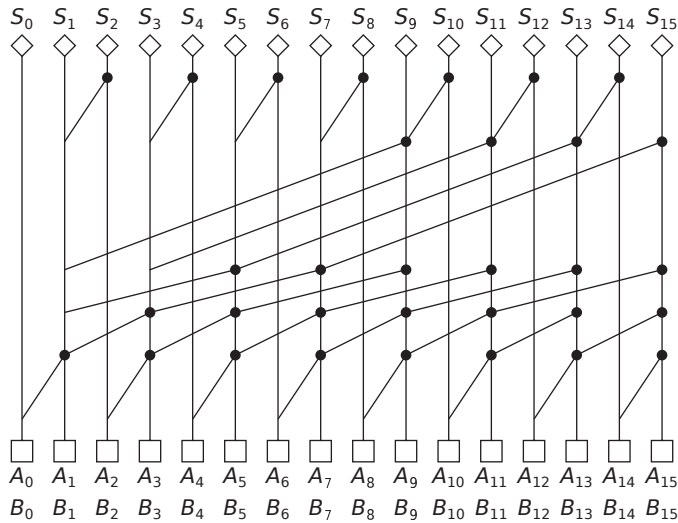


Bild 7.26b Baumstruktur eines 16 Bit Han-Carlson-Addierers [213].

Ein andere Möglichkeit besteht darin, die Anzahl an Verarbeitungsebenen zu verringern, indem nicht wie bisher immer zwei Paare zusammengefasst werden, sondern mehrere Paare an jeder Stelle in einer Ebene verrechnet werden. Dies bedingt aufwendigere Logikgatter pro Ebene. Zum Beispiel werden im Radix-4-Kogge-Stone-Addierer pro Ebene jeweils vier Paare verknüpft (Bild 7.27) [80]. Somit werden bei einer Wortbreite von 16 Bit nur zwei Logikebenen gebraucht; allerdings sind die Gatter für die Punkt-Operation in jeder Ebene komplexer als in den anderen bisher gezeigten Addierer.

7.1.9 Addition in redundanten Zahlensystemen

Die bisher behandelten bitparallelen Addierer werden unter dem Begriff Carry-Propagate-Addierer (CPA) zusammengefasst. Es werden die Übertragsbits entweder sequentiell von der niedrigstwertigen bis zur höchstwertigen Stelle durchgeschleift oder entlang einer Baumstruktur weitgehend parallel errechnet. In diesem Kapitel wird die Frage behandelt, ob es eine Zahlendarstellung gibt, mit der das Laufen

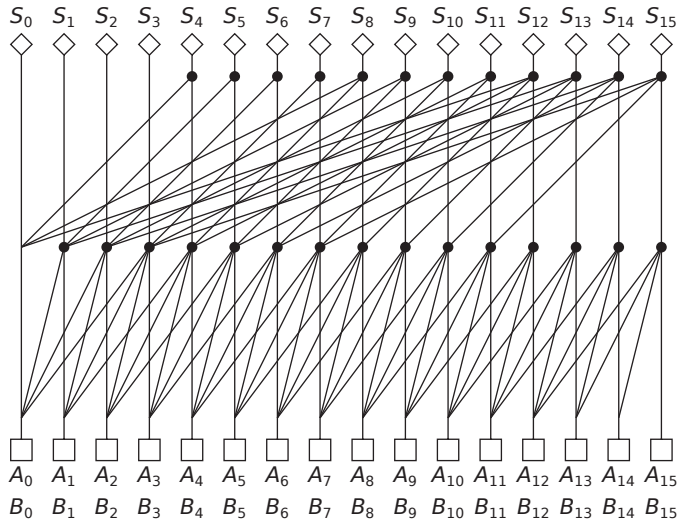


Bild 7.27 Baumstruktur eines Radix-4-Brent-Kung 16 Bit-Addierers.

von Übertragsbits bei der Addition vermieden werden kann. Tatsächlich kann nicht verhindert werden, dass Übertragsbits generiert werden. Aber im günstigsten Fall enden die Übertragsbits in der nächsten Stelle. Das Zauberwort zur Lösung des Problems heißt redundante Zahlendarstellung.

Eine Zahlendarstellung ist redundant, wenn in einem Zahlensystem mit polyadischer Stellenwertdarstellung mit dem zur Verfügung stehenden Satz an Ziffern mehrere Repräsentationen pro darzustellende Zahl möglich sind. Die Methode beruht darauf, dass bei einem Zahlensystem mit der Basis r ein erweitertes Ziffernalphabet mit mehr als r Elementen benutzt wird. Zum Beispiel, wenn in einem Dezimalsystem ($r = 10$) Ziffern von 0 bis 18 zugelassen sind. Die Zahlendarstellung heißt minimal redundant, falls das erweiterte Ziffernalphabet $r + 1$ Elemente verwendet. Von maximal redundant spricht man, wenn das Alphabet $2r - 1$ Elemente enthält.

Oft wird der Einsatz von redundanten Zahlensystemen gescheut, da zusätzliche Schaltungen für die Konversion von nicht redundanten Zahlen in redundanten Zahlen und zurück benötigt werden. Dies bedeutet einen höheren Hardwareaufwand, zusätzliche Laufzeitverzögerungen und erhöhte Verlustleistung. Die Nachteile können minimiert werden, wenn nur wenige Konversionen zwischen den Zahlensystemen notwendig sind. Die Konversion sollte nur am Eingang und am Ausgang notwendig sein. Man sollte auch die Zwischenergebnisse mit redundanten Zahlen darstellen. So lassen sich leichter Hochgeschwindigkeitsprozessoren realisieren [99, 169].

7.1.9.1 Carry-Save-Addition

Die „Carry-Save“- (CSA)-Arithmetik nimmt eine besondere Stellung ein, da sie ein Zahlensystem mit der Basis zwei ist, aber drei Ziffern (0, 1, 2) pro Stelle zulässt (Bild 7.28). Pro Wertigkeit 2^i wird ein Summenbit z_s^i und ein Übertragsbit z_c^i verwendet. Diese Zahlendarstellung wurde 1945 von John v. Neumann vorgeschlagen

$$z = \sum_{i=0}^{n-1} (z_c^i + z_s^i) \cdot 2^i \quad (7.49)$$

$$\begin{aligned} z^i &\in \{0, 1, 2\} \\ z_{c,s}^i &\in \{0, 1\} \end{aligned} \quad .$$

2^i	2^i	2^i
x_s^i	x_c^i	z^i
0	0	0
0	1	} 1
1	0	
1	1	
} 1 Bit		} 2 Ziffer

$$z = \sum_{i=0}^{n-1} (z_c^i + z_s^i) \cdot 2^i$$

$2^i \triangleq \text{Ziffer}$
 $z^i \in \{0, 1, 2\}$

Bild 7.28 Kodierung in der Carry-Save-Arithmetik.

In Carry-Save-Addierern [160, 106, 173] wird bei der Addition von K2-Zahlen die Übertragsverarbeitung in einer Kette von Addiererstufen auf nachfolgende Stufen verlagert. Pro Wertigkeit 2^i gibt ein Volladdierer ein Summenbit S_i und ein Übertragsbit C_{i+1} ab (Bild 7.29). Die Übertragssignale werden, statt wie in Ripple-Carry-Addierern in derselben Reihe, in der nächsten Reihe an der Stelle mit der nächsthöheren Wertigkeit berücksichtigt. Am Ende der Kette erfolgt optional die Übertragsverarbeitung in einer abschließenden Carry-Propagate-Addiererstufe, die auch Vector-Merging-Addiererstufe oder einfach Final-Adder genannt wird. Mit einer abschließenden RCA-Reihe erhält man für die Addition von n Datenwörter mit Wortbreiten von m Bits folgende Gatterlaufzeit

$$t_{p,CSA} = (m - 1) \cdot t_c + n \cdot t_{\text{Sum}} \quad (7.50)$$

Im Vergleich zur Additionszeit einer Kettenschaltung aus Ripple-Carry-Addierern ist die Additionszeit wegen der zusätzlichen Vector-Merging-Stufe um eine Volladdierersummenlaufzeit größer. Der Vorteil des Carry-Save-Prinzips ist, dass die Beschleunigung des Rechenvorgangs vereinfacht wird, da nur in einer Addiererreihe, der abschließenden Carry-Propagate-Addiererreihe, aufwendige Schaltungen eingesetzt werden müssen.

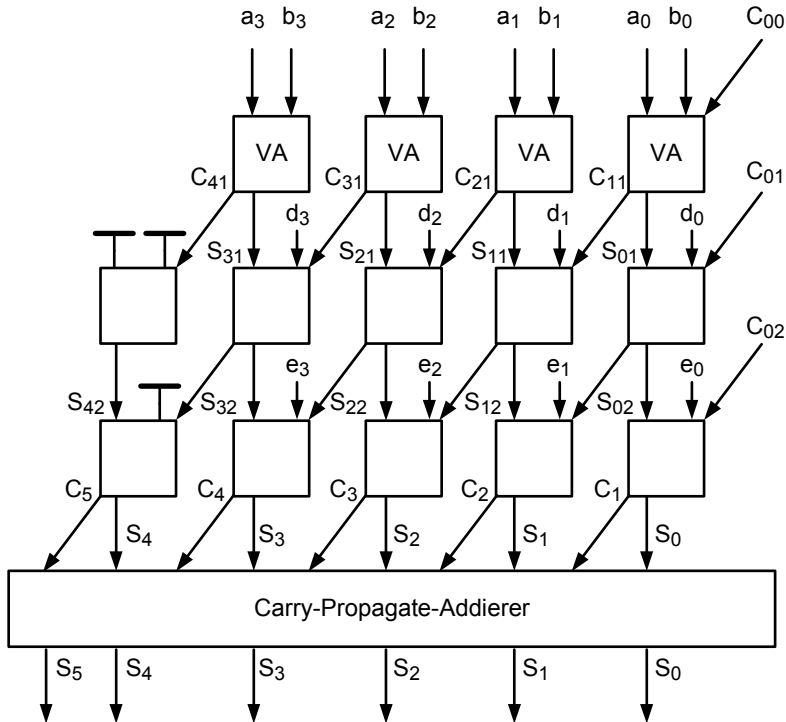


Bild 7.29 Prinzip eines Carry-Save-Addierers für die Datenwörter A , B , D und E .

Die abschließende Carry-Propagate-Addiererreihe kann entfallen, wenn man zu einer redundanten Zahlendarstellung übergeht. Das Ergebnis der Addition wird für die nachfolgende Verarbeitung durch je ein K2-Datenwort für die Summenbits und für die Übertragsbits dargestellt, wobei das Datenwort für die Übertragsbits um eine Stelle verschoben ist. Das Laufen des Übertragungssignals wird unterbunden, deswegen verkürzt sich die Additionszeit auf $(n - 1) \cdot t_{\text{Sum}}$. Die Übertragsbits beeinflussen nur die Addition an der nächst höherwertigen Stelle (Latenz $L = 1$). In einer Reihe von Carry-Save-Addierern kann zu einem aufgelaufenen Ergebnis, das mittels eines Summenworts und eines Übertragungsworts dargestellt wird, ein K2-Wort addiert werden.

Für die Addition zweier Carry-Save-Zahlen sind zwei Reihen von Carry-Save-Addierern erforderlich (Bild 7.30). Pro Stelle weisen die beiden Zahlen vier Bits auf. Mit einem Volladdierer können aber nur drei Bits addiert werden. In einer ersten Carry-Save-Stufe werden drei der eingehenden Bits zusammengefasst. Man erhält ein Summenbit, das an die nächste Stufe mit derselben Wertigkeit (2^i) weitergeleitet wird, und ein Übertragsbit, das an die zweite Stufe der Stelle 2^{i+1} abgegeben wird. Entsprechend wird ein Übertragsbit von Stelle 2^{i-1} an die zweite Stufe mit der Wertigkeit 2^i weitergereicht. Somit werden in der zweiten Stufe das Summenbit der ersten Stufe, das übriggebliebene Bit der Carry-Save-Zahlen und ein Übertragsbit

aufaddiert. Wieder entstehen ein Summenbit und ein Übertragsbit, das an die nächst höhere Stelle weitergereicht wird. Dafür bekommt man wieder von der nächst niederwertigen Stelle ein Übertragsbit. Im ungünstigsten Fall hat das Übertragsbit an der Stelle 2^{i-2} seinen Ursprung und wird bis zur Stelle 2^i weitergeleitet. Es müssen maximal zwei Volladdierer durchlaufen werden. Die Latenz wird von zwei Stellen bestimmt ($L = 2$). Auch mit diesem Schema wird das Laufen des Übertragungssignals von der niedrigstwertigen Stelle zur höchstwertigen Stelle unterbunden. Innerhalb einer Wertigkeit, einer sogenannten Bitscheibe (bit slice), werden mittels zweier Volladdierer vier eingehende Bits zu zwei Bits komprimiert. Man spricht von einem 4-2-Kompressor, während ein Volladdierer 3 Bits auf 2 Bits verdichtet.

Neben den Carry-Save-Zahlen gibt es noch andere für die Praxis wichtige redundante Zahlensysteme.

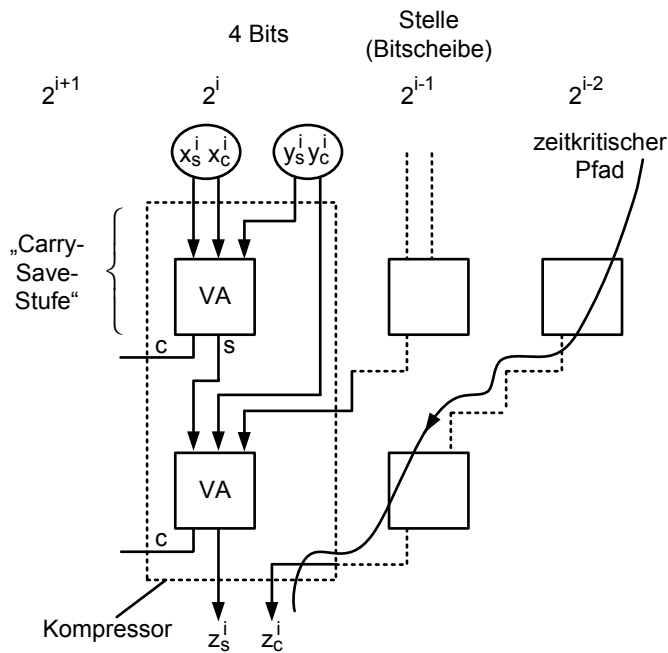


Bild 7.30 Addition zweier Carry-Save-Zahlen. Pro Wertigkeit werden vier Bits zu zwei Bits verdichtet (4-2-Kompressor).

7.1.9.2 Addition von Signed-Digit-Zahlen

Im Jahr 1960 hat A. Avizienis eine Klasse von vorzeichenbehafteten (signed digits) Zahlen mit $r > 2$ und symmetrischen Ziffernvorrat definiert [9]. Für einen symmetrischen Ziffernvorrat gilt

$$a_i \in \{-\alpha, \dots, -1, 0, 1, \dots, \alpha\} \quad (7.51)$$

mit $2\alpha \geq r$.

Die Übertragsbits wirken sich nur über eine Stelle aus. In neuerer Zeit wurden redundante Zahlensystemen untersucht, die mit erweiterten auch unsymmetrischen Ziffernvorräten arbeiten $(-\alpha, \beta)$ [169]. Diese Klasse wurde GSD-(Generalized-Signed-Digit-) Zahlensystem genannt. Im Unterschied zu den OSD-(Ordinary Signed-Digit-) Zahlen nach A. Avizienis, können GSD-Systeme unterschiedliche Grade an Redundanz aufweisen. GSD-Zahlen umfassen auch Carry-Save-Zahlen, die auch „Binary-Stored-Carry“- (BSC-) Zahlen genannt werden. BSC-Zahlen gehören nicht zu den OSD-Zahlensystemen und weisen eine geringe Redundanz auf.

Ein wichtiger Parameter für GSD-Zahlensysteme ist das Maß ρ , mit dem der Grad an Redundanz bestimmt wird

$$\rho = \alpha + \beta + 1 - r \quad (7.52)$$

Mit ρ wird festgestellt, wie sehr der Ziffernvorrat einer redundanten Zahl größer ist als der einer nichtredundanten Zahl mit der Basis r .

Der Algorithmus für eine Addition von SD-Zahlen X und Y mit symmetrischen Ziffernvorrat und $r > 2$ ist in Bild 7.31 dargestellt. Pro Wertigkeit benötigt man eine zweistufige Logik. In einer ersten Stufe wird die Transferziffer t_{i+1} gebildet

$$t_{i+1} = \begin{cases} +1 & ; (x_i + y_i) > w_{\max} \\ -1 & ; (x_i + y_i) < -w_{\max} \\ 0 & ; \text{sonst} \end{cases} \quad (7.53)$$

Um den Hardwareaufwand gering zu halten, wählt man

$$t_{i+1} \in \{-1, 0, 1\} \quad (7.54)$$

Als Rest bleibt eine Zwischensumme w_i

$$w_i = (x_i + y_i) - r \cdot t_{i+1} \in \{-w_{\max}, \dots, w_{\max}\} \quad (7.55)$$

Die Endsumme s_i errechnet sich wie folgt

$$s_i = w_i + t_i \in \{-\alpha, \dots, \alpha\} \quad (7.56)$$

Die größten Elemente der Endsumme müssen Teilmenge des Ziffernvorrats sein, damit ein Übertrag in die nächste Stufe verhindert wird.

Als Beispiel dient die Addition von SD-Zahlen mit $r = 3$, und x_i, y_i und s_i aus $\{-2, -1, 0, 1, 2\}$. Weiter soll t_i Werte aus $\{-1, 0, 1\}$ haben, somit folgt für $w_{\max} = 1$, da

$$t_{i,\max} + w_{i,\max} \leq \alpha \quad (7.57)$$

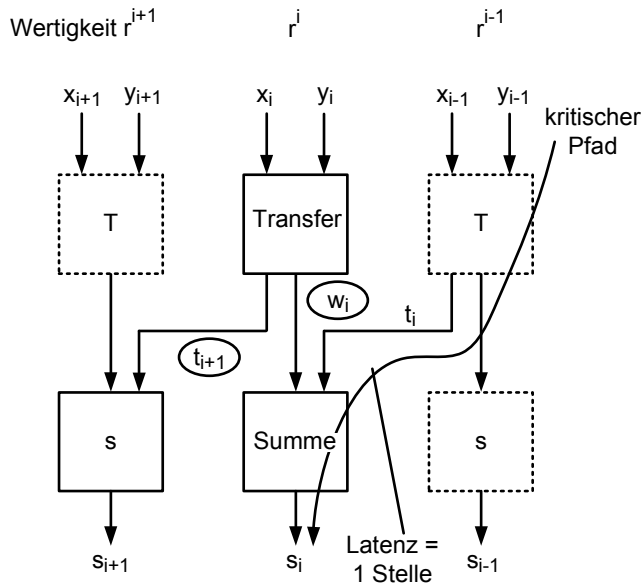
Addition $X+Y$ 

Bild 7.31 Addition zweier symmetrischer SD-Zahlen X und Y mit $r > 2$. $x_i, y_i \in \{-\alpha, \dots, \alpha\}$.

sein muss, um den Einfluss des Transfers auf eine Stelle zu begrenzen. Also für $x_i = 2$ und $y_i = 2$ folgt

$$t_{i+1} = 1$$

$$w_i = x_i + y_i - r \cdot t_{i+1} = 1 \quad .$$

Wenn $t_i = 1$, dann ergibt sich

$$s_i = w_i + t_i = 2 = \alpha \quad .$$

Würde man $r = 2$ wählen, wäre der Ziffernvorrat auf $\{-1, 0, 1\}$ begrenzt. Die Werte für t_i sind wieder $\{-1, 0, 1\}$, daraus folgt aber $w_{\max} = 0$. Die Basis $r = 2$ gehört nicht zu den OSD-Systemen nach A. Avizienis. Der Übertrag über eine Wertigkeit ist nicht ausreichend.

In [169] werden drei Methoden beschrieben, wie für SD-Zahlen mit $r = 2$ die Überträge auf zwei Stellen begrenzt werden können, das heißt die Summe s_i wird im ungünstigsten Fall von der Transferziffer t_{i-2} beeinflusst. In diesen Fällen gilt $L = 2$. Hier soll eine vierte Methode, die besonders attraktiv ist, erläutert werden.

Wegen der Hardware müssen die Ziffern eines Alphabets binär dargestellt werden. Im nachfolgenden beschränken wir uns auf binäre SD-Zahlen mit der Basis $r = 2$ und den Ziffernvorrat $\{-1, 0, 1\}$. Um die drei Ziffern zu kodieren, werden mindestens zwei Bits benötigt. Bild 7.32a zeigt drei der vielen Möglichkeiten. Die

Erfahrung lehrt, dass das Kodierschema (p, n) einfachere Hardwarelösungen zulässt. Deswegen wird nachfolgend nur noch von diesem Kodierschema ausgegangen (Bild 7.32b).

x_i	1	-1	0	-1	0	Darstellung +6
(s, v)	01	11	00	11	00	Vorzeichen + Betrag
K2	01	11	00	11	00	2 Bit K2-Zahlen
(p, n)	10	01	00	01	11	Positive und negative Bits

Bild 7.32a Drei Möglichkeiten für die binäre Kodierung der Ziffern $\{-1, 0, 1\}$.

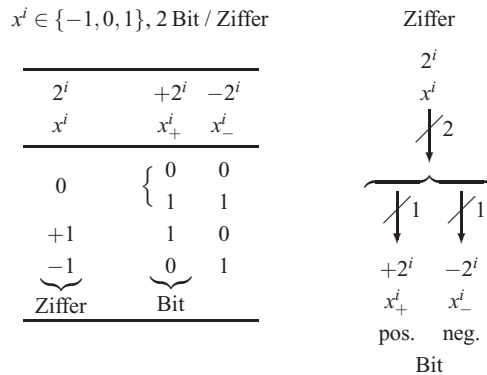


Bild 7.32b Zweckmäßige Kodierung einer SD-Zahl zur Basis $r = 2$.

Die anschließenden Rechnungen mit SD-Zahlen mit $r = 2$ werden vereinfacht, wenn es nur eine Darstellung für die Null, nämlich $(0, 0)$ zugelassen wird. Um die Redundanz zu unterdrücken, benötigt man eine Umkodierung, deren Wertetabelle in Bild 7.33a dargestellt ist. Aus der Wertetabelle ergeben sich die folgenden logischen Gleichung für die neuen Bits x_r^- und x_r^+

$$x_r^+ = (x_+ \oplus x_-) \cdot x_+ = (x_+ \cdot \overline{x_-} + \overline{x_+} \cdot x_-) \cdot x_+ = x_+ \cdot \overline{x_-} = \overline{\overline{x_+} + x_-} \quad (7.58)$$

$$x_r^- = (x_+ \oplus x_-) \cdot x_- = x_- \cdot \overline{x_+} = \overline{\overline{x_-} + x_+} \quad (7.59)$$

Die Schaltung für die Umkodierung zeigt Bild 7.33b.

Ähnlich wie bei den SD-Zahlen mit $r = 2$ kann auch bei Carry-Save-Zahlen die Redundanz, hier bezüglich der Ziffer 1, die mit $(0, 1)$ oder mit $(1, 0)$ dargestellt werden kann, verhindert werden. Die Wertetabelle und die sich daraus ergebende Schaltung ist in Bild 7.34 dargestellt.

Die Konversion von Carry-Save-Zahlen in SD-Zahlen mit $r = 2$ ist sehr einfach. Die Konversion wird seriell, beginnend mit der niedrigstwertigen Stelle, durchge-

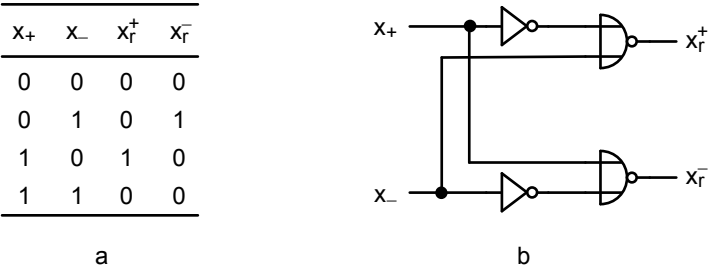


Bild 7.33 Wertetabelle (a) und Schaltung (b) zur Neukodierung von SD-Zahlen mit der Basis $r = 2$.

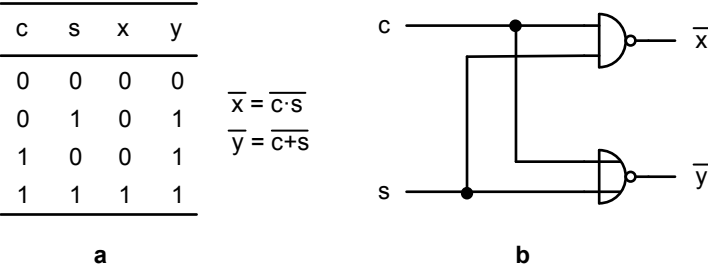


Bild 7.34 Wertetabelle (a) und Schaltung (b) zur Neukodierung von Carry-Save-Zahlen zur Vermeidung der Redundanz.

führt. Jede Ziffer 2 in einer Carry-Save-Zahl wird mittels einer Übertragsziffer 1 und einer Summenziffer 0 dargestellt. Jede Ziffer 1 in einer Carry-Save-Zahl wird mit einer Übertragsziffer 1 und einer Summenziffer -1 , entspricht $(0, 1)$, beschrieben (Bild 7.35) [169].

	1	1	2	0	2	0	Carry-Save-Zahl
	-1	-1	0	0	0	0	Zwischensumme
	1	1	1	0	1	0	Transferziffern
	1	0	0	0	1	0	Zahl mit Ziffern $\{-1, 0, 1\}$
	(1, 0)	(0, 0)	(0, 0)	(0, 0)	(1, 0)	(0, 0)	Zahl mit 2 Bits pro Ziffer (p, n)

Bild 7.35 Konversion einer Carry-Save-Zahl in eine SD-Zahl mit $r = 2$.

Die Addition von zwei SD-Zahlen X und Y mit $r = 2$ und der Kodierung (p, n) wird in Bild 7.36 erläutert. Innerhalb einer Bitscheibe werden seriell zwei Logikblöcke durchlaufen. In dem ersten Transferblock T1 werden zwei positive Bits (x_i^+, y_i^+)

und ein negatives Bit x_i^- verarbeitet. Das negative Bit von Y (y_i^-) wird erst später berücksichtigt. Wann immer es möglich ist, wird ein positiver Transfer $t_{i+1}'^+$ durchgeführt. Die verbleibende Zwischensumme w_i^- ist dann Null oder -1 . Von der nächst niederen Stelle $i-1$ kann nur $+1$ transferiert werden. Das heißt, wenn nur dieses Transferbit berücksichtigt werden müsste, würden es in der zweiten Stufe absorbiert werden. Aber es muss noch das übriggebliebene negative Bit verrechnet werden. Dies erfolgt dadurch, dass nun in der zweiten Transferstufe immer dann wenn es möglich ist ein negatives Transferbit $t_{i+1}''^-$ generiert wird, was zunächst ein positives Zwischensummenbit oder Null bewirkt. Somit wird das eingehende negative Bit y_i^- absorbiert. Das Transferbit $t_{i+1}''^-$ wird von zwei Logikblöcken bestimmt ($L=2$).

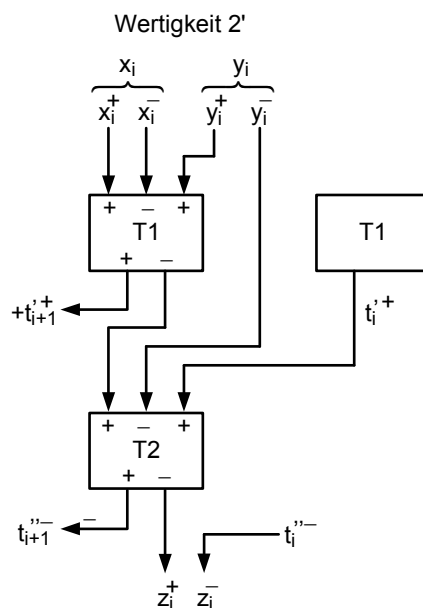


Bild 7.36 Addition mittels zweier Transferblöcke T1 und T2 von zwei SD-Zahlen X und Y mit $r = 2$, die (p, n) kodiert sind.

Bild 7.37a enthält die Wertetabelle des Transferblocks T1. Immer wenn es möglich ist, wird ein positives Transferbit t'_{i+1}^+ generiert. Die Zwischensumme w_i^- ist entweder Null oder -1 . Zum Vergleich wird in diesem Bild auch die Wertetabelle eines Volladdierers VA, wobei das eingehende Übertragsbit C_{in} als d bezeichnet wird, wiederholt. Die Wertetabelle für T1 lässt sich aus der Wertetabelle für VA erzeugen, indem man das Summenbit s und das Bit des Summanden b invertiert. Man kann also mittels Volladdierer und mit vor- und nachgeschalteten Invertern den Transferblock T1 realisieren. In Bild 7.38 ist dies graphisch dargestellt.

T1					VA				
x_i^+	x_i^-	y_i^+	t'_{i+1}^+	w_i^-	a	b	d	c	s
0	1	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	1
0	0	1	1	1	0	1	1	1	0
1	1	0	0	0	1	0	0	0	1
1	1	1	1	1	1	0	1	1	0
1	0	0	1	1	1	1	0	1	0
1	0	1	1	0	1	1	1	1	1

Spalten sind genau invertiert

Bild 7.37a Vergleich der Wertetabellen des Transferblocks T1 und eines Volladdierers VA.

Ähnliches gilt für den Transferblock T2. Nun müssen die Bits der beiden Summanden a und b und das Übertragsbit c des Volladdierers invertiert werden, um die Wertetabelle von T2 zu erhalten (Bild 7.38).

T2					VA				
w_i^-	y_i^-	t_i^+	t'_{i+1}^-	z_i^+	a	b	d	c	s
1	1	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	1	0	1
1	0	0	1	1	0	1	0	0	1
1	0	1	0	0	0	1	1	1	0
0	1	0	1	1	1	0	0	0	1
0	1	1	0	0	1	0	1	1	0
0	0	0	0	0	1	1	0	1	0
0	0	1	0	1	1	1	1	1	1

Spalten sind invertiert

Anti-symmetrie

Bild 7.37b Vergleich der Wertetabellen des Transferblocks T2 und eines Volladdierers VA.

Sollen mehrere SD-Zahlen ($r = 2$, (n, p) kodiert) addiert werden, vereinfachen sich die Dinge, wie Bild 7.39 zeigt. Es kompensieren sich alle „Zwischeninversionen“; somit können die entsprechenden Inverter weggelassen werden. Man erhält die gleiche Topologie wie bei Carry-Save-Multioperandenaddierer (Bild 7.30) Für die Carry-Save-Addition spricht, dass sie auf der gewohnten K2-Zahlendarstellung beruht.

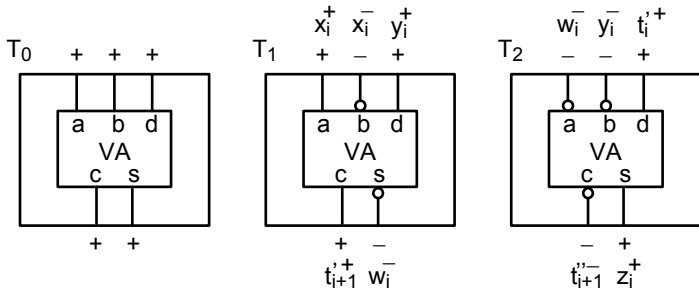


Bild 7.38 Drei Typen von verallgemeinerten Volladdierer. Volladdierer T_0 , Transferblock T_1 und Transferblock T_2 .

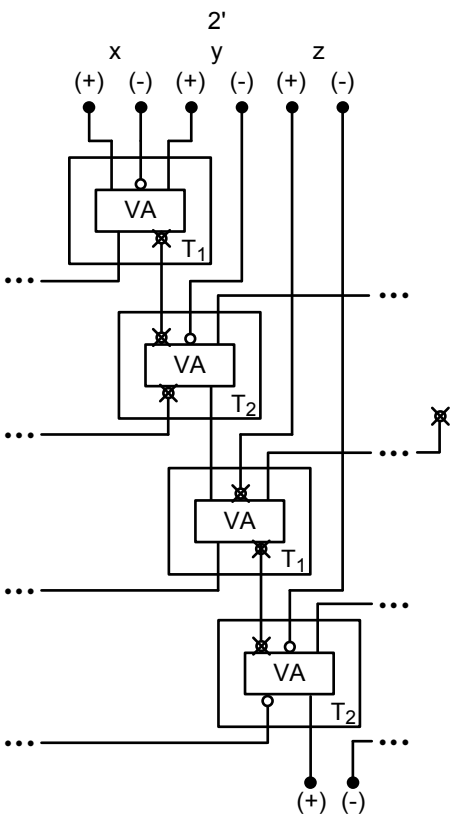


Bild 7.39 Kettenschaltung von SD-Addierern ($r = 2, (n, p)$ kodiert).

Die Addition von zwei SD-Zahlen mit $r = 2$, die mit (p, n) kodiert sind, hat eine Latenz $L = 2$ und kann mit geringen Erweiterungen mit Volladdierern dargestellt werden. Eine Subtraktion mit derartigen Zahlen wird auf eine Addition zurückgeführt, indem man das positive und das negative Bit pro Stelle des Subtrahenden vertauscht.

Bei redundanten Zahlen wird die Übertragsoperation bis zur Rückumwandlung in nichtredundante binäre Zahlen aufgeschoben. Beispielsweise kann eine $+6$ in einer SD-Zahl mit $r = 2$ wie folgt dargestellt werden.

1	-1	0	-1	0	BSD-Darstellung einer $+6$
1	0	0	0	0	positiver Teil 1 Bit
0	1	0	1	0	negativer Teil

Die Rückwandlung erfolgt mit einer Zweierkomplementzahlendarstellung. Es ergibt sich für das Beispiel $+6$:

0	1	0	0	0	0	positiver Teil
1	1	0	1	1	0	negativer Teil (K2-Darstellung)
Σ	0	0	0	1	1	0 Summe $+6$ (Übertrag in die siebte Stelle weglassen)

Es kann ein Übertragungssignal von der niedrigstwertigen zur höchstwertigen Stelle laufen. Die Rückwandlung vereinfacht sich merkbar, wenn die SD-Zahl mit $r = 2$ keine zwei Darstellungen für die Null hat, nämlich wenn $(1, 1)$ ausgeschlossen ist. Wenn $(0, 1)$, dann wird ein negatives "Borge-Bit" β_{i+1}^- generiert, das zur nächst höheren Stelle addiert wird. Man erhält folgende Wertetabelle für die Rückwandlung einer SD-Zahl $D(d_i^+, d_i^-)$:

d_i^+	d_i^-	β_i^-	x_i	β_{i+1}^-
0	0	0	0	0
0	1	0	1	1
1	0	0	1	0
0	0	1	1	1
0	1	1	0	1
1	0	1	0	0

Tabelle 7.2 Wertetabelle für die vereinfachte Rückwandlung einer SD-Zahl in eine binäre Zahl.

Aus der Wertetabelle lassen sich die Gleichungen für das „Borge-Bit“ β_{i+1}^- und das Summenbit x_i ableiten

$$\beta_{i+1}^- = d_i^- + \overline{d_i^+} \cdot \beta_i^- \quad (7.60)$$

$$x_i = (d_i^+ + d_i^-) \oplus \beta_i^- \quad (7.61)$$

Im Vergleich zu den Gleichungen für die übliche Addition ohne Einschränkung spart man ein EXOR-Gatter.

7.1.10 Baumstrukturen

Die Addition von mehreren Wörtern tritt bei einer Multiplikation oder bei der Berechnung eines inneren Produktes auf. Anstatt, wie in den Bildern 7.30 und 7.29, die Wörter sequentiell zu addieren, werden, um die Verarbeitungsgeschwindigkeit zu erhöhen, Baumstrukturen eingesetzt, die zusätzlich zur Bitebene auch auf der Wortebene eine Parallelverarbeitung ermöglichen. In Bild 7.40a, das die Addition von K2-Zahlen auf der Bit- und auf der Wortebene darstellt, wird das Prinzip veranschaulicht. Es sollen die Wörter $a, b, e, f, g, \dots$ mittels der Carry-Save-Arithmetik addiert werden. Die Wortbreite sei n Bits. Man unterteilt die zu addierenden Wörter in Dreiergruppen und beginnt in einer ersten Reihe von Volladdierern mit der parallelen Addition. Jeder Volladdierer bildet aus drei Eingangsbits als Ergebnis ein Summenbit und ein Übertragsbit. Es findet also eine Datenreduktion statt. Nun braucht man eine zweite Reihe von Volladdierern um die verbleibenden Bits zu addieren. Gemäß den Rechenregeln für die Carry-Save-Addition werden die Übertragsbits an die zweite Reihe von Volladdierern der nächst höheren Wertigkeit weitergeleitet. Dafür kommen von der nächst niederen Wertigkeit genauso viele Übertragsbits. Um die Darstellung der Vorgänge zu vereinfachen, wird hierfür auf der Wortebene ein eigenes Symbol – ein Pfeil – verwendet. Nach der Anzahl der zu addierenden Wörter richtet sich die Anzahl der Volladdiererreihen. Damit man das Ergebnis in einer nicht redundanten K2-Zahlendarstellung erhält, wird zuletzt ein Carry-Propagate-Addierer (CPA) eingesetzt. Sollen sechs Wörter addiert werden, werden drei Reihen von Volladdierern nach dem Carry-Save-Prinzip und eine Reihe Carry-Propagate-Addierer benötigt (Bild 7.40a).

Die Methode wird vielleicht verständlicher, wenn sie aus einer anderen Blickrichtung erklärt wird. Nun sollen neun Wörter mit der Ergebniswortbreite m addiert werden. In Bild 7.40b sind die zu addierenden Bits dargestellt. Innerhalb einer Bitscheibe i müssen $k = 9$ Bits, entsprechend den neun Datenwörtern, addiert werden. Bei einer seriellen Vorgehensweise werden in einer Bitscheibe zuerst drei Bits zusammengefasst. Man erhält ein Übertragssignal, das zur nächsten Bitscheibe $i + 1$ transferiert wird. Entsprechend erhält man ein Übertragsbit von der Bitscheibe $i - 1$. Wie es Bild 7.40c zeigt, wird für jedes weitere Bit, das heißt für jedes weitere Datenwort, ein Volladdierer in Serie geschaltet. Insgesamt müssen sieben Volladdierer in jeder Bitscheibe seriell durchlaufen werden.

Mit einer Baumstruktur in jeder Bitscheibe, die auch nach ihrem Erfinder Wallace-Baumstruktur („Wallace Tree“) genannt wird, gelingt es die Additionszeit wesentlich zu verringern. Anstatt die Bits in einer Bitscheibe seriell zu verarbeiten, werden die neun Bits des Beispiels in drei Gruppen zu jeweils drei Bits zusammengefasst und in einer ersten Reihe von drei Volladdierern parallel verarbeitet (siehe Bild 7.40d). Es entstehen drei Summen- und drei Übertragssignale. Wieder werden

0	0	0	0	0	1	1	0	1	0	1	$k=0$
0	0	0	0	0	0	0	0	0	0	0	$k=1$
0	0	0	0	0	0	0	0	0	0	0	$k=2$
0	0	0	0	0	0	0	0	0	0	0	$k=3$
0	0	0	0	0	0	0	0	0	0	0	$k=4$
0	0	0	0	0	0	0	0	0	0	0	$k=5$
0	0	0	0	0	0	0	0	0	0	0	$k=6$
0	0	0	0	0	0	0	0	0	0	0	$k=7$
0	1	0	0	0	1	0	0	0	0	0	$k=8$
0	1	0	1	0	0	1	0	1	0	1	

i -te Bitscheibe

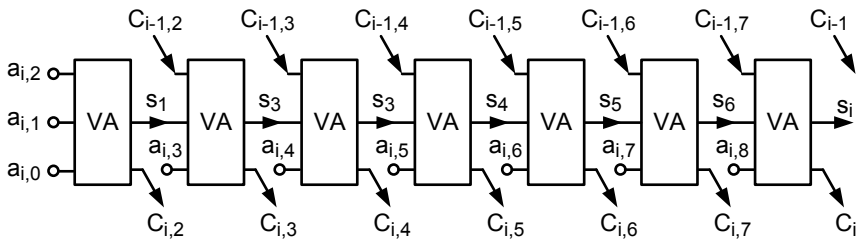
Bild 7.40b Addition von neun (k) Datenwörtern mit m Bit Wortbreite.

Bild 7.40c Serielle Addition der Bits in einer Bitscheibe.

die Übertragungssignale an die nächst höhere Wertigkeit geleitet. Die Anzahl der zu addierenden Bits pro Wertigkeit bleibt jedoch unverändert. Zwei Volladdierer in der zweiten Ebene reduzieren die Anzahl der zu addierenden Bits von sechs auf vier. Die restlichen vier Bits werden schließlich mit Hilfe zweier seriell geschalteter Volladdierer verarbeitet. Anstatt sieben Volladdiererlaufzeiten für den seriellen Aufbau innerhalb einer Bitscheibe genügen nun vier Laufzeiten bis das endgültige Ergebnis in der CSA-Darstellung vorliegt.

Bei zwölf zu addierenden Wörtern muss man fünf Ebenen von Carry-Save-Addierern ohne den abschließenden Vector-Merging-Addierer einsetzen (siehe Bild 7.41). Wie es in diesem Bild auch angedeutet ist, kann man mit derselben Struktur auch dreizehn Bits, beziehungsweise dreizehn Wörter, addieren, da bei zwölf Bits ein Eingang eines Volladdierers in der zweiten Reihe frei bleibt.

Da jede Volladdiererreihe die zu addierenden Bits um den Faktor $2/3$ reduziert, kann man dem Bild 7.41 den Zusammenhang zwischen Anzahl der zu addierenden Wörter k und der benötigten Stufenzahl L entnehmen. Nach anfänglichen k Eingängen verbleiben nach $L - 2$ Reihen jeweils vier Wörter, die mittels zweier zusätzlicher Volladdiererreihen und einer Vector-Merging-Addiererreihe noch addiert werden müssen. Es gilt

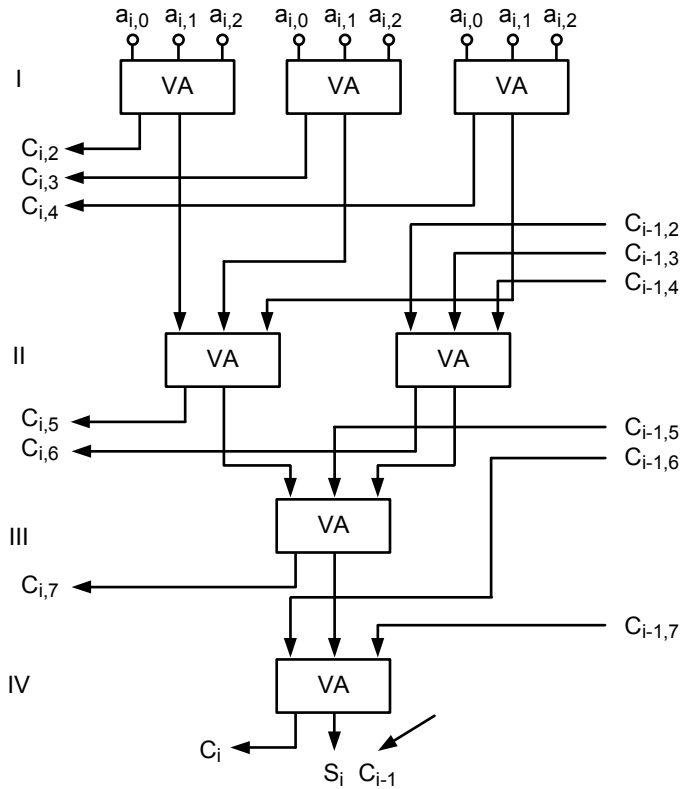


Bild 7.40d Wallace-Baumstruktur in einer Bitscheibe.

$$4 = k \cdot \left(\frac{2}{3}\right)^{L-2} . \quad (7.62)$$

Daraus errechnet sich die Anzahl L der Volladdiererreihen ohne den abschließenden VMA zu

$$L = \frac{\log 4 - \log k}{\log \frac{2}{3}} + 2 . \quad (7.63)$$

Bleibt man in der Carry-Save-Zahlendarstellung und kann somit auf den abschließenden VMA verzichten, ist die Summenlaufzeit t_s proportional zu L und damit proportional zu $\log k$

$$t_s = L \cdot \tau_{VA} \propto \log k . \quad (7.64)$$

Es gibt viele Varianten an Baumstrukturen: Wichtige Arbeiten auf diesem Gebiet haben C. S. Wallace und L. Dadda geleistet [169].

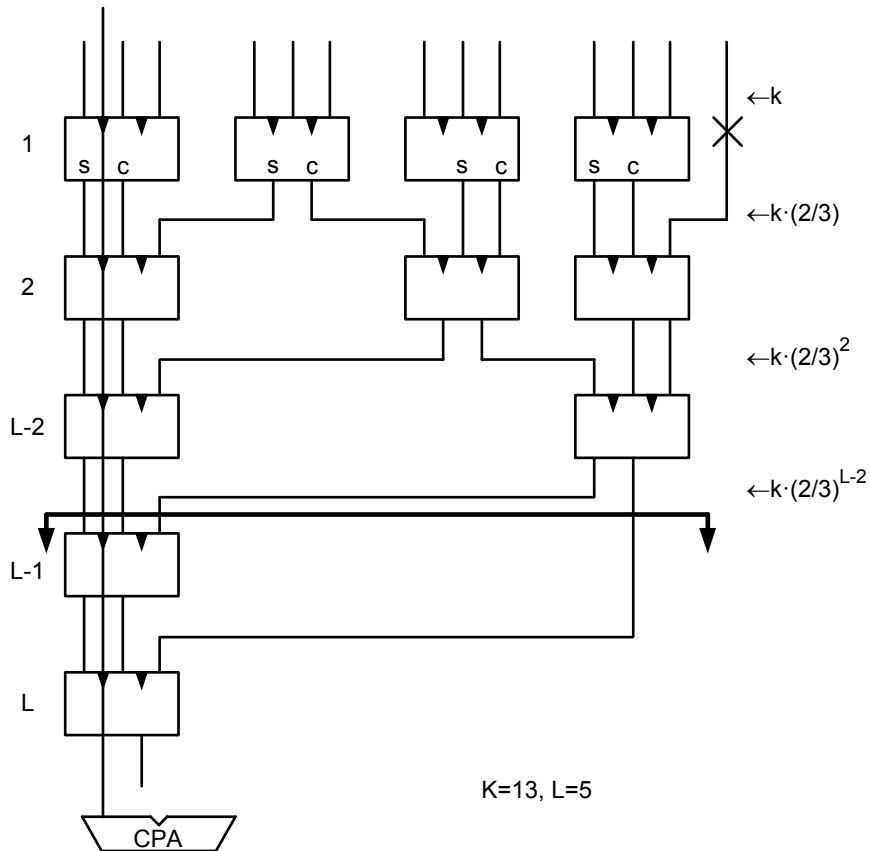


Bild 7.41 Stufenzahl L in Abhängigkeit von der Zahl der Eingänge k . Darstellung in der Wortebene, Symbole für die Führung der Übertragsbits wurden weggelassen.

7.1.11 Akkumulatoren

Für die Addition von vielen Zahlen werden auch Akkumulatoren eingesetzt. Während der ersten Taktperiode addiert man die beiden ersten Zahlen, und in den nachfolgenden Perioden wird zur Zwischensumme jeweils eine weitere Zahl addiert. In Akkumulatoren werden die Additionen, beziehungsweise die Subtraktionen, bitparallel und wortseriell ausgeführt. Im Vergleich zur Kettenschaltung von Addierstufen oder zu Baumstrukturen wird mit dieser Methode Chipfläche gespart.

Als Beispiel für einen Carry-Propagate-Akkumulator zeigt Bild 7.42 das Blockschaltbild eines Akkumulators mit einer Ripple-Carry-Addiererstufe. Entsprechend der Akkumulationsfunktion werden die Summenausgänge wertigkeitsrichtig an die Eingänge der Volladdierer zurückgeführt. Zu beachten ist, dass in sich geschlossene Signalpfade mittels Register unterbrochen werden. Erst nachdem das höchstwertige Bit der Zwischensumme gültig ist, darf eine neue Addition ausgelöst werden.

Bild 7.43 zeigt einen Akkumulator nach dem Carry-Save-Prinzip. Die Zwischensummen der einzelnen Addierschritte wird redundant durch Summen- und ein Übertragungswörter dargestellt. Die Endsumme wird in einem geeigneten Carry-Propagate-Addierer (Vector-Merging-Adder, VMA) gebildet. Da in dieser Schaltung auf die Übertragsverarbeitung für die Zwischensumme verzichtet wird, ist der erzielbare Gewinn für die Verarbeitungsgeschwindigkeit offensichtlich. Für die Akkumulati-

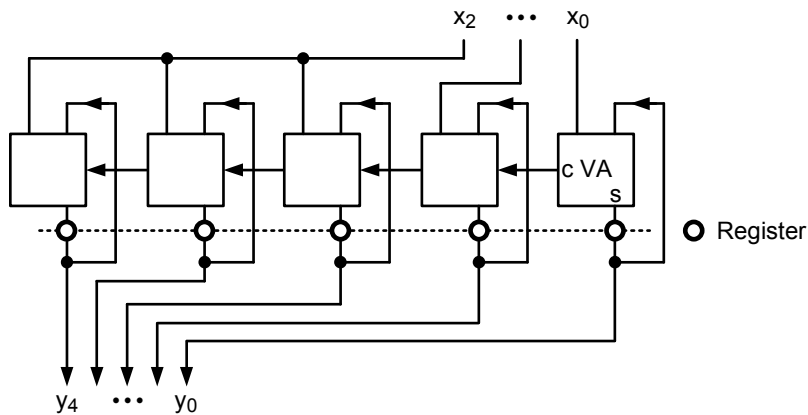


Bild 7.42 Ripple-Carry-Akkumulator.

on wird das Summensignal zu dem Eingang desselben Volladdierers zurückgeführt. Das Übertragungssignal wird entsprechend dem Carry-Save-Prinzip an einen Eingang des nächsthöherwertigen Volladdierers gelegt. Um die Eindeutigkeit der Rechenoperation zu gewährleisten, werden die Summen- und die Übertragungspfade mit Registern unterbrochen. Eine neue Addition kann gestartet werden, wenn in den einzelnen Volladdierern die Summen- und die Übertragsbits gültig sind. Das heißt, für eine Addition wird nur die Summenlaufzeit benötigt.

Für die Verarbeitung von Zweierkomplementzahlen ist in beiden Akkumulatoren das Vorzeichenbit x_2 des Eingangswortes bis zur vollen Akkumulatorwortbreite zu wiederholen. Die redundante Zahlendarstellung der Zwischensumme in der Carry-Save-Arithmetik führt zu Schwierigkeiten, die nun näher untersucht werden sollen. Die Frage ist, ob für die Teilwörter, Summe S und Übertrag C , der Zwischensumme gleiche Wortbreiten vorgesehen werden müssen, wie es bei einer konventionellen Arithmetik mit nur einem Summenwort nötig wäre. Als Beispiel wird mit einem Ripple-Carry-Akkumulator und einem Carry-Save-Akkumulator jeweils die fortgesetzte Addition einer „ -1 “ (entspricht 1111_2 K2-Zahl) bei konstanter Addiererwortbreite von vier Bits demonstriert. Tabelle 7.3 zeigt die Rechnungen.

Zum Zeitpunkt $k = 0$ weisen die Akkumulatoren den Inhalt Null auf. Für jeden Zeitschritt wird das Eingangswort X , die Summe S und das Übertragungswort C getrennt ausgewiesen. Entsprechend den Regeln für das Rechnen mit Zweierkomplementzahlen wird der Übertrag in die fünfte Stelle weggelassen. In beiden Fällen hat das niedrigstwertige Übertragsbit C_0 den Wert Null.

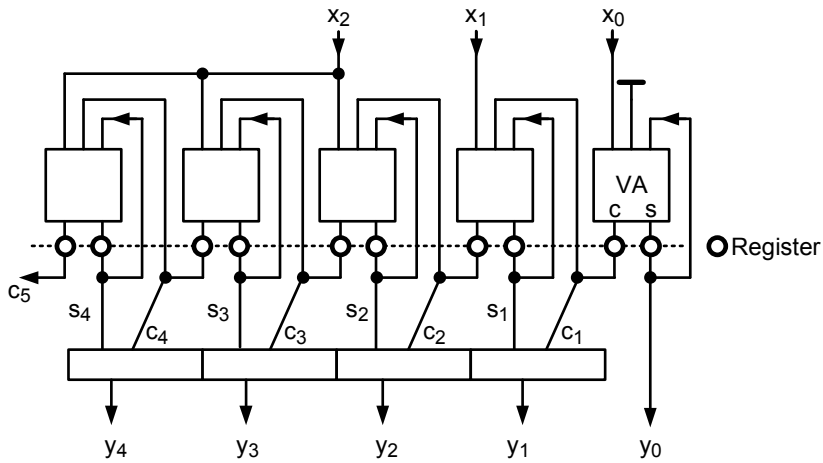


Bild 7.43 Carry-Save-Akkumulator.

Tabelle 7.3 Fortlaufende Addition einer „-1“. **a** Ripple-Carry-Akkumulator (links), **b** Carry-Save-Akkumulator (rechts), $Y = S$ Summe, C Carry, X Eingang.

[illegible]

Erwartungsgemäß arbeitet der Ripple-Carry-Akkumulator bis zur Zwischensumme

$$y(8) = -8$$

das heißt,

$$Y_3(8) = 1 \quad \text{und} \quad y_i(8) = 0 \quad \text{für} \quad i = 0 \dots 2$$

fehlerfrei.

Beim Carry-Save-Akkumulator tritt nach dem fünften Zyklus ein Modulo-Übertrag auf, der im Folgenden als Carry-Überlauf bezeichnet wird. Der Akkumulatorinhalt

$$\begin{aligned} C(5) : 101100_2 &= -12 \\ S(5) : 0111_2 &= +7 \\ \text{ergibt } Y(5) &= -5 \end{aligned}$$

Aber, wenn man das Endübertragsbit $C_4(5)$ weglässt, was für Zweierkomplementzahlen der Modulo-Operation

$$\begin{aligned} C' &= [(C + 2^3) \bmod 2^4] - 2^3 = [(-12 + 8) \bmod 16] - 8 \\ &= [-4 \bmod 16] - 8 = 12 - 8 = 4 \end{aligned}$$

entspricht, erhält man für die Teilwerte $C' = 4$ und $S = 7$, also $Y'(5) = 11$. Da Y' damit außerhalb des für die Wortbreite von vier Bit mit Zweierkomplementzahlen darstellbaren Wertebereichs $-8 = -2^3 \leq Y' \leq 2^3 - 1 = 7$ liegt, tritt bei einer anschließenden Vector-Merging-Operation mit der Wortbreite 4 Bit der gleiche Überlauf mit dem entgegengesetzten Vorzeichen auf

$$Y = [(Y' + 2^3) \bmod 2^4] - 2^3 = [(11 + 8) \bmod 16] - 8 = -5$$

und man erhält das richtige Ergebnis $Y(5) = -5$.

Haben die Teilwörter jeweils eine konstante Wortbreite, die für Ripple-Carry-Akkumulator ausreichend ist, wird ein nicht berücksichtigter Übertragsüberlauf in einer späteren Vector-Merging-Operation wieder korrigiert.

Anders sind die Verhältnisse, wenn versucht wird, nach einem aufgetretenen Übertragsüberlauf die Wortbreite der beiden Teilwörter zu erhöhen, was nach den Regeln für das Rechnen mit K2-Zahlen prinzipiell möglich ist, indem man das Vorzeichenbit bis zur gewünschten Wortbreite aufdoppelt. Würde man nach dem fünften Schritt von vier auf fünf Bit erweitern, entfiel der korrigierende Überlauf im Vector-Merging-Addierer und das Endergebnis wäre falsch. In [160] wird eine Korrekturschaltung beschrieben, die es erlaubt, auch bei Wortbreitenänderungen die beiden Teilwörter der Carry-Save-Arithmetik als eigenständige Zweierkomplementzahlen aufzufassen.

Die behandelten Addierertypen bilden zusammen mit Schieberegistern (Kapitel 4.7.5.3) die Grundelemente von einfachen Rechenwerken. Der Aufbau und die Funktion von logischen und arithmetischen Modulen werden in Standardwerken der Elektronik oder der Computertechnik (zum Beispiel [57, 170]) erläutert.

7.2 Multiplizierer

Neben der Addition ist die Multiplikation von Festkommazahlen eine häufig eingesetzte Rechenoperation. Für einfache Rechenwerke wird der Multiplikationsalgorithmus mittels Software dargestellt. Während eines Maschinenzyklus erzielt man mit einfachen Rechenwerken nur eine geringe Verarbeitungstiefe. Daher wird die Multiplikation in einzelne Schritte unterteilt und diese sequentiell abgearbeitet. Für eine Multiplikatorwortbreite von n Bit werden n Maschinenzyklen benötigt. Für viele Anwendungen, besonders für Aufgaben der digitalen Signalverarbeitung, die in Realzeit ausgeführt werden sollen, ist dieses Verfahren zu langsam. Es besteht ein großer Bedarf an Schaltungen, die eine schnelle Multiplikation bei vertretbarem Aufwand für Chipfläche und Verlustleistung ermöglichen. In diesem Kapitel werden Multiplizierschaltungen, die diesen Zielsetzungen gerecht werden, behandelt. Die Multiplikation wird beschleunigt, wenn beide Zahlen die multipliziert werden sollen, bitparallel angelegt werden.

Multiplikationen können auch mit Hilfe von Speichern ausgeführt werden. Alle auftretenden Produkte werden in einer Look-up Tabelle in Form eines ROMs abgelegt [44, 45]. Die zu multiplizierenden Faktoren werden als Adressen für den Speicherzugriff benutzt. Beträgt die Wortbreite des Multiplikators sechs Bit und die des Multiplikanden acht Bit, so hat das Endergebnis eine Wortbreite von vierzehn Bit. Für dieses Beispiel muss die Speicherkapazität des ROMs $2^6 \times 2^8 \times 14 = 229376$ Bits betragen. Wie das Beispiel zeigt, bedingt der Einsatz von Speicherschaltungen zur Durchführung von Multiplikationen ROMs mit großer Chipfläche. Deswegen wird diese Methode meistens nicht eingesetzt.

Der Addier-und-Verschiebe- („add and shift“-) Algorithmus ist der einfachste Weg zwei Zahlen zu multiplizieren [99, 78]. Wie bei der Multiplikation mit Papier und Bleistift werden zunächst die Partialprodukte gebildet und diese dann addiert. Bei binären Zahlen werden mit Hilfe der logischen AND-Funktion die Partialprodukte erzeugt. Entsprechend der Wertigkeit der Multiplikatorbits müssen die einzelnen Partialprodukte verschoben werden. In Bild 7.44 wird die Multiplikation mit dem Partialprodukt aus Multiplikand und niedrigstwertigen Multiplikatorbit begonnen. Daher müssen die nachfolgenden Partialprodukte nach links verschoben werden. Rechteckförmige Strukturen ergeben sich, wenn statt dessen die jeweilige Zwischensumme um eine Stelle nach rechts verschoben wird. Zusätzlich muss bei jeder Verschiebung einer Zwischensumme dessen höchstwertiges Bit verdoppelt werden.

Man könnte auch die Multiplikation mit dem höchstwertigen Bit des Multiplikators starten. Dann müssten die Partialprodukte nach rechts, beziehungsweise die

$$\begin{aligned}
 p = p' - p'' = & \left[\sum_{i=0}^{n-2} y_i \cdot 2^k \right] \cdot \left[-x_{m-1} \cdot 2^{m-1} + \sum_{k=0}^{m-2} x_k \cdot 2^k \right] \\
 & - (y_{n-1} \cdot 2^n - 1) \cdot \left[-x_{m-1} \cdot 2^{m-1} + \sum_{k=0}^{m-2} x_k \cdot 2^k \right] .
 \end{aligned} \tag{7.66}$$

Der Term p' der Gleichung 7.66 besagt, dass für die Berücksichtigung des Multiplikandenvorzeichens x_{m-1} lediglich die Regeln für das Rechnen mit K2-Zahlen eingehalten werden müssen. Dazu sind die Vorzeichenbits einer Zwischensumme linksbündig bis zur Wortbreite des aktuellen Partialprodukts zu wiederholen. Für Zweiquadrantenmultiplizierer, die dadurch gekennzeichnet sind, dass nur einer der beiden Faktoren ein negatives Vorzeichen hat, ist dieses Verfahren ausreichend. Der Term p' stellt eine $(n-1) \cdot m$ Bit Multiplikation mit positiven Multiplikator dar.

Soll auch für den Multiplikator ein negatives Vorzeichen erlaubt sein, muss der Term p'' in Gleichung 7.66 berücksichtigt werden (Vierquadrantenmultiplizierer). Der Term p'' beschreibt das Partialprodukt aus Multiplikatorvorzeichen und Multiplikand. Dieses höchstwertige Partialprodukt ist gemäß Gleichung 7.66 zu subtrahieren.

In den nachfolgenden Abschnitten werden die wichtigsten Prinzipien für den Entwurf schneller Multipliziererechenwerke behandelt.

7.2.1 Feldmultiplizierer

Der Addier-und-Verschiebe-Algorithmus bedingt die wiederholte Addition von Partialprodukten zu den Zwischensummen. Daher basieren schnelle Multiplizierer auf Addierern für mehrere Datenwörter. Es wird davon ausgegangen, dass die Faktoren als Zweierkomplementzahlen (K2-Zahlen) vorliegen. Die Felder können mit Carry-Propagate- oder mit Carry-Save-Save-Addierstufen aufgebaut werden. Zunächst sollen Feldmultiplizierer, die aus Ripple-Carry-Addierern bestehen, erläutert werden.

Bild 7.45 zeigt den schematischen Aufbau eines Feldmultiplizierers mit Ripple-Carry-Addierstufen für vorzeichenlose binäre Festkommazahlen ($1010_2 \times 1011_2$; entspricht $10_2 \times 11_2 = 110_2$). Diese Schaltung ist eine Erweiterung des Ripple-Carry-Addierers von Bild 7.13 für mehrere Datenwörter. Die Erweiterung besteht zum einen darin, dass nun vor jeder Volladdiererreihe eine Reihe von AND-Gattern liegen, in denen das jeweilige Partialprodukt gebildet wird. In einer Volladdiererreihe wird das neue Partialprodukt zur vorhergehenden Zwischensumme addiert. Entsprechend dem Ripple-Carry-Prinzip läuft das Übertragungssignal horizontal in einer Volladdiererreihe. Eine weitere Änderung gegenüber dem Addierer für mehrere Datenwörter ergibt sich aus der Notwendigkeit die einzelnen Partialprodukte gemäß der Wertigkeit des jeweiligen Multiplikatorbits zu verschieben. Um eine rechteckförmige Matrixstruktur zu erzielen, führt man die Leitungen für die Zwischensummenbits diagonal. In dem Feldmultiplizierer verlaufen die Leitungen für die Multiplikanden-

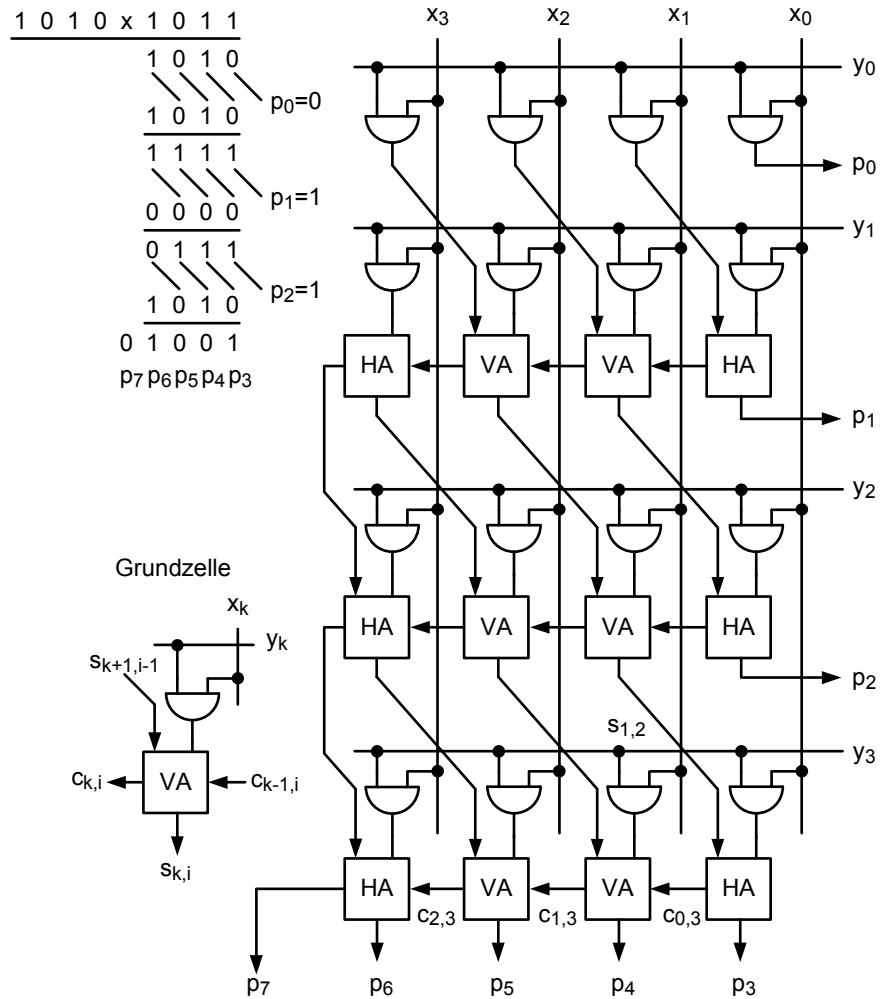


Bild 7.45 Prinzip und Schema eines Feldmultiplizierers aus Ripple-Carry-Addierstufen für vorzeichenlose binäre Festkommazahlen. Der Multiplizierer lässt sich aus einer Grundzelle aufbauen.

bits vertikal und für die Multiplikatorbits horizontal. Für die Rechenzeit, die für die Ausführung der gesamten Multiplikation benötigt wird, erhält man wegen der Parallelität der einzelnen Datenpfade für einen Multiplikanden der Wortbreite m und einem Multiplikator mit n Bits

$$t_{p,Ges} = (n - 1) \cdot t_S + [(m - 1) + (n - 2)] \cdot t_c \quad . \quad (7.67)$$

Die Gatterlaufzeiten der AND-Gatter können vernachlässigt werden. Der Multiplizierer nach Bild 7.45 stellt einen Einquadrantenmultiplizierer dar, der, um ein EX-

OR-Gatter für die Vorzeichenberechnung erweitert, als Multiplizierer für vorzeichenbehaftete, binäre Festkommazahlen eingesetzt werden kann.

Sollen Zahlen in der Zweierkomplementzahlendarstellung (K2-Zahlen) multipliziert werden, muss Gleichung 7.66 in Hardware umgesetzt werden. Der prinzipielle Aufbau eines Vierquadrantenmultiplizierers mit Ripple-Carry-Addierstufen wird anhand der Multiplikation von zwei K2-Zahlen $1010_2 \times 1010_2 = 0100100_2$ ($-6 \times -6 = 36$, Bild 7.46) erläutert. Zu beachten ist, dass vor jeder Addition einer Zwischensumme mit einem Partialprodukt, das Vorzeichenbit der Zwischensumme verdoppelt wird. Bis auf die EXOR-Gatter vor der letzten Addiererreihe, lässt sich der Feldmultiplizierer aus einer Grundzelle aufbauen. Die EXOR-Gatter werden benötigt, weil die einzelnen Bits des letzten Partialprodukts, wenn das höchstwertige Multiplikatorbit eine Eins ist, entsprechend den Regeln für K2-Zahlen, invertiert werden müssen. Zusätzlich muss zu dem niedrigstwertigen Bit dieses Partialprodukts das höchstwertige des Multiplikators addiert werden. Manche Volladdierer könnten durch Halbaddierer ersetzt werden. Dies würde aber die Zahl der Grundzellen erhöhen.

Den Logikplan eines Feldmultiplizierers mit Carry-Save-Arithmetik zeigt Bild 7.47. Wieder liegen die beiden Faktoren X und Y als K2-Zahlen vor. Die Übertragsbits werden vertikal zwischen zwei Addiererzeilen geführt, während die Leitungen für die Zwischensummenbits diagonal verlaufen. Damit ist gewährleistet, dass die Summenbits zu den Addierern in der nächsten Reihe mit gleicher Wertigkeit und die Übertragsbits zu Addierern mit der nächsthöheren Wertigkeit geführt werden. Bei negativen K2-Zahlen muss wieder das Partialprodukt aus Multiplikanden und höchstwertigem Multiplikatorbit ($y_{n-1} = 1$) von der bis dahin aufgelaufenen Zwischensumme, die in zwei Worten vorliegt, entsprechend den Rechenregeln für K2-Zahlen subtrahiert werden. Zuletzt, wenn das Ergebnis wieder als K2-Zahl vorliegen soll, wird ein Vector-Merging-Addierer benötigt. Wie es bereits erwähnt wurde, ist der Vorteil dieser Schaltung, dass nur einmal, nämlich im Vector-Merging-Addierer, der Aufwand für eine schnelle Carry-Propagate-Addiererstufe erbracht werden muss.

Wie die Bilder 7.45 bis 7.3.4 zeigen entstehen die Partialprodukte gleichzeitig. Deswegen können die in Kapitel 7.1.9 angesprochenen Baumstrukturen auch für die Addition der Partialprodukte vorteilhaft eingesetzt werden. Es muss nur zusätzlich die Verschiebung entweder des neuen Partialprodukts oder der jeweils aufgelaufenen Zwischensumme berücksichtigt werden. Sollen auch negative Multiplikatoren zugelassen werden, muss es nach Gleichung 7.66 wieder möglich sein das Partialprodukt aus höchstwertigen Multiplikatorbit und Multiplikand von der bis dahin aufgelaufenen Zwischensumme zu subtrahieren.

7.2.2 Reduktion der Zahl der Partialprodukte

Wie bei der Addition von binären Zahlen ist auch für die Multiplikation der Übergang zu einer besonderen SD-Zahlendarstellung vorteilhaft. Der Vorteil ist, dass

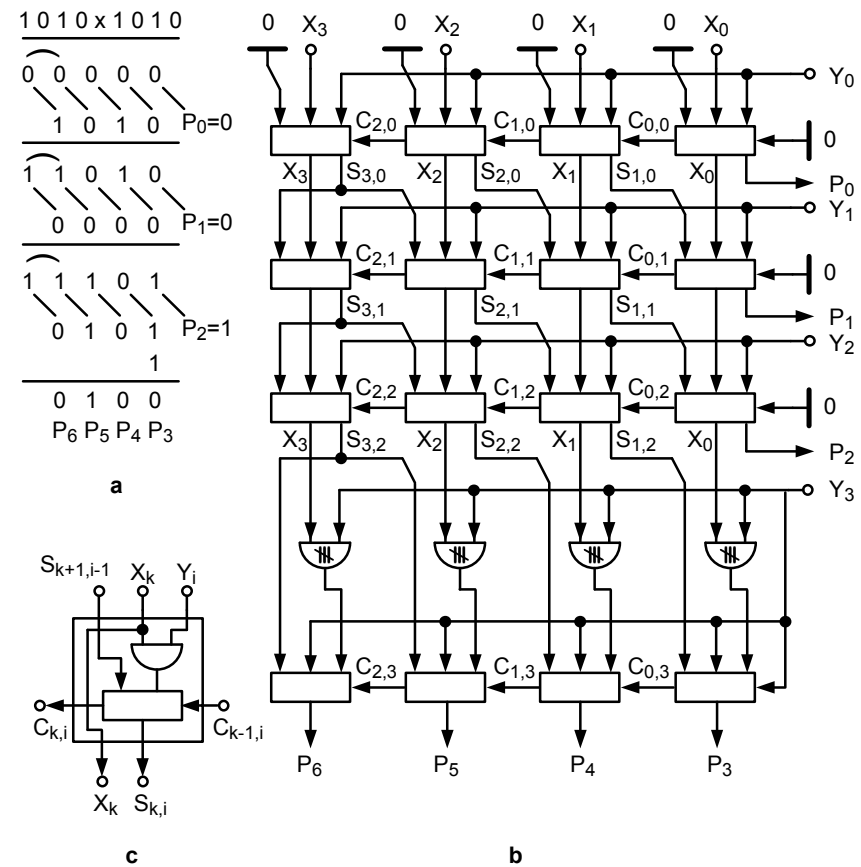


Bild 7.46 Vierquadrantenmultiplizierer mit Ripple-Carry-Addierern: **a** Prinzip; **b** Logikplan; **c** Grundzelle.

für jede Zahl im Wertevorrat eine Repräsentation mit kleinster Anzahl von Stellen mit Ziffern ungleich Null (nonzero digits) existiert. Wird dies für den Multiplikator durchgeführt, erhält man ein Minimum an Partialprodukten. Für eine Konversion einer Dualzahl in diese besondere SD-Zahl wird die Umwandlung von Einsketten (string property) betrachtet [174]. Eine Kette von k aufeinanderfolgenden Einsen innerhalb einer Dualzahl

$$(\dots 0 \underset{i+k}{1} 1 1 1 \dots 1 \underset{i}{1} 0 \dots)$$

kann ersetzt werden durch

$$(\dots 0 \underset{i+k}{1} 0 0 0 \dots 0 \underset{i}{-1} 0 \dots) \text{ .}$$

Anschaulich kann dies so erklärt werden, dass eine Eins, die an der Stelle i zu der Dualzahl addiert wird, einen Überlauf einer Eins in die Stelle $i + k$ erzeugt. Alle

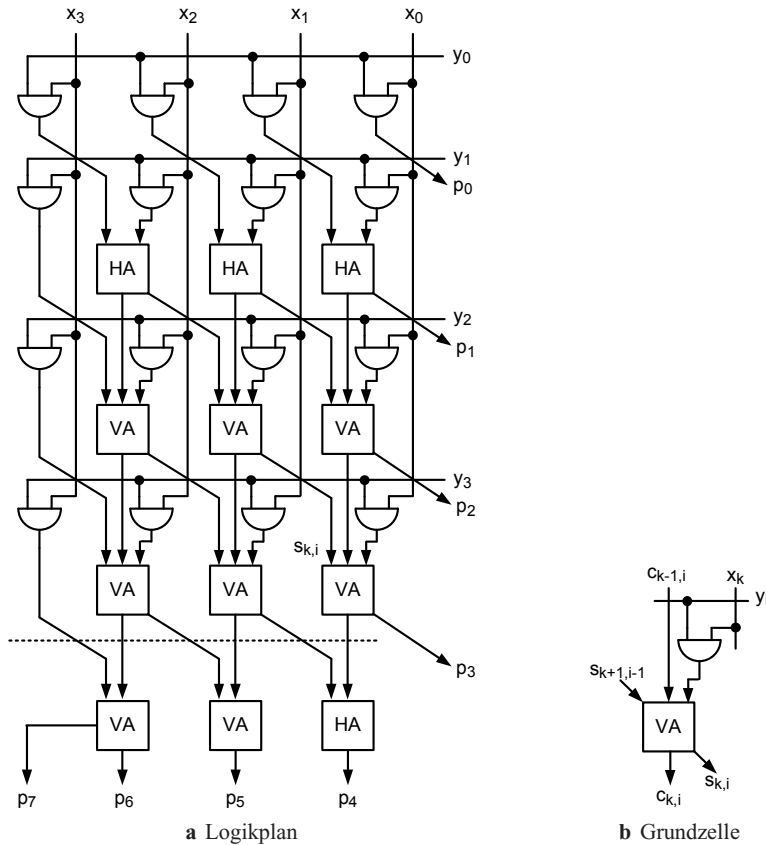


Bild 7.47 Feldmultiplizierer nach der Carry-Save-Arithmetik für vorzeichenlose K2-Zahlen. (CPA = Carry-Propagate-Addierer).

Stellen zwischen i und $i + k - 1$ werden zu Null. Um den ursprünglichen Wert zu bewahren, muss eine Eins an der Stelle i subtrahiert werden. Die Einskette stellt mathematisch betrachtet eine geometrische Reihe mit dem Faktor 2 dar. Es gilt

$$2^{i+k-1} = 2^{i+k-2} + \dots + 2^{i+1} + 2^i = 2^{i+k} - 2^i \quad . \quad (7.68)$$

Dies erklärt die vorher getroffene Aussage. Auf ähnliche Weise kann eine Einskette einer negativen Zahl im Zweierkomplement, die eine Vorzeichenstelle einschließt, vereinfacht werden. Die Vorzeichenstelle einer Zweierkomplementzahl hat ein negatives Gewicht. Eine Einskette der Form

$$\begin{pmatrix} -1 & 1 & 1 & \dots & 1 & 1 & 0 & \dots \\ n-1 \end{pmatrix}$$

kann ersetzt werden durch

$$\left(\underset{n-1}{0} \quad 0 \quad 0 \quad \dots \quad 0 \quad \underset{i}{-1} \quad 0 \quad \dots \right) .$$

Der Überlauf einer +1 in die höchstwertige Stelle wird vom negativen Vorzeichenbit kompensiert. Wieder kann das Ergebnis anhand einer geometrischen Reihe überprüft werden.

Eine SD-Zahl mit minimaler Anzahl von Null verschiedenen Ziffern und der zusätzlichen Eigenschaft, dass keine zwei benachbarten „Nonzero-Ziffern“ existieren, wird Canonical-Signed-Digit-Zahl (CSD-Zahl) genannt.

Als Beispiel soll folgende Dualzahl in eine CSD-Zahl umgewandelt werden (Bild 7.48). Zunächst sucht man sich die Einsketten in der Dualzahl. Im Beispiel

Dualzahl	0	1	1	1	1	0	1	1	0	1	1	1	1
Zwischenergebnis	1	0	0	0	-1	0	1	1	1	0	0	0	-1
Zwischenergebnis	1	0	0	0	-1	1	0	0	-1	0	0	0	-1
CSD-Zahl	1	0	0	0	0	-1	0	0	-1	0	0	0	-1

Bild 7.48 Konversion einer Dualzahl in eine CSD-Zahl.

sind dies zwei Ketten. Man wandelt die Ketten entsprechend den Regeln um und erhält wieder eine Einskette, die wiederum umgewandelt wird. Im dritten und letzten Schritt wird $(-1 \ 1)$ weiter in $(0 \ -1)$ vereinfacht. So erhält man das Endergebnis. Wie man sieht, handelt es sich um einen rekursiven Algorithmus.

Wenn der Multiplikator zeitinvariant ist, das heißt eine Konstante ist, kann er nach dieser Methode in eine CSD-Zahl konvertiert werden. So wird die Zahl der Partialprodukte minimiert. Anhand eines weiteren Beispiels soll dies verdeutlicht werden.

Es soll die Multiplikation von 26 mit 59 ausgeführt werden. Als Dualzahl ergibt sich für den Multiplikanden $26 = 011010_2$ und für den Multiplikator $59 = 0111011_2$. Man müsste also fünf Partialprodukte bilden. Nach der Überführung des Multiplikators in eine CSD-Zahl erhält man: $(0 \ 1 \ 0 \ 0 \ 0 \ -1 \ 0 \ -1)$. Es sind nun nur drei Partialprodukte notwendig. Da der Multiplikator negative Ziffern enthält, ergeben sich negative Partialprodukte, die entsprechend den Regeln für K2-Zahlen, behandelt werden müssen. Der Subtrahend wird in eine negative Zweierkomplementzahl umgewandelt und dann zum Minuenden addiert. Wie Bild 7.49 zeigt, kann die Multiplikation auf zwei Additionen reduziert werden.

Bisher wurden nur zeitinvariante Multiplikatoren betrachtet. Ändert sich der Multiplikator mit der Zeit, wird meistens die am besten bekannte Modifikation des Multiplikationsalgorithmus angewendet. Der „Booth Recoding Algorithm“, der von Booth 1951 beschrieben wurde [18], bewirkt auch bei variablen Multiplikatoren eine Reduktion der Partialprodukte und somit eine Beschleunigung der Multiplikation.

1961 wurde von MacSorley eine weitere Modifikation vorgeschlagen [136]. Diese Methode beruht darauf, dass der Multiplikator in überlappende Blöcke zu jeweils drei Bit unterteilt wird. Die Überlappung beträgt nach beiden Seiten jeweils ein Bit.

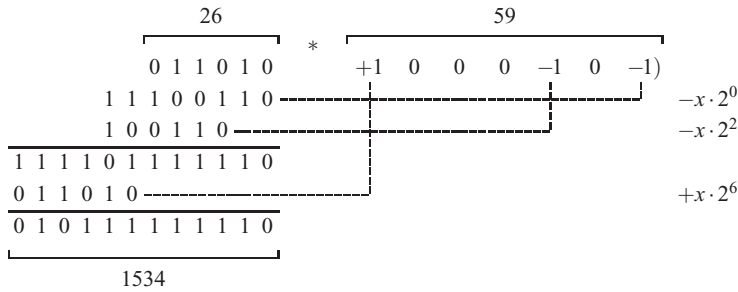


Bild 7.49 Multiplikation eines Multiplikanden und eines Multiplikators in CSD-Zahlendarstellung.

Die drei benachbarten Bits in einem Block werden im Hinblick auf Einsketten ausgewertet. Mit dieser Technik gelingt es die Anzahl der notwendigen Partialprodukte in etwa zu halbieren. Der Booth-MacSorley-Algorithmus wird auch modifizierter Booth-Algorithmus oder einfach Booth-Algorithmus genannt.

In Bild 7.50 wird die Umkodierung einer positiven Dualzahl nach dem modifizierten Booth-Algorithmus gezeigt. Die geraden Stellen bilden die Mitte von jedem Block. Die ungeraden Stellen gehören jeweils zu zwei benachbarten Blöcken. Die so gewonnene Zahl enthält nur an den geraden Stellen Ziffern. Für jeden Block wird eine Ziffer generiert $y_{i,BC} \in \{-2, -1, 0, 1, 2\}$, die durch drei Bits s_i , y'_i und y''_i repräsentiert wird.

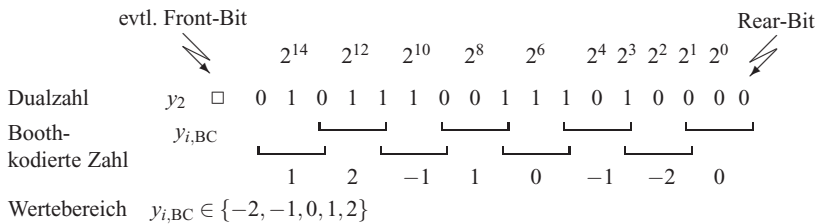


Bild 7.50 Umkodierung einer Dualzahl y_2 nach dem modifizierten Booth-Algorithmus.

Alle Kombinationen, die in einem Block auftreten können, sowie deren Kodierungen sind im Bild 7.51 dargestellt. In der ersten Zeile von Bild 7.51 befinden sich nur Nullen, deswegen $y_{i,BC} = 0$. In der zweiten Zeile existiert an der Stelle y_{i-1} eine Eins, das heißt, dass an dieser Stelle eine Einskette endet. Somit wird an der Stelle $y_{i,BC}$ eine Eins generiert. In der dritten Zeile tritt eine isolierte Eins auf. Diese Eins bleibt erhalten. In der nächsten Zeile treten an den Stellen y_i und y_{i-1} Einsen auf. Es handelt sich um ein nach links verschobenes Ende einer Einskette. Das bedeutet, dass die beiden Einsen ersetzt werden können durch eine Eins an der Stelle y_{i+1} . Eine Eins an der nächsthöheren Stelle y_{i+1} wird mittels der Ziffer Zwei an der Stelle $y_{i,BC}$ kodiert.

In den folgenden vier Zeilen existiert jeweils eine Eins an der Stelle y_{i+1} . In der fünften Zeile bedeutet dies einen um eine Stelle nach links verschobenen Anfang einer Einskette. Das heißt, man muss an der Stelle $y_{i+1} = -1$ setzen, was an Stelle $y_{i,BC}$ durch -2 dargestellt wird. In der sechsten Zeile tritt an der Stelle y_i eine String-Unterbrechung auf. Wegen des String-Endes ergibt sich $+1$ an dieser Stelle. Aber wegen des String-Anfangs an der Stelle y_{i+1} erhält man zusätzlich -2 . Insgesamt ergibt sich -1 an der Stelle $y_{i,BC}$. In der vorletzten Zeile beginnt ein String an der Stelle y_i . Deswegen kann man die Einsen durch -1 an dieser Stelle ersetzen. Schließlich befindet sich in der letzten Zeile die Stelle y_i in der Mitte einer Einskette. Diese Kombination wird durch eine Null dargestellt, da kein Anfang oder Ende einer Einskette festgestellt werden kann.

2^{i+1}	2^i	2^{i-1}	2^i	VZ	2^{i+1}	2^i	
y_{i+1}	y_i	y_{i-1}	$y_{i,BC}$	s_i	y_i''	y_i'	Interpretation
0	0	0	0	—	0	0	Null-String
0	0	1	1	0	0	1	String-Ende
0	1	0	1	0	0	1	einzelne Eins
0	1	1	2	0	1	0	String-Ende, verschoben
1	0	0	-2	1	1	0	String-Anfang, verschoben
1	0	1	-1	1	0	1	String-Unterbrechung
1	1	0	-1	1	0	1	String-Anfang
1	1	1	0	—	0	0	String-Mitte

Bild 7.51 Ableitung der Regeln für die Umkodierung nach dem modifizierten Booth-Algorithmus und Darstellung der Ziffern -2 , -1 , 0 , 1 , und 2 durch Steuersignale $VZ = s_i, y_i''$ und y_i' . VZ Vorzeichenbit y_i' Operation (Addition oder Subtraktion) einmal ausführen y_i'' Operation zweimal ausführen.

Für eine negative Zahl in der Zweierkomplementzahlendarstellung bedarf es bezüglich des höchstwertigen Bits einer besonderen Betrachtung (Bild 7.52). Die niederwertigen Bits einer derartigen Zahl werden entsprechend der in Bild 7.51 abgeleiteten Regeln behandelt. In den ersten vier Zeilen ist das höchstwertige Bit Null, die Ergebnisse von Bild 7.51 können übernommen werden. Die fünfte Zeile von Bild 7.52 enthält einen Null-String und das negative Vorzeichenbit $y_{i+1} = 1$, deswegen ergibt sich $y_{i,BC} = -2$. Die nächste Zeile zeigt ein String-Ende bei y_{i-1} und das negative Vorzeichenbit, daher $y_{i,BC} = -1$. Die vorletzte Zeile enthält eine einzige Eins und das negative Vorzeichenbit: $y_{i,BC} = -1$. Schließlich weist die letzte Zeile an der Stelle y_i ein Ende einer Einskette auf, daraus folgt eine Eins an der Stelle y_{i+1} . Zusammen mit dem Vorzeichenbit ergibt sich Null.

Ein Vergleich der Bilder 7.51 und 7.52 zeigt, dass bezüglich der Umkodierung nicht zwischen positiven und negativen Zweierkomplementzahlen unterschieden werden muss. Um bei der Implementierung des modifizierten Booth-Algorithmus vollständige Blöcke zu erzielen, kann es notwendig sein ein sogenanntes Rear-

Bit = 0 und in Abhängigkeit von der Wortbreite ein Front-Bit, wie es in Bild 7.50 dargestellt ist, einzufügen.

-2^{i+1}	2^i	2^{i-1}	2^i	VZ	2^{i+1}	2^i	Interpretation
y_{i+1}	y_i	y_{i-1}	$y_{i,BC}$	s_i	y''_i	y'_i	
0	0	0	0	—	0	0	Null-String
0	0	1	1	0	0	1	String-Ende
0	1	0	1	0	0	1	einzelne Eins
0	1	1	2	0	1	0	String-Ende, verschoben
1	0	0	-2	1	1	0	Null-String zuzgl. VZ
1	0	1	-1	1	0	1	String-Ende zuzgl. VZ
1	1	0	-1	1	0	1	Einzelne Eins zuzgl. VZ
1	1	1	0	—	0	0	String-Ende, verschoben zuzgl. VZ

Bild 7.52 Umkodierungsregeln für den Block, der das höchstwertige Bit einer negativen K2-Zahl enthält.

An jeder geradzahligen Stelle werden drei Bits gebraucht, um den Wertebereich von -2 bis $+2$ von $y_{i,BC}$ darzustellen. Der modifizierte Booth-Multiplizierer beruht darauf, dass die drei Bits als Steuersignale für den Addier-und-Verschiebe-Algorithmus interpretiert werden. In der dualen Zahlendarstellung entscheidet jedes Multiplikatorbit, ob zu der bisher aufgelaufenen Zwischensumme nichts oder der Multiplikand wertigkeitsrichtig addiert werden muss. Nun müssen nach Bildern 7.51 und 7.52 fünf Fälle unterschieden werden. Der Multiplikand kann entweder addiert oder subtrahiert werden, oder zweimal addiert oder subtrahiert werden. Schließlich gibt es auch den Fall, in dem nichts addiert oder subtrahiert werden muss. Zweimalige Addition oder Subtraktion bedeutet, dass das betreffende Partialprodukt zunächst um eine Stelle nach links verschoben werden muss, es wird so mit dem Faktor zwei multipliziert. Sodann wird es zu der bis dahin aufgelaufenen Summe der Partialprodukte addiert oder von dieser Summe subtrahiert.

Aus dem Bild 7.51 lassen sich die logischen Funktionen für die drei Steuersignale – addiere oder subtrahiere, führe die Operation einmal oder zweimal aus – ableiten. Das ursprüngliche Multiplikatorbit y_{i+1} bestimmt s_i und damit darüber, ob addiert oder subtrahiert werden muss. Mit einer EXOR-Verknüpfung der Multiplikatorbits y_i und y_{i-1} werden die Fälle y'_i bei denen nur einmal addiert oder subtrahiert werden soll, ermittelt. Zweimalige Addition oder Subtraktion wird durch folgende logische Funktion festgelegt

$$y''_i = \overline{(y_i \oplus y_{i-1}) + y_i \oplus y_{i+1}} \quad (7.69)$$

Bild 7.53 enthält den sich daraus ergebenden Logikplan für Umkodierung.

Bild 7.54 zeigt in einer schematisierten Darstellung eines Ausschnitts aus einen Booth-Multiplizierer, der aus Ripple-Carry-Addierern aufgebaut ist. Mit P_i werden die Bits der bisher aufgelaufenen Zwischensumme der Partialprodukte bezeichnet.

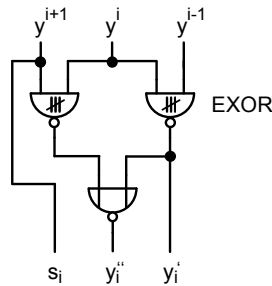


Bild 7.53 Logikplan für die Umkodierung nach dem modifizierten Booth-Algorithmus.

Die Bits des Multiplikanden werden mittels M_i dargestellt. Mit y_i' ($1 \times$) wird das neue Partialprodukt mit Hilfe von AND-Gattern gebildet. Die Volladdiererreihe dient dazu dieses Partialprodukt zur Zwischensumme zu addieren oder von ihr zu subtrahieren. Mit y_i'' ($2 \times$) wird das neue Partialprodukt um eine Stelle nach links verschoben bevor es addiert oder subtrahiert wird.

Natürlich kann man mittels Carry-Save-Addierern und mit Baumstrukturen noch wesentliche Verbesserungen erzielen. Ausführlichere Beschreibungen findet der Leser in der Literatur [99, 108, 190, 18]. Trotz der zusätzlichen Schaltungen für die Umkodierung des Multiplikators, erzielt man mit dem Booth-Multiplizierer kleinere Chipflächen und eine erhöhte Rechengeschwindigkeit.

Außer der Division wurden alle Grundrechenarten mit Festkommazahlen behandelt. Die Division tritt in signalverarbeitenden Algorithmen erheblich seltener auf als die Multiplikation. Hauptsächlich bei Normierungen von Teilergebnissen und bei Matrixoperationen sind Divisionen erforderlich. Um Kosten zu vermeiden, sollte spezielle Hardware nur für sehr häufig eingesetzte Operationen realisiert werden. Daher wird, wie in diesem Buch, oft auf Hardwareunterstützung von Divisionen verzichtet. Eine Division kann mittels einfacher Schaltungen, wie Register, Addierer/Subtrahierer und einer Kontrolllogik, mit Software realisiert werden. Die Software basiert auf dem Prinzip, das man auch bei einer von Hand ausgeführten Division anwendet.

In diesem Kapitel wurden mit Ausnahme von Dividierern alle arithmetischen Blöcke für Festkommazahlen, die in Prozessoren eingesetzt werden, beschrieben. Einen Schwerpunkt dieses Kapitels stellte das Rechnen mit redundanten Zahlen dar. Gemeinsam mit den in Kapitel 6 erläuterten Speicherschaltungen sind damit die wichtigsten Module behandelt worden, die in Prozessoren und insbesondere in Signalprozessoren zu finden sind. Es fehlt die Implementierung von Steuereinheiten. Der Leser wird an dieser Stelle auf die Literatur, zum Beispiel [170], verwiesen.

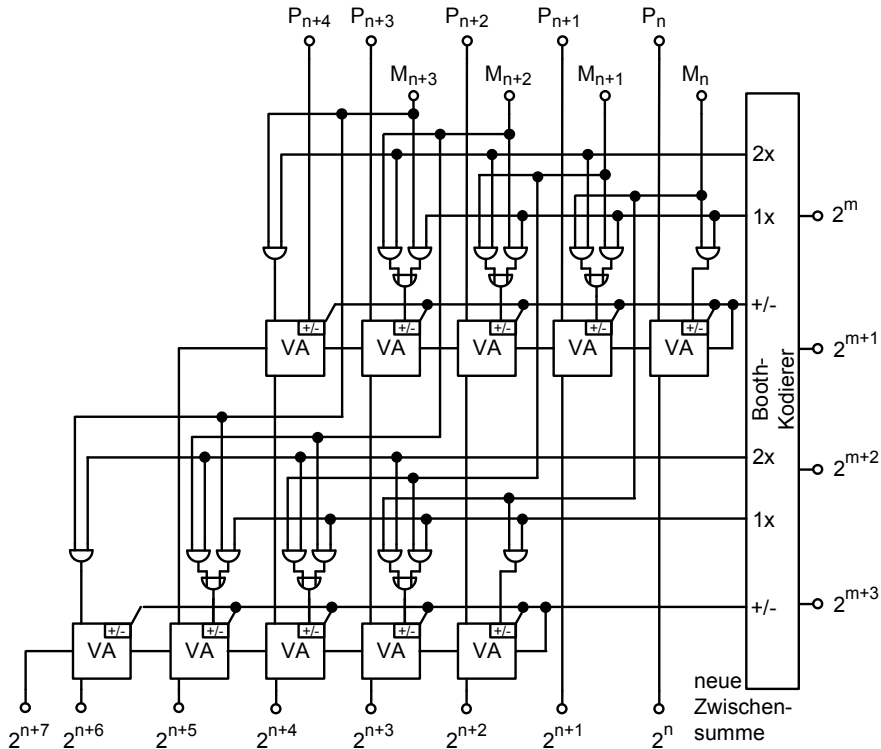


Bild 7.54 Ausschnitt aus dem Logikplan eines Booth-Multiplizierers. P_i Bits der bisher aufgelaufenen Zwischensumme der Partialprodukte M_i Bits des Multiplikanden.

7.3 Methoden für die Optimierung von Verlustleistung und Rechenleistung

Der Schaltungsentwurf von Prozessoren hat sich in den letzten Jahren wesentlich gewandelt. War in der Vergangenheit die zur Verfügung stehende Fläche der begrenzende Faktor für die Integrationsfähigkeit, ist nun die Verlustleistung der begrenzende Faktor. Für mobile Geräte bedeutet eine korrekte Optimierung für einen spezifizierten Rechenaufwand den Energieaufwand zu minimieren. Für Rechner sollte die Rechenleistung bei gegebenem Energieaufwand maximiert werden. Die Schaltungsentwickler, die in der Vergangenheit mit sogenannten anwendungsspezifischen, integrierten Schaltungen (Application Specific Integrated Circuits, ASIC) befasst waren, haben auch in der Vergangenheit den Aspekt der Verlustleistung beachtet.

Man sollte beachten, dass der Energieaufwand pro Operation (Schaltvorgang) E_{op} und die Verlustleistung mittels der Schaltaktivität $\alpha \cdot f_T$ miteinander verbunden sind (Kapitel 4.4). Die Schaltaktivität $\alpha \cdot f_T$ bestimmt über das Verhältnis von dynamischer Verlustleistung zu statischer Verlustleistung aufgrund von Leckströmen.

Die Schaltaktivität hängt von der jeweiligen Aufgabe ab, die gerade zu bearbeiten ist und variiert mit der Zeit. Zum Beispiel, wenn ein Addierer mit seiner maximalen Rechengeschwindigkeit betrieben wird und wenn sich die Eingangsdaten ständig und zufällig ändern, dann dominiert die dynamische Verlustleistung. Dagegen, wenn die Aktivität gering ist, dominiert die statische Verlustleistung. In Kapitel 4.8.3 wurde bereits darüber gesprochen, wie die dynamische und die statische Verlustleistung während des Rechenbetriebs je nach Anforderung minimiert werden können. In diesem Kapitel steht im Vordergrund, wie während des Entwurfs einer digitalen Schaltung ein optimales Verhältnis von Rechenleistung, die mittels der Gatterlaufzeit t_p beschrieben wird, zur Energie oder Verlustleistung gefunden werden kann.

Das Optimierungsproblem umfasst viele Parameter. Einige Parameter sind kontinuierliche Größen, wie Transistorweiten, Versorgungsspannungen oder Einsatzspannungen. Andere sind diskret, wie die gewählte Logikfamilie, die Topologie, zum Beispiel Auswahl der Addierertopologie, oder die Architektur auf der Chipebene. Hier ist unter anderem Parallelverarbeitung oder „Pipelining“ zu nennen (siehe Kapitel 7.3.2). Da man in der Praxis nicht alle Parameter gleichzeitig betrachten kann, wurden Methoden zur Bewältigung der Komplexität eingeführt. Das ist zum einen die Abstraktion, das heißt das Verstecken der Details, und zum anderen die Einführung von Hierarchie, das bedeutet, dass aus kleineren Strukturen Größere zusammengesetzt werden.

Die Schaltungen sollten in den einzelnen Abstraktionsebenen nicht unabhängig von einander optimiert werden. Vielmehr sollte ein „meet-in-the-middle“-Prozess verfolgt werden. Spezifikationen werden von der höchsten Abstraktionsebene zur niedrigsten Ebene weitergereicht (Top-Down), während Beschränkungen, die in den unteren Ebenen entstehen, zur höchsten Ebene propagiert werden (Bottom-Up).

In den nachfolgenden Abschnitten wird zunächst auf der untersten Abstraktionsebene – der Ebene der Schaltungen – eine Methode zur Optimierung der Energie für Schaltvorgänge und der erzielbaren Gatterlaufzeit beschrieben. Diese Methode wird anhand von konkreten Schaltungen, wie Addierer und Inverterketten, überprüft. Sodann werden Strategien angesprochen, mit denen sowohl die dynamische als auch die statische Verlustleistung optimiert werden kann. Schließlich wird gezeigt, wie die erarbeiteten Konzepte auf höhere Abstraktionsebenen ausgedehnt werden können.

Der Unterschied zur Behandlung des Themas in den vorhergehenden Kapiteln ist, dass nun eine Optimierungsmethode, die auf der Berechnung von Empfindlichkeiten beruht, eingeführt wird, die eine multivariable Optimierung über mehrere Abstraktionsebenen zulässt.

7.3.1 Schaltungsebene

In Kapitel 7.1.2 wurde ein Gütemaß für den Vergleich von Schaltungen definiert (Gleichung 7.27). Dieses Gütemaß enthielt die Energie pro Lade- und Entladevorgang $E_{op} = C_L \cdot U_{DD}^2$ und die Gatterlaufzeit τ beziehungsweise t_p . In diesem Ka-

pitel wurde anhand von Addierern gezeigt, da die Gatterlaufzeit von der Versorgungsspannung abhängt, dass sehr kurze Gatterlaufzeiten nur mit überproportionalen Energieaufwand realisierbar sind. Daher erscheint die in Bild 7.55 gezeigte Abhängigkeit der Energie pro Operation von der Gatterlaufzeit plausibel zu sein. Simulationen bestätigen diesen Zusammenhang.

Bei den nun folgenden Optimierungen werden die Zuverlässigkeit und die Wiederverwendbarkeit der Schaltungen nicht berücksichtigt. Die Versorgungsspannung U_{DD} und die Einsatzspannungen $U_{Tn} = |U_{Tp}|$ werden als unabhängige Variablen aufgefasst. In Kapitel 4.3.1 wurde jedoch gezeigt, dass wegen der notwendigen Störsicherheit $U_{Tn} \approx U_{DD}/4$ sein sollte. Daher kann die Optimierung in Hinblick auf die Einsatzspannung nur eine Feinjustierung sein. Ein weiterer wichtiger Parameter, nämlich die benötigte Chipfläche, wird erst in die Optimierungen in den höheren Abstraktionsebenen eingehen.

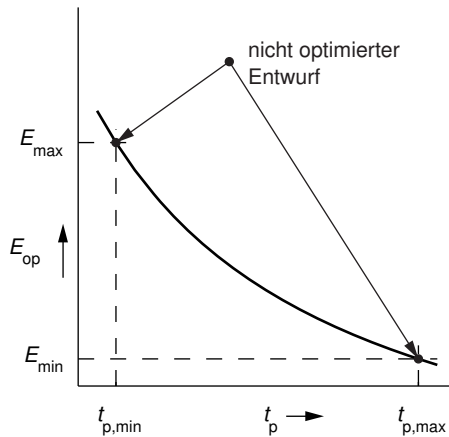


Bild 7.55 Energie E_{op} pro Lade- und Entladevorgang in Abhängigkeit von der Gatterlaufzeit t_p .

Eine Verbesserung einer gegebenen Schaltung wird erreicht, wenn durch eine Designmaßnahme der Energiebedarf minimiert wird und die Gatterlaufzeit nahezu unverändert bleibt. Der umgekehrte Fall ist ebenfalls möglich, man verringert wesentlich die Gatterlaufzeit und erhöht nur geringfügig den Energiebedarf. Dies kann in der untersten Abstraktionsebene durch die geeignete Wahl der Transistorweiten, der Versorgungsspannungen und/oder der Einsatzspannungen erzielt werden.

Um abzuschätzen zu können, welches Potential eine bestimmte Designmaßnahme hat, braucht man ein Maß wie sehr Energie und Gatterlaufzeit von der jeweiligen Maßnahme abhängen. In [142] wird hierfür folgendes Empfindlichkeitsmaß vorgeschlagen

$$S_x = \left| \frac{\partial E / \partial x}{\partial t_p / \partial x} \right|_{x=X} \quad (7.70)$$

Die Energie-Laufzeit-Empfindlichkeit nach Gleichung 7.70 gibt an, wie sehr sich die Energie E und die Laufzeit t_p ändern, wenn ein Designparameter x variiert wird. Nach Bild 7.55 ist diese Empfindlichkeit negativ, deswegen wird für Vergleiche der Betrag verwendet. Ein hoher Absolutwert weist auf ein hohes Potential zur Energie-reduktion hin.

Es gibt mehrere „Knöpfe“ in den verschiedenen Abstraktionsebenen, die genutzt werden können, um ein Optimum für die Energie und die Laufzeit zu finden. Ein (Pareto-) optimaler Punkt zeichnet sich dadurch aus, dass die Empfindlichkeiten bezüglich aller Designparameter gleich groß sind.

Zum Beispiel bewirke die Änderung des Designparameters X nur eine geringe Zunahme der Energie bei einer wesentlichen Reduktion der Laufzeit. Nun kann ein Parameter Y , der stark die Energie aber nur wenig die Laufzeit beeinflusst, eingesetzt werden, um den Gewinn der Laufzeit, die durch den Parameters X bewirkt wurde, in eine große Abnahme der Energie zu tauschen. Wenn die Empfindlichkeiten gleich groß sind, ist diese Spiel nicht mehr möglich. Das Optimum ist erreicht

$$\Delta E = S_X \cdot (-t_p) + S_Y \cdot t_p \quad . \quad (7.71)$$

Um die Empfindlichkeiten berechnen zu können, braucht man geeignete Modelle für die Laufzeit und die Energie eines Gatter i in einer Kette von Gattern in Abhängigkeit von den Entwurfparametern, wie die Dimensionierung der Transistorweiten w , die Wahl der Versorgungsspannung U_{DD} und der Einsatzspannung U_T . Anschließend können dann die notwendigen Ableitungen gebildet werden. An dieser Stelle muss der Leser für die etwas umfänglichen Rechnungen um Geduld gebeten werden.

In Kapitel 4.8.1.1.2 über den logischen Aufwand wurde bereits ein Laufzeitmodell abgeleitet (siehe Gleichungen 4.132–4.138)

$$t_{pi} = t_{p0} \cdot g_i \cdot \left(f_i + \frac{p_i}{g_i} \right) = t_{ref,i} \cdot \left(f_i + \frac{C_{pt}}{C_{int}} \right) \quad (\text{wh 4.137})$$

- g_i logischer Aufwand, der von der Gattertopologie abhängt; g_i ist unabhängig von der Dimensionierung
- p_i parasitäre Verzögerung, die von der Gattertopologie abhängt; p_i ist unabhängig von der Dimensionierung
- $f_i = C_{L,i}/C_{in,i}$ elektrischer Aufwand, beziehungsweise effektiver „Fan-Out“ $C_{L,i}$ Lastkapazität, $C_{in,i}$ Kapazität eines Eingangs des Gatters i
- C_{pt} parasitäre Lastkapazität des Referenzgatters
- C_{int} Kapazität eines Eingangs des Referenzgatters; C_{pt}/C_{int} unabhängig von der Dimensionierung
- t_{p0} unbelastete Gatterlaufzeit des Referenzinverters
- $t_{ref,i}$ charakteristische RC-Zeitkonstante des Referenzgatters
- R_t äquivalenter Widerstand im Pull-Up- und im Pull-Down-Pfad des Referenzgatters.

Zusätzlich wird noch der Begriff gesamter Aufwand pro Gatter h_i benutzt, der wie folgt definiert ist

$$h_i = f_i \cdot g_i \quad . \quad (\text{wh 4.136})$$

Die Aufgabe ist es nun für alle in der Gleichung 4.137 vorkommenden Größen deren Abhängigkeit von w , U_T und U_{DD} zu bestimmen. Zunächst kann festgestellt werden, dass p_i und g_i nicht von diesen Größen abhängen, weil das Referenzgatter eine feste Dimensionierung aufweist. Weiter gilt, dass der elektrische Aufwand f_i nur von den Weiten der beteiligten Transistoren abhängt, wenn man annimmt, dass alle Transistoren minimale Kanallängen aufweisen und dass die Kapazitäten von Verdrahtungen vernachlässigt werden können

$$f_i = \frac{C_{L,i}}{C_{in,i}} \approx \frac{w_{i+1}}{w_i} \quad (7.72)$$

w Weite der Transistoren.

Es bleibt noch t_{ref} beziehungsweise t_{p0} zu untersuchen. Nach Gleichung 4.131 gilt

$$t_{\text{ref},i} = 0,69 \cdot R_{t,i} \cdot C_{\text{int}} \quad .$$

Bei den weiteren Betrachtungen wird C_{inv} als Konstante betrachtet, da der Referenzinverter eine konstante Dimensionierung aufweist. Der äquivalente Widerstand R_t wird mittels der Gleichung 2.126 des Kapitels 2.1.12.2 unter Berücksichtigung der Gleichung 2.111 des Kapitels 2.1.7 für den Drain-Strom berechnet: $R_{\text{inv}} = U_{DD}/I_{D,\text{sat}}$. Die Transistorkonstante β ist ebenfalls unabhängig von w , U_T und U_{DD} . C_{inv} und β werden zur Konstanten K_d zusammengefasst. Insgesamt erhält man in einer leicht veränderten Notation [142]

$$t_{p0} = \frac{K_d \cdot U_{DD,i}}{(U_{DD,i} - U_{\text{on},i} - \Delta U_{T,i})^{\alpha_d}} \quad (7.73)$$

$U_{\text{on},i}$ Anpassparameter, entspricht in etwa der Einsatzspannung $U_{Tn} = |U_{Tp}|$

α_d Anpassparameter

$\Delta U_{T,i}$ gewollte Abweichung von der Einsatzspannung

K_d Konstante.

Setzt man die Gleichungen 7.72 und 7.73 in Gleichung 4.137 ein, so erhält man die gewünschte Gleichung für die Laufzeit $t_{p,i}$

$$t_{p,i} = \frac{K_d \cdot U_{DD,i}}{(U_{DD,i} - U_{\text{on},i} - \Delta U_{T,i})^{\alpha_d}} \cdot g_i \cdot \left(\frac{w_{i+1}}{w_i} + \frac{C_{\text{pt}}}{C_{\text{int}}} \right) \quad . \quad (7.74)$$

In Gleichung 7.74 für die Gatterlaufzeit $t_{p,i}$ ist nur der effektive „Fan-Out“ f_i wegen w_i von der Dimensionierung der Transistoren des Gatters i abhängig. Während die RC-Zeitkonstante $t_{\text{ref},i}$ und damit auch t_{p0} von der Versorgungsspannung U_{DD} , der Einsatzspannung U_T und dem Exponenten α_d bestimmt wird. Die Verzögerung D

eines gesamten Pfades mit n Gattern ergibt sich zu

$$D = \sum_{i=1}^n t_{p,i} = t_{p0} \cdot \left[\dots + g_{i-1} \cdot \left(\frac{w_i}{w_{i-1}} + \frac{p_{i-1}}{g_{i-1}} \right) + g_i \cdot \left(\frac{w_{i+1}}{w_i} + \frac{p_i}{g_i} \right) + \dots \right] \quad (7.75)$$

Die Größen, die das jeweilige Gatter betreffen, werden mit kleinen Buchstaben bezeichnet. Große Buchstaben beziehen sich auf einen gesamten Pfad. Mit dem Laufzeitmodell können die notwendigen Ableitungen gebildet werden.

Als Nächstes wird ein Modell für den Energiebedarf benötigt. Es werden zwei Komponenten – Energie aufgrund von Ladevorgängen E_{Dyn} und Energie aufgrund von Leckströmen E_{Leak} – unterschieden. Die in Kapitel 4.4 ebenfalls eingeführte Energie E_{SC} , die verursacht wird von Kurzschlussströmen während den Schaltvorgängen, wird hier vernachlässigt. Die Leckströme sollen, wie es zum Beispiel bei HP-Transistoren der Fall ist, nur von den Unterschwellenströmen bedingt sein, die in Kapitel 4.8.3.2.1 unter Berücksichtigung von „Drain Induced Barrier Lowering“ (DIBL) abgeleitet wurden

$$I_{\text{sb}} = \beta_n \cdot (n-1) \cdot U_t^2 \cdot e^{\frac{U_{\text{GS}} - U_{\text{TO n}} - \gamma' \cdot U_{\text{SB}} + \eta \cdot U_{\text{DS}}}{n \cdot U_t}} \quad (\text{wh 4.196})$$

Für $U_{\text{GS}} = 0$, $U_{\text{DS}} = U_{\text{DD}}$ und mit $\Delta U_T = \gamma' \cdot U_{\text{SB}}$ und der Einführung einer neuen Konstanten I_0 , gelangt man zu $e_{\text{Leak},i}$ für ein Gatter, indem man den Leckstrom über die Verzögerungszeit D der Gatterkette integriert. Es ist zu beachten, dass I_0 von dem Schaltzustand des jeweiligen Gatters abhängt

$$e_{\text{Leak},i} = D(w) \cdot w_i \cdot I_0(\Phi) \cdot e^{-\frac{U_{\text{TO n}} + \Delta U_T - \eta \cdot U_{\text{DD}}}{n \cdot U_t}} \cdot U_{\text{DD}} \quad (7.76)$$

Die gesamte Energie E_{Leak} der Kette aufgrund von Leckströmen errechnet sich zu

$$E_{\text{Leak}} = \sum_{j=1}^n e_{\text{Leak},j} \quad (7.77)$$

Schließlich wird ein entsprechendes Modell für die Energie e_{Dyn} pro Gatter aufgrund von Lade- und Entladevorgängen benötigt. Wie es in Kapitel 4.4.1 abgeleitet wurde, gilt: $e_{\text{Dyn}} = C_L \cdot U_{\text{DD}}^2$. Damit der zu gewinnende Ausdruck mit $e_{\text{Leak},i}$ vergleichbar ist, muss noch die Schaltheufigkeit α bezogen auf die Gatterkette mit der Verzögerung D eingerechnet werden

$$e_{\text{Dyn},i} = \alpha \cdot C_L \cdot U_{\text{DD}}^2 \quad (7.78)$$

Wie bei der Ableitung des Laufzeitmodells werden wieder drei Kapazitäten für jedes Gatter unterschieden, nämlich die Eingangskapazität $C_{\text{in},i}$ die von dem vorhergehenden Gatter geladen wird, die parasitäre Ausgangskapazität des betrachteten

Gatters $C_{p,i}$ und die Lastkapazität $C_L = C_{in,i+1}$. Es wird folgender Zusammenhang angenommen

$$C_{p,j} = \gamma C_{in,i} \quad . \quad (7.79)$$

Nur $C_{in,i}$ und $C_{p,i}$ sind von der Weite der Transistoren, aus denen das betrachtete i -te Gatter aufgebaut ist, abhängig. Es ergibt sich für die Energie $e_{Dyn,i}$ aufgrund von Ladevorgängen des betrachteten Gatters

$$e_{Dyn,i} = \alpha \cdot (\gamma \cdot C_{in,i} + C_{in,i+1}) \cdot U_{DD,i}^2 = \alpha \cdot K_e \cdot (\gamma \cdot w_i + w_{i+1}) \cdot U_{DD,i}^2 \quad (7.80)$$

mit

$$C_{in,i} = K_e \cdot w_i \quad . \quad (7.81)$$

Ändert man die Dimensionierung der i -ten Stufe, wird nur die Energie, die auf der Eingangskapazität $C_{in,i}$ und der parasitären Ausgangskapazität $C_{p,i}$ des betrachteten Gatters gespeichert ist, beeinflusst. Daher wird die Energie e_i definiert, die den Beitrag des i -ten Gatters zur Gesamtenergie beschreibt, wenn die Versorgungsspannung für alle Gatter gleich ist

$$e_i = \alpha \cdot K_e \cdot w_i \cdot U_{DD,i}^2 \cdot (1 + \gamma) \quad . \quad (7.82)$$

Für die gesamte Kette erhält man

$$E_{Dyn} = \sum_{i=1}^n e_{Dyn,i} = \alpha \cdot K_e \cdot U_{DD}^2 \cdot (\dots + \gamma \cdot w_{i-1} + w_i + \gamma \cdot w_i + w_{i+1} + \dots) \quad . \quad (7.83)$$

Nun können die verschiedenen Empfindlichkeiten abgeleitet werden. Zu beachten ist, dass die Optimierungen, die aufgrund der Empfindlichkeiten vorgenommen werden, von einem Referenzentwurf ausgehen. Der Referenzschaltung wird im Hinblick auf minimale Verzögerungszeit, das heißt auch minimales t_{p0} , und mit nominellen Werten für die Versorgungsspannung und die Einsatzspannung entworfen. Während des Optimierungsvorgangs wird eine bestimmte Verschlechterung der Verzögerungszeit, zum Beispiel um 20%, zugelassen und nach der maximalen Energieeinsparung gesucht, die mit Änderungen der Designparameter (w_i , U_{DD} und ΔU_T) erreicht wird.

Zunächst wird die Empfindlichkeit S_w für Änderungen der Transistorweiten w gesucht. Die hierfür notwendige Ableitung von E_{Dyn} (Gleichungen 7.82 und 7.83) nach w_i ergibt

$$\frac{\partial E_{Dyn}}{\partial w_i} = \alpha \cdot K_e \cdot U_{DD}^2 \cdot (1 + \gamma) = \frac{e_i}{w_i} \quad . \quad (7.84)$$

Es ist günstig an dieser Stelle die Ableitung der gesamten Gatterlaufzeit D nach der Transistorweite w_i zu bilden. Aus Gleichung 7.75 folgt

$$\frac{\partial D}{\partial w_i} = t_{p0} \cdot \left(g_{i-1} \cdot \frac{1}{w_{i-1}} - g_i \cdot \frac{w_{i+1}}{w_i^2} \right) = \frac{t_{p0}}{w_i} \cdot \left(g_{i-1} \cdot \frac{w_i}{w_{i-1}} - g_i \cdot \frac{w_{i+1}}{w_i} \right) \quad (7.85)$$

Mit den Gleichungen 7.72 ergibt sich daraus

$$\frac{\partial D}{\partial w_i} = \frac{t_{p0}}{w_i} \cdot (g_{i-1} \cdot f_{i-1} - g_i \cdot f_i) = \frac{t_{p0}}{w_i} \cdot (h_{i-1} - h_i) \quad (7.86)$$

Mittels der Gleichungen 7.76 und 7.77 kann die Ableitung von E_{Leak} nach der Weite w_i gebildet werden

$$\begin{aligned} E_{\text{Leak}} &= \sum_{i=1}^n e_{\text{Leak},i} \\ &= D(w_i) \cdot (w_1 + w_2 + \dots + w_i + \dots + w_n) \cdot I_0 \cdot e^{-\frac{U_{T0} + \Delta U_T - \eta \cdot U_{DD}}{n \cdot U_T}} \cdot U_{DD} \quad (7.87) \end{aligned}$$

Man erhält

$$\frac{\partial E_{\text{Leak}}}{\partial w_i} = \frac{E_{\text{Leak}}}{D} \cdot \frac{\partial D}{\partial w_i} + D \cdot I_0 \cdot e^{-\frac{U_{T0} + \Delta U_T - \eta \cdot U_{DD}}{n \cdot U_T}} \cdot U_{DD} = \frac{E_{\text{Leak}}}{D} \cdot \frac{\partial D}{\partial w_i} + \frac{e_{\text{Leak},i}}{w_i} \quad (7.88)$$

Nun ist man in der Lage die Empfindlichkeiten S_w für die beiden Energieformen in Abhängigkeit von der Transistorweite w_i anzugeben. Es gilt [142]

$$S_{w_i}^{E_{\text{Dyn}}} = \frac{\frac{\partial E_{\text{Dyn}}}{\partial w_i}}{\frac{\partial D}{\partial w_i}} = -\frac{\frac{e_i}{w_i}}{\frac{t_{p0}}{w_i} \cdot (h_i - h_{i-1})} = -\frac{e_i}{t_{p0} \cdot (h_i - h_{i-1})} \quad (7.89)$$

Die Empfindlichkeit ist proportional zur der Energie e_i der betrachteten Stufe und umgekehrt proportional zur Differenz der Designaufwände aufeinander folgender Stufen. Das größte Potential für Einsparungen an dynamischer Energie ergibt sich für eine minimale Kettenlaufzeit D , die mit gleichen Designaufwänden h_i erreicht wird. An diesem Punkt geht die Empfindlichkeit S gegen unendlich.

In Kapitel 4.5.1 wurde die Dimensionierung einer Inverterkette, mit der eine große Lastkapazität getrieben werden sollte, behandelt. Es wurde gezeigt, dass eine minimale Kettenlaufzeit t_p erreicht werden kann, wenn das Verhältnis von Lastkapazität zu Eingangskapazität f pro Stufe konstant ist. Dieses Ergebnis wird durch Gleichung 7.89 bestätigt, da bei einer Inverterkette $g_i = 1$ und damit $h_i = f_i$. In diesem Kapitel wurde auch festgestellt, dass wesentliche Einsparungen an dynamischer Energie bei einer geringer Zunahme der Verzögerungszeit der Kette erreicht werden, wenn der Faktor f von Stufe zu Stufe vergrößert wird. Auch dieses Ergebnis deckt sich mit der Gleichung 7.89. In Kapitel 4.5.1 dienten die Kurzschlussströme während den Schaltvorgängen als Begründung für diese Vorschrift. In der Ableitung für

die Gleichung 7.89 wurden jedoch die Kurzschlussströme vernachlässigt. Trotzdem erhält man dieses Ergebnis.

Zur Begründung muss man sich nochmals vergegenwärtigen, dass die Empfindlichkeit bezüglich der Dimensionierung proportional zur Energie e_i und umgekehrt proportional zu der Differenz der Aufwände $h_i - h_{i-1}$ ist. Will man gleiche Empfindlichkeiten pro Stufe erreichen, müssen die Differenzen der Aufwände, wie in der Inverterkette, in dem Maße zunehmen, in dem die Energie $e_i \propto w_i$ ansteigt.

Aus den Gleichungen 7.86 und 7.88 lässt sich die Empfindlichkeit bezüglich der Energie aufgrund von Unterschwellenströmen berechnen

$$\begin{aligned} S_{w_i}^{E_{\text{Leak}}} &= \frac{\frac{\partial E_{\text{Leak}}}{\partial w_i}}{\frac{\partial D}{\partial w_i}} = \frac{E_{\text{Leak}}}{D} + \frac{e_{\text{Leak},i}/w_i}{(h_{i-1} - h_i) \cdot t_{p0}/w_i} \\ &= \frac{E_{\text{Leak}}}{D} - \frac{e_{\text{Leak},i}}{(h_i - h_{i-1}) \cdot t_{p0}} \end{aligned} \quad (7.90)$$

Wieder ist die Empfindlichkeit und damit das Potential zur Energieeinsparung am größten, wenn die Stufen mit gleichen Gesamtaufwand h_i pro Stufe ausgestattet sind.

Als Nächstes sollen nun die Empfindlichkeiten bezüglich der Versorgungsspannung U_{DD} abgeleitet werden. Aus Gleichung 7.83 folgt direkt mit der Annahme, dass alle Gatter einer Kette an derselben Versorgungsspannung hängen

$$\frac{\partial E_{\text{Dyn}}}{\partial U_{\text{DD}}} = 2 \cdot \frac{E_{\text{Dyn}}}{U_{\text{DD}}} \quad (7.91)$$

Schwieriger ist die Ableitung der Kettenlaufzeit D im Hinblick auf U_{DD} . Es gilt für $\Delta U_{\text{T}} = 0$

$$\begin{aligned} \frac{\partial D}{\partial U_{\text{DD}}} &= \sum_{i=1}^n g_i \left(h_i + \frac{p_i}{g_i} \right) \cdot \frac{\partial t_{p0}}{\partial U_{\text{DD}}} \\ &= \frac{D}{K'_d \cdot U_{\text{DD}}} \cdot \frac{\partial}{\partial U_{\text{DD}}} \left(\frac{K'_d \cdot U_{\text{DD}}}{(U_{\text{DD}} - U_{\text{on}})^{\alpha_d}} \right) \\ &= D \cdot \frac{(U_{\text{DD}} - U_{\text{on}})^{\alpha_d}}{U_{\text{DD}}} \cdot \frac{(U_{\text{DD}} - U_{\text{on}})^{\alpha_d} - \alpha_d \cdot U_{\text{DD}} \cdot (U_{\text{DD}} - U_{\text{on}})^{\alpha_d - 1}}{(U_{\text{DD}} - U_{\text{on}})^{2 \cdot \alpha_d}} \\ &= \frac{D}{U_{\text{DD}}} \cdot \frac{1 - U_{\text{on}}/U_{\text{DD}} - \alpha_d}{1 - U_{\text{on}}/U_{\text{DD}}} \end{aligned} \quad (7.92)$$

Eine hierzu ähnliche Rechnung ergibt die folgende Ableitung

$$\frac{\partial D}{\partial \Delta U_{\text{T}}} = - \frac{\alpha_d \cdot D}{(U_{\text{DD}} - U_{\text{on}} - \Delta U_{\text{T}})} \quad (7.93)$$

Auch die Ableitung der Energie aufgrund von Unterschwellenströmen in Hinblick auf die Versorgungsspannung wird benötigt. Mit der Hilfsgröße F

$$F = U_{DD} \cdot e^{-\frac{U_{T0} + \Delta U_T - \eta \cdot U_{DD}}{n \cdot U_t}} \quad (7.94)$$

folgt aus der Gleichung 7.87

$$E_{\text{Leak}} = \sum_{i=1}^n e_{\text{Leak},i} = D(U_{DD}) \cdot F \cdot \sum_{i=1}^n w_i \cdot I_0 \quad (7.95)$$

Somit

$$\begin{aligned} \frac{\partial E_{\text{Leak}}}{\partial U_{DD}} &= \left(\frac{\partial D}{\partial U_{DD}} \cdot F + D \cdot \frac{\partial F}{\partial U_{DD}} \right) \cdot \sum_{i=1}^n w_i \cdot I_0 \\ &= \frac{E_{\text{Leak}}}{D} \cdot \frac{\partial D}{\partial U_{DD}} + \left(\frac{\eta}{n \cdot U_t} + \frac{1}{U_{DD}} \right) \cdot E_{\text{Leak}} \quad (7.96) \end{aligned}$$

Die Ableitung der Energie E_{Leak} nach ΔU_T führt zu dem folgenden Resultat

$$\frac{\partial E_{\text{Leak}}}{\partial \Delta U_T} = \left(\frac{\partial D}{\partial \Delta U_T} \cdot F + D \cdot \frac{\partial F}{\partial \Delta U_T} \right) \cdot \sum_{i=1}^n w_i \cdot I_0 = \frac{E_{\text{Leak}}}{D} \cdot \frac{\partial D}{\partial \Delta U_T} - \frac{E_{\text{Leak}}}{\eta \cdot U_t} \quad (7.97)$$

Die entsprechende Ableitung für E_{Dyn} liefert Null.

Für die Empfindlichkeit von E_{Leak} in Abhängigkeit von D bei Variation von U_{DD} erhält man aus den Gleichungen 7.96 und 7.92 [142]

$$\begin{aligned} S_{U_{DD}}^{E_{\text{Leak}}} &= \frac{\frac{\partial E_{\text{Leak}}}{\partial U_{DD}}}{\frac{\partial D}{\partial U_{DD}}} = \frac{E_{\text{Leak}}}{D} + \frac{E_{\text{Leak}}}{D} \cdot U_{DD} \cdot \frac{\left(\frac{\eta}{n \cdot U_t} + \frac{1}{U_{DD}} \right) \cdot \left(1 - \frac{U_{\text{on}}}{U_{DD}} \right)}{1 - \frac{U_{\text{on}}}{U_{DD}} - \alpha_d} \\ &= \frac{E_{\text{Leak}}}{D} + \frac{E_{\text{Leak}}}{D} \cdot \frac{\left(1 + \frac{\eta \cdot U_{DD}}{n \cdot U_t} \right) \cdot \left(1 - \frac{U_{\text{on}}}{U_{DD}} \right)}{1 - \frac{U_{\text{on}}}{U_{DD}} - \alpha_d} \\ &= -\frac{E_{\text{Leak}}}{D} \cdot \left[\frac{\left(1 - \frac{U_{\text{on}}}{U_{DD}} \right) \cdot \left(\frac{\eta U_{DD}}{n \cdot U_t} + 1 \right)}{\alpha_d - 1 + \frac{U_{\text{on}}}{U_{DD}}} - 1 \right] \quad (7.98) \end{aligned}$$

Die Empfindlichkeit im Hinblick auf die dynamische Energie in Abhängigkeit von der Versorgungsspannung ergibt sich aus den Gleichungen 7.91 und 7.92

$$S_{U_{DD}}^{E_{Dyn}} = \frac{\frac{\partial E_{Dyn}}{\partial U_{DD}}}{\frac{\partial U_{DD}}{\partial D}} = -\frac{2 \cdot E_{Dyn}}{D} \cdot \frac{1 - \frac{U_{on}}{U_{DD}}}{1 - \frac{U_{on}}{U_{DD}} - \alpha_d} \quad (7.99)$$

Die beiden Gleichungen 7.98 und 7.99 beschreiben die Empfindlichkeit der gesamten Energie bei einer Erhöhung der Gatterlaufzeit D , wenn die Versorgungsspannung erniedrigt wird. Ähnlich wie im Fall der Dimensionierung der Transistorweiten bietet der Schaltungsentwurf, der bei maximaler zulässiger Versorgungsspannung für minimale Verzögerungszeit ausgelegt ist, das größte Potential an Energieeinsparung. Mit kleinerer Versorgungsspannung verringert sich das Einsparpotential, da E_{Dyn} und E_{Leak} kleiner werden, sowie die Kettenlaufzeit D und das Verhältnis U_{on}/U_{DD} größer werden.

Die Verringerung der Versorgungsspannung hat zwei gegensätzliche Einflüsse auf E_{Leak} . Da die Laufzeit D größer wird, müsste auch E_{Leak} wachsen. Dem wirken aber die Verringerung der Versorgungsspannung und die Abnahme des DIBL-Effektes ($\eta \cdot U_{DD}$) entgegen. Insgesamt nimmt E_{Leak} mit reduzierter Versorgungsspannung ab. Somit erhält man eine negative Empfindlichkeit S von E_{Leak} mit zunehmender Verzögerung D .

Auch wenn zur Optimierung zwei unterschiedliche Versorgungsspannungen in einer Kette von Gattern eingesetzt werden, bleiben die Gleichungen 7.98 und 7.99 weiter gültig, wenn E_{Dyn} , E_{Leak} und D für Blöcke mit einheitlichen Versorgungsspannungen definiert werden. Während die Dimensionierung der Transistorweiten die Energie, die auf der Lastkapazität der gesamten Kette gespeichert ist, nicht ändert, wird diese Energie sehr wohl von der Versorgungsspannung für das letzte Gatter beeinflusst.

Schließlich bleibt noch die Empfindlichkeit der Energie in Bezug auf die Verzögerung D bei Änderungen der Einsatzspannung ΔU_T festzulegen. E_{Dyn} ist unabhängig von der Änderung der Einsatzspannung. Es gilt

$$\frac{\frac{\partial E_{Leak}}{\partial \Delta U_T}}{\frac{\partial D}{\partial \Delta U_T}} = -\frac{E_{Leak}}{D} \cdot \left(\frac{U_{DD} - U_{on} - \Delta U_T}{\alpha_d \cdot n \cdot U_t} - 1 \right) \quad (7.100)$$

Erhöht man den Betrag der Einsatzspannung nimmt diese Empfindlichkeit gemäß Gleichung 7.87 exponentiell mit wachsenden ΔU_T ab. Da E_{Dyn} nicht kleiner werden sollte als E_{Leak} , begrenzt die Energie aufgrund von Leckströmen den zur Verfügung stehenden Bereich für Optimierungen. In Schaltungen, die nur geringe Leckströme aufweisen, können die Einsatzspannungen und, wenn die Laufzeiten unverändert bleiben sollen, die Versorgungsspannung reduziert werden. Man erreicht die minimale Energie wenn E_{Leak} und E_{Dyn} vergleichbar sind. Zu beachten ist, dass die Reduzierung von U_T und U_{DD} um die gleichen Werte die Störsicherheit mindert.

Eine Inverterkette hat vergleichsweise eine einfache Energieverteilung, die geometrisch bis zur letzten Stufe wächst. Daher konzentriert man sich bei der Optimie-

rung auf die letzten Stufen der Kette. Andere sehr wichtige Module haben jedoch eine wesentlich komplexere Energieverteilung.

Beispielsweise soll an dieser Stelle der in Kapitel 7.1.8.3 Bild 7.25 behandelte Kogge-Stone-Addierer näher untersucht werden. Dieser Addierertyp beruht auf einer Baumstruktur, die lange Leitungen aufweist und große Fan-Out-Schwankungen zeigt. Die Ausgänge werden von Datenpfaden mit unterschiedlichen logischen Tiefen angesteuert. In [142] wird dessen Energieprofil und die daraus folgende Optimierung für eine Wortbreite von 64 Bit näher beschrieben. Die Ergebnisse lassen sich am besten in der dritten Dimension über einer Ebene darstellen. Eine Achse der Ebene wird von den 64 Bitscheiben gebildet. Die Zahl (neun in diesem Beispiel) der aufeinander folgenden Gatter in einer Bitscheibe ergibt die andere Achse.

Zunächst, wie es der Methode entspricht, wurde ein Referenzdesign erstellt, der im Hinblick auf minimale Laufzeit bei maximal zulässiger Versorgungsspannung $U_{DD,ref}$ und gegebener Referenzeinsatzspannung $U_{T,ref}$ optimiert wurde. In dem Referenzentwurf wurden alle Pfade an dem kritischen Pfad angepasst. Obwohl die Ausgangsstufen für einen wichtigen Teil des Energieverbrauchs verantwortlich sind, wird der gesamte Energieverbrauch von internen Knoten etwa um das fünfte Gatter in einer Bitscheibe dominiert, wobei ab der 30. Bitscheibe in Richtung 64. Bitscheibe diese Beiträge stark abnehmen. Es konnte gezeigt werden, dass in diesem Fall bei einer 10% zusätzlichen Verzögerungszeit mittels Verkleinerung der entsprechenden Transistorweiten die Energie um 55% verringert wird. Die Versorgungsspannung wurde bei diesem Versuch konstant gehalten. Dagegen konnte bei konstant gehaltenen Transistorweiten mit zwei unterschiedlichen kleineren Versorgungsspannungen 27% an Energie eingespart werden. Mit einer einheitlichen Verringerung der Versorgungsspannung für alle Gatter konnte nur ein Energiegewinn von 17% erzielt werden. Daraus folgt, dass in diesem Fall die Reduzierung der Versorgungsspannung weniger geeignet ist als die Anpassung der Transistorweiten. Die Dimensionierung der Weiten kann selektiver als die Reduktion Versorgungsspannung angewendet werden.

In Bild 7.56 sind die Energie-Verzögerungszeit-Empfindlichkeiten S für U_{DD} , Transistorweite w und U_T für das Addiererbeispiel detailliert in Abhängigkeit von der zusätzlichen Verzögerungszeit dargestellt. Am Referenzpunkt kann mit der Anpassung der Transistorweiten der größte Fortschritt erzielt werden. Da an dieser Stelle die entsprechende Empfindlichkeit gegen unendlich geht. Toleriert man größere Zuwächse der Verzögerungszeit nimmt die Empfindlichkeit bezüglich Dimensionierung der Weiten ab. Nun ist die Reduzierung der Versorgungsspannung effektiver.

Die Einsatzspannung beeinflusst die Energie aufgrund von Unterschwellenströmen. Mit kleineren Einsatzspannungen erreicht man geringere Verzögerungszeiten, die kleiner sein können als diejenige des Referenzentwurfs. So ergibt sich ein Spielraum, der für die Anpassung von Transistorweiten oder der Versorgungsspannung genutzt werden kann. Wiederum muss auf die notwendige Störsicherheit hingewiesen werden. Im Allgemeinen eröffnen die unterschiedlichen Empfindlichkeiten S bezüglich w , U_{DD} und U_T eine Optimierung mit allen drei Variablen, die zur effizientesten Lösung führt.

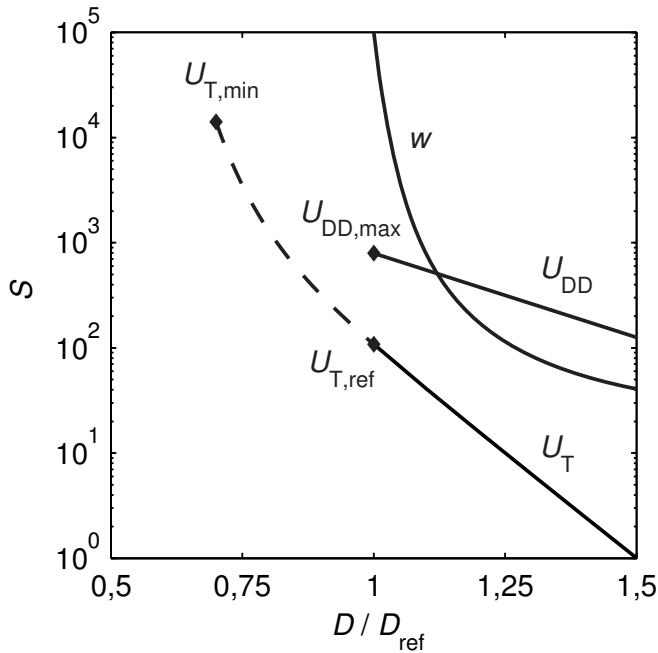


Bild 7.56 Empfindlichkeiten S berechnet für einen 64 Bit Kogge-Stone-Addierer in Abhängigkeit von der normierten Verzögerungszeit D mit der Transistorweite w , der Versorgungsspannung U_{DD} und von der Einsatzspannung U_T als Parameter [142]. $U_{T,min}$ und $U_{DD,max}$ stellen Grenzen für die jeweilige Größe dar.

Anhand des Addiererbeispiels soll dies näher erläutert werden. Bild 7.57 illustriert die Lage des Referenzzentwurfs in Bezug auf die optimale Kurve für die Abhängigkeit der Energie von der Verzögerungszeit des Addierers. Diese Kurve erhält man, wenn alle drei Variablen gemeinsam optimiert werden. Da am Referenzpunkt die Empfindlichkeiten stark von einander abweichen, bleibt noch viel Raum für eine Optimierung.

In dem man die Transistorweiten w sowie die Versorgungsspannung und die Einsatzspannung verringert und so gleiche Empfindlichkeiten erzielt, wird 66% der Energie E_{ref} eingespart ohne die Verzögerungszeit D zu verschlechtern. Dies ist in Bild 7.57 dargestellt. Vom Referenzpunkt (E_{ref}, D_{ref}) gelangt man senkrecht nach unten zum Punkt (D_{ref}, E_{min}) auf der optimalen Energie-Verzögerungszeit-Kurve. Alternativ hierzu kann die Energie konstant gehalten werden und die Schaltgeschwindigkeit um 26% erhöht werden. In diesem Punkt (D_{min}, E_{ref}) sind die Empfindlichkeiten nicht gleich, da die maximal zulässige Versorgungsspannung nicht überschritten werden kann, was für die vollständige Optimierung notwendig wäre.

In vielen Fällen ist es ausreichend nur zwei Variablen für die Optimierung einzusetzen. Mit einer sorgfältigen Auswahl der Variablen erreicht man nahezu die minimale Energie für eine gegebene Verzögerungszeit. In dem Addiererbeispiel für

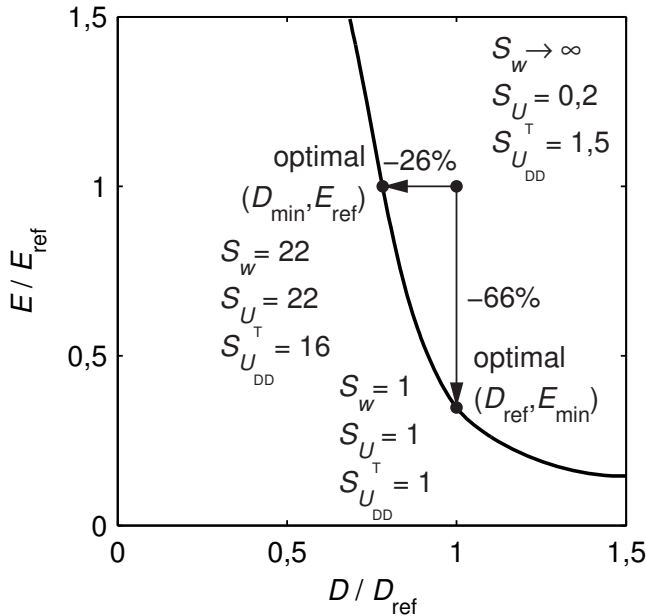


Bild 7.57 Optimale Energie-Verzögerungszeit-Kurve eines 64 Bit Addierers nachdem U_{DD} , w und U_T optimiert worden sind [142]. Für drei ausgezeichneten Punkte sind die Empfindlichkeiten eingezeichnet.

Laufzeiten in der Nähe des Referenzentwurfs D_{ref} sind dies die Anpassung der Transistorweiten und die Verringerung der Einsatzspannung, da diese beiden Variablen die größten Unterschiede bei den Empfindlichkeiten aufweisen. Wie Bild 7.57 zeigt, sind die Schaltungsoptimierungen nur in einem Bereich von etwa $\pm 30\%$ der Verzögerungszeit D_{ref} in der Umgebung des Referenzentwurfs effektiv. Soll dieser Bereich verlassen werden, muss nach effizienteren Variablen in einer höheren Entwurfsebene gesucht werden. Die Optimierung muss auf die Mikroarchitekturebene ausgedehnt werden.

Jedoch vor dieser Architekturebene liegt die Gatterebene, in der ebenfalls Optimierungen vorgenommen werden müssen. Es ist zu entscheiden, welche Logikfamilie eingesetzt werden soll, ob einfache Gatter mit geringem Fan-In oder komplexe Gatter mit hohen Fan-In verwendet werden sollen. Weiter ist zu prüfen, welches Eingangssignal mit welchem Eingang eines Gatters verbunden werden soll. Soll zum Beispiel eine kurze Verzögerungszeit erzielt werden, ist es günstig das Eingangssignal, das zuletzt einen gültigen Signalwechsel hat, mit den Transistoren zu verbinden, die am nächsten am Ausgangsknoten liegen, da die Zwischenknoten bereits von den anderen Eingangssignalen auf- oder entladen wurden. Dagegen wenn minimale Verlustleistung das Ziel ist, sollten Signale mit hoher Schaltaktivität an Transistoren gelegt werden, die minimale Knotenkapazitäten aufweisen. Auf dieser Ebene muss darauf geachtet werden, dass die unterschiedlichen Pfade, die zu einem Gatter füh-

ren zeitlich gut „ausbalanciert“ sind, so dass „falsches Schalten“ vermieden wird. Hierzu kann es notwendig sein, eine vorhandene Logik neu zu strukturieren (siehe Kapitel 4.8.1.1.2–4.8.1.1.4). Auch zusätzliche Treiber (Inverter) können helfen. Bei all diesen Abwägungen sollten wieder Pareto-optimale Energie-Verzögerungszeit-Kurven angestrebt werden.

7.3.2 Mikroarchitekturebene

Bekannte Methoden auf der Architekturebene Energie zu sparen, beruhen auf dem Prinzip der Gleichzeitigkeit, die mittels Parallelverarbeitung oder mittels „Pipelining“ erreicht werden kann [35]. Die Konzepte lassen sich gut erklären, wenn von einem Referenzentwurf für eine bestimmte logische Funktion F , die sich aus den Funktionen A und B zusammensetzt, ausgegangen wird (siehe Bild 7.58). Für

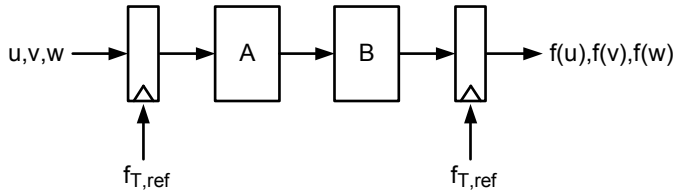


Bild 7.58 Einfaches Rechenwerk.

die Folge der Eingangswörter $u, v, w, \dots$ erhält man eine Ausgangsfolge $f(u), f(v), f(w), \dots$. Da das Eingangswort v erst angelegt werden darf, nachdem die Verarbeitung für das Wort u abgeschlossen ist, ergibt sich die maximale Referenztaktfrequenz $f_{T,\text{ref}}$ aus der Verzögerungszeit für die Funktion F beziehungsweise der Latenzzeit $t_{p,\text{ref}}$ zu

$$f_{T,\text{ref}} = \frac{1}{t_{p,\text{ref}}} \quad . \quad (7.101)$$

Die dynamische Verlustleistung, ohne die Kurzschlussströme zu berücksichtigen, errechnet sich zu

$$P_{\text{ref}} = \alpha \cdot C_{\text{ref}} \cdot U_{\text{DD,ref}}^2 \cdot f_{T,\text{ref}} \quad . \quad (7.102)$$

Mit C_{ref} wird die durchschnittliche Schaltkapazität, die pro Taktperiode geladen und entladen wird, bezeichnet. Der Datenpfad wird von zwei Registern begrenzt.

Eine parallele Architektur, wie sie in Bild 7.59 gezeigt wird, führt dazu, dass mittels eines Demultiplexers ein Eingangsdatenwort im unteren und das nächst Datenwort im oberen Datenpfad verarbeitet wird. Am Ausgang wird ein Multiplexer eingesetzt, der die beiden Datenpfade wieder vereint. Die Schaltaktivität in jedem

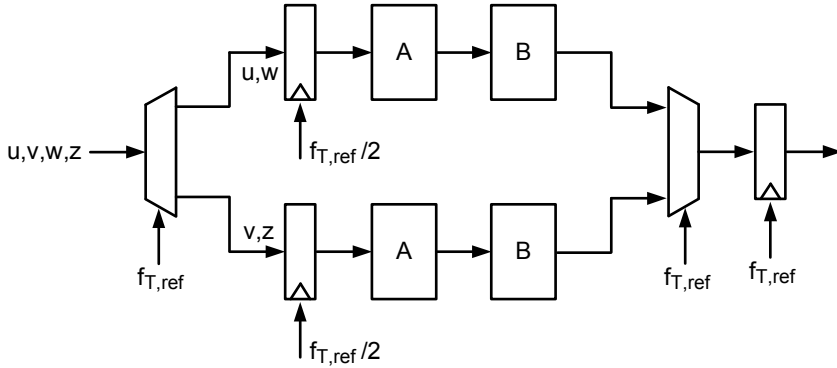


Bild 7.59 Parallele Implementierung des einfachen Rechenwerks.

parallelen Pfad entspricht der Schaltaktivität des Referenzentwurfs nach Bild 7.58. Für jedes Datenwort steht die doppelte Zeit im Vergleich zum Referenzentwurf zur Verfügung, daher

$$f_{\text{par}} = \frac{f_{\text{T,ref}}}{2} \quad . \quad (7.103)$$

Wegen der geringeren Anforderung an die Verzögerungszeit, kann die Versorgungsspannung reduziert werden

$$U_{\text{DD}} = \epsilon_{\text{par}} \cdot U_{\text{DD,ref}} \quad . \quad (7.104)$$

Da die Versorgungsspannung in die Gleichung für die dynamische Verlustleistung quadratisch eingeht, ist die Parallelverarbeitung attraktiv. In Kapitel 4.8.1.1.4 wurde diese Methode bereits erwähnt. Unglücklicherweise wird die durchschnittliche Schaltkapazität wegen den zusätzlichen Verdrahtungen geringfügig mehr als verdoppelt

$$C_{\text{par}} = 2 \cdot (1 + \kappa_{\text{par}}) \cdot C_{\text{ref}} \quad . \quad (7.105)$$

Daraus ergibt sich die Verlustleistung für den parallelen Datenpfad zu

$$P_{\text{par}} = \epsilon_{\text{par}}^2 \cdot (1 + \kappa_{\text{par}}) \cdot P_{\text{ref}} \quad . \quad (7.106)$$

Der große Nachteil der Parallelverarbeitung ist, dass die Fläche mehr als verdoppelt wird. Wie viel Verlustleistung eingespart werden kann, wird von der Abhängigkeit der Verzögerungszeit von der Versorgungsspannung bestimmt (siehe Kapitel 4.3.2.3 Bild 4.22 und Kapitel 4.8.3.2.2 Bild 4.135). Für eine 90 nm Technologie kann die Versorgungsspannung mit dem Faktor $\epsilon_{\text{par}} = 0,66$ vermindert werden, wenn die doppelte Verzögerungszeit zur Verfügung steht. Ein typischer Wert für κ_{par} ist 0,075. Daraus ergeben sich folgende Zahlenwerte für die einmalige Parallelschaltung

$$P_{\text{par}} = 0,66^2 \cdot (1 + 0,075) \cdot P_{\text{ref}} = 0,47 \cdot P_{\text{ref}} \quad . \quad (7.107)$$

Auf Kosten der Fläche können mehrfache Parallelschaltungen realisiert werden. Zum Beispiel bei einer vierfachen Parallelverarbeitung gewinnt man etwa 70% an Verlustleistung. Allerdings gibt es eine Grenze für die Anzahl der parallel liegenden Datenpfade. Nähert sich die Versorgungsspannung der Einsatzspannung nimmt die Verzögerungszeit dramatisch zu. Dem gemäß werden viele zusätzliche Datenpfade benötigt, die einen erhöhten Verdrahtungsaufwand bedeuten. Der Gewinn an Verlustleistung wird im Grenzfall von den zusätzlichen Schaltungen aufwogen.

Lässt man die Versorgungsspannung konstant, erzielt man mit der Parallelverarbeitung eine größere Durchsatzrate. Bei zwei parallelen Datenpfaden müssen der Multiplexer und der Demultiplexer mit der doppelten Taktfrequenz arbeiten.

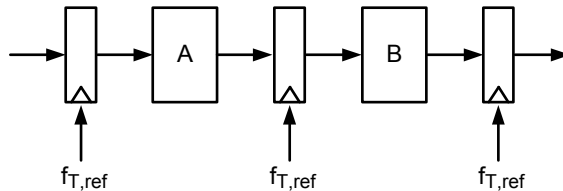


Bild 7.60 Pipeline-Rechenwerk.

Mit „Pipelining“ wird ein ähnlicher Effekt erzielt. Das Prinzip zeigt Bild 7.60. Mit dem zusätzlichen Register soll die logische Tiefe möglichst halbiert werden. Der kritische Pfad wird nun von $\max(T_A, T_B)$ bestimmt. Nun kann ein neues Datenwort, eingegeben werden, wenn das Vorhergehende im zusätzlichen Zwischenregister gespeichert ist. Lässt man die Versorgungsspannung konstant, erreicht man so die doppelte Taktfrequenz und damit die doppelte Durchsatzrate. Wenn die Durchsatzrate konstant bleiben soll, kann, wie im vorhergehenden Beispiel der Parallelverarbeitung, die Versorgungsspannung mit den Faktor $\epsilon_{\text{pipe}} = \epsilon_{\text{par}}$ reduziert werden. Im Vergleich zur Parallelverarbeitung wird nur sehr geringfügig zusätzliche Fläche für das eingefügte Register benötigt. In dem Beispiel wird die effektive Schaltkapazität C_{pipe} etwa um den Faktor 1,1 erhöht [35]. Die Verlustleistung P_{pipe} errechnet sich zu

$$P_{\text{pipe}} = C_{\text{pipe}} \cdot U_{\text{DD,pipe}}^2 \cdot f_{\text{pipe}} = (0,11 \cdot C_{\text{ref}}) \cdot 0,66^2 \cdot P_{\text{ref}} = 0,48 \cdot P_{\text{ref}} \quad . \quad (7.108)$$

Offensichtlich können die beiden Methoden kombiniert werden. Nach [35] vermindert sich die Verlustleistung bei zwei Datenpfaden und einfaches „Pipelining“ in jedem Datenpfad um den Faktor fünf.

Auch bei Parallelverarbeitung und „Pipelining“ können die Optimierungsmethoden mit den Empfindlichkeiten eingesetzt werden. Zunächst werden die beiden Logikblöcke A und B des Referenzentwurfs für $U_{\text{DD,ref}}$ und $U_{\text{T,ref}}$ bezüglich der Gatterlaufzeit optimiert, in dem die Transistorweiten angepasst werden. Im nächsten Schritt werden dann alle drei Schaltungen im Hinblick auf U_{DD} und U_{T} optimiert. Das Optimum ist erreicht, wenn die entsprechenden Empfindlichkeiten gleich sind.

Jeder Datenpfad enthält Logikblöcke und Register oder Latches. Werden unterschiedliche Schaltungen kaskadiert, muss die zur Verfügung stehende Verzögerungszeit auf die Teilschaltungen optimal aufgeteilt werden. Nun unterscheiden sich Register oder Latches signifikant von Logikblöcken in ihrer Schaltaktivität, da Register und Latches von den Taktsignalen gesteuert werden. Im Referenzentwurf weisen die Register ein geringeres Verhältnis von $E_{\text{Leak}}/E_{\text{Dyn}}$ auf. Da in jedem Block die gleiche Versorgungsspannung und Einsatzspannung eingesetzt werden soll, kann der Unterschied nicht mit Anpassungen von U_{DD} und U_{T} ausgeglichen werden. Daher wird die Anpassung mit der richtigen Wahl der Transistorweiten bei konstanten U_{DD} und U_{T} erreicht.

Auf der nächst höheren Abstraktionsebene werden die Ergebnisse der einzelnen Blöcke kombiniert. Nun kann die Gesamtenergie im Hinblick auf Anforderungen bezüglich der Verzögerungszeiten oder des Durchsatzes optimiert werden, indem die besten Werte U_{DD} und U_{T} gefunden werden.

Mit der Methode der Empfindlichkeiten ist es nicht einfach den optimalen Grad an „Pipelining“ zu finden. Jedoch für den Fall, dass die dynamische Verlustleistung die Verlustleistung aufgrund von Leckströmen dominiert, findet man mit dem bereits erwähnten Gütemaß η von Kapitel 7.1.2 nach Gleichung 7.27 leichter ein Optimum. In dem Bild 7.61 sind für eine RC-Addiererkette die Periodendauer des Taktsignals T_{p} , die Fläche, der Energiebedarf E_{Dyn} und die Güte η für unterschiedliche Grade an „Pipelining“ aufgetragen. Die Daten werden zwischengespeichert, wenn sie zwei Volladdierer, oder einen Volladdierer oder einen Halbaddierer durchlaufen haben. Wie dem Diagramm von Bild 7.61 entnommen werden kann, ist die Güte η am größten, wenn die Daten nach zwei Volladdierern zwischengespeichert werden. In den Fällen, bei denen die Methode mit den Empfindlichkeiten zu aufwendig ist, bietet sich die Berechnung des Gütemaßes als nützliche Alternative an. Mit dem Gütemaß können zwei Entwürfe leicht miteinander verglichen werden. Es ist zu beachten, dass das Gütemaß η die Fläche beinhaltet. Im Gegensatz zur Methode mit den Empfindlichkeiten gibt das Gütemaß keinen Hinweis mit welcher Schaltungsvariablen der größte Gewinn an Energie oder Verzögerungszeit zu erzielen ist.

Mit Parallelverarbeitung lassen sich die Schaltungseigenschaften verbessern, aber die benötigte Fläche ist näherungsweise linear vom Grad der Parallelität abhängig. Daher muss ein Kompromiss zwischen Flächenbedarf und Energieaufwand gefunden werden.

7.3.3 Abwägung zwischen Energie und Fläche

Sowohl die Fläche wie auch die Energie bestimmen die Gesamtkosten einer integrierten Schaltung. Wegen Gleichung 2.159 (Kapitel 2.2.3.3) bestimmt die Fläche die Herstellungskosten eines Chips, während die benötigte Energie Kosten für die Kühlung oder für die Batterie bei tragbaren Geräten zur Folge hat. Es ist ein optimaler Kompromiss zwischen Energie und Fläche anzustreben. Man kann eine Glei-

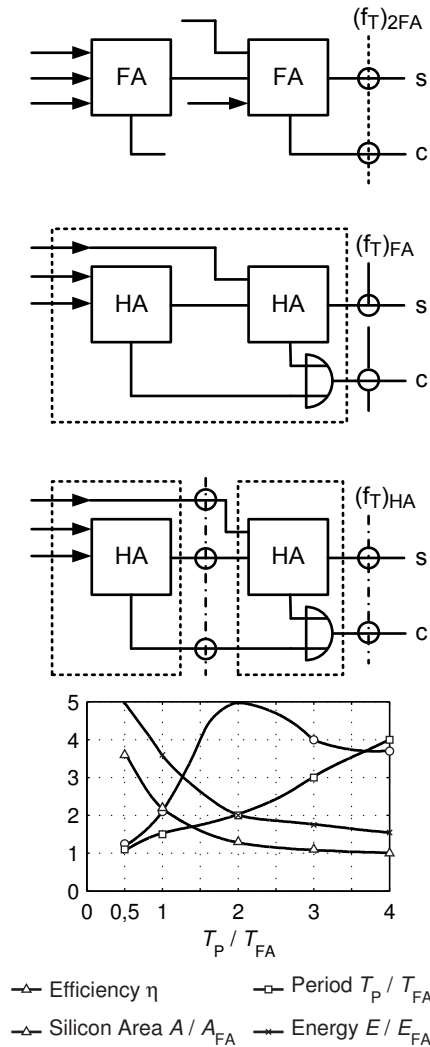


Bild 7.61 Periodendauer T_P , Fläche A , Energiebedarf $E_{D_{\text{dyn}}}$ und Gütemaß η in Abhängigkeit vom Grad des „Pipelining“. RC-Addiererkette dient als Beispiel.

chung für die Gesamtkosten $C(x)$ angeben, in der beide Ursachen enthalten sind [142].

Unter der Bedingung $D(x) \geq D_{\text{con}}$, minimiere

$$C(x) = E(x) + \beta \cdot A(x) \quad . \quad (7.109)$$

Die Größe x ist ein n -dimensionaler Vektor, der die Schaltungsvariablen darstellt. $E(x)$ beschreibt die Gesamtenergie und $A(x)$ die gesamte Fläche, die ein bestimm-

ter Entwurf einnimmt. Der Wichtungsfaktor β legt den Beitrag der Fläche zu den Kosten fest. Die Randbedingungen für die Schaltungseigenschaften, beispielsweise für die Verzögerungszeit, wird mit D_{con} ausgedrückt. Einige Schaltungsvariablen, wie Versorgungsspannung oder Einsatzspannung, beeinflussen nicht die Fläche. Andere Variablen, wie „Pipelining“ oder Parallelverarbeitung, bestimmen Energie und Fläche. Deren Einfluss ist umso größer je größer die Blöcke sind, auf die sie angewendet werden.

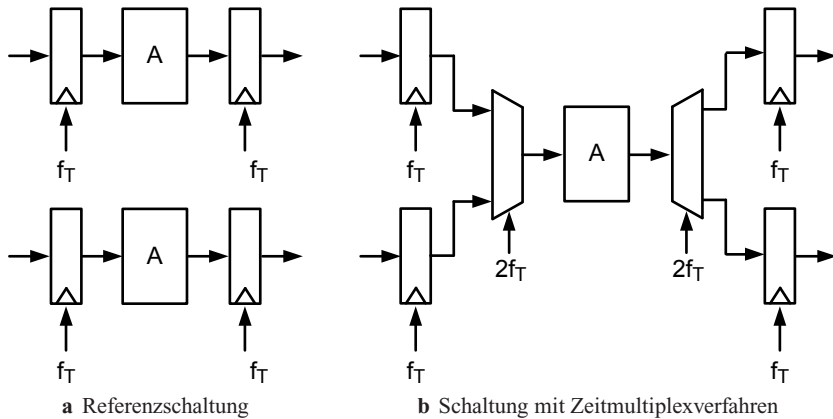


Bild 7.62 Zeitliches Multiplexen einer Schaltung A.

In [142] wird anhand des zeitlichen Multiplexverfahrens die Abwägung zwischen Fläche und Energie erläutert. Mit zeitlichen Multiplexen einer Schaltung, wie sie in Bild 7.62 gezeigt ist, kann die Fläche auf Kosten der Energie verringert werden. Die Funktion A sei die Funktion des früher erwähnten 64 Bit Addierers. Wie in Bild 7.63 zu sehen ist, spannen Schaltungen mit unterschiedlichen Graden P an Parallelverarbeitung, sowie mit unterschiedlichen Graden M an Multiplexen einen weiten Bereich an elektrischen Eigenschaften auf. In Bild 7.64 sind die Zusammenhänge nochmals dargestellt. Nun wird die Energie als Funktion der Chipfläche aufgetragen. Punkte mit gleichen Durchsatzraten sind miteinander verbunden. Dem Bild ist zu entnehmen, dass Entwürfe mit hohen Durchsatzraten größere Flächen aufweisen, als solche Schaltungen mit geringeren Durchsatzraten. Man muss Parallelverarbeitung einsetzen um die höheren Durchsatzraten zu erreichen. Weiter zeigt das Bild, dass ein höheres Energiebudget eine geringere Fläche zulässt. Das Optimum findet man, wenn mittels Gleichung 7.109 die Chipkosten minimal werden.

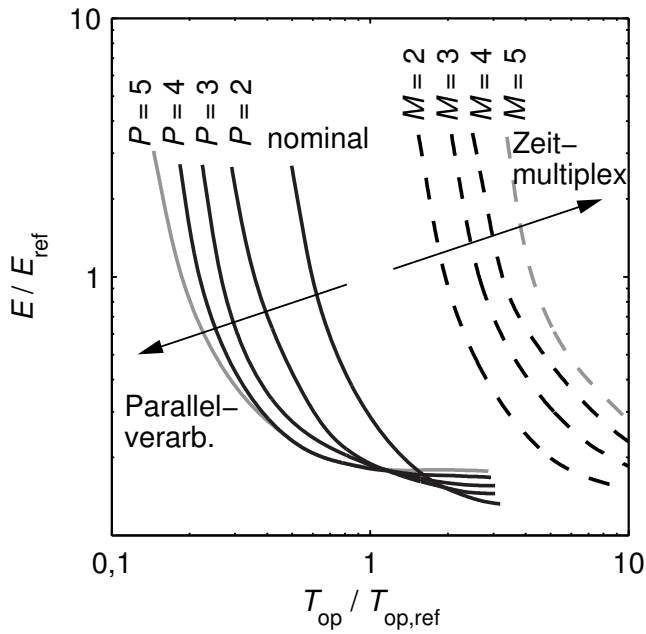


Bild 7.63 Zusammenhänge zwischen Energie und Verzögerungszeit T_{op} in Abhängigkeit von verschiedenen Graden P an Parallelverarbeitung beziehungsweise von Graden M an zeitlichen Multiplexen [142].

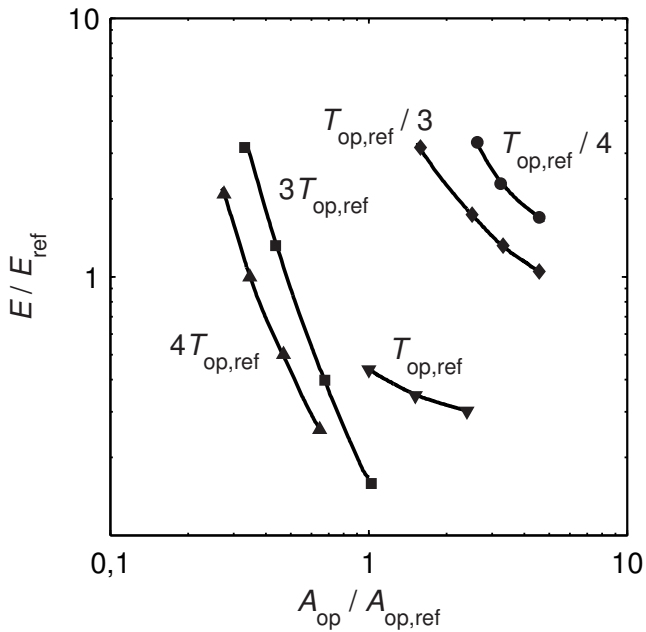


Bild 7.64 Zusammenhänge zwischen Energie und Fläche. Punkte mit gleichen Durchsatzraten sind miteinander verbunden [142]. Mit T_{op} wird die Zeit für eine Operation verstanden.

Kapitel 8

VLSI-Entwurfsmethoden

Prof. U. Rückert

Aufgrund der Komplexität moderner integrierter Bausteine (Chips) mit mehreren Milliarden Transistoren ist der Schaltungsentwurf ohne den intensiven Einsatz von rechnergestützten Entwurfswerkzeugen nicht mehr beherrschbar. Die Steigerung der Entwurfsproduktivität eines Schaltungsentwicklers durch Erfahrung und Schulung kann der Komplexitätssteigerung der Integrationstechnik (Verdopplung der Transistoranzahl pro Chip in 24 Monaten) nicht folgen. Entwurfsproduktivität, deren objektive quantitative Ermittlung nicht eindeutig definiert ist, wird hier vereinfachend mit der Anzahl der Transistoren bzw. Logikgatter bewertet, die von einem Schaltungsentwickler pro Arbeitsjahr bei der Entwicklung eines neuen digitalen Bausteins bearbeitet werden können. Damit der Abstand zwischen Entwurfsproduktivität und Schaltungskomplexität, die sogenannte Entwurfslücke (Design Productivity Gap), nicht zu groß wird, müssen immer leistungsfähigere rechnergestützte Entwurfswerkzeuge und problemspezifische Entwurfsmethoden entwickelt werden (Electronic Design Automation (EDA)). Dies ist in der Vergangenheit durch Maßnahmen auf allen Entwurfsebenen erfolgreich gelungen und muss auch in der Zukunft gewährleistet bleiben (Bild 8.1).

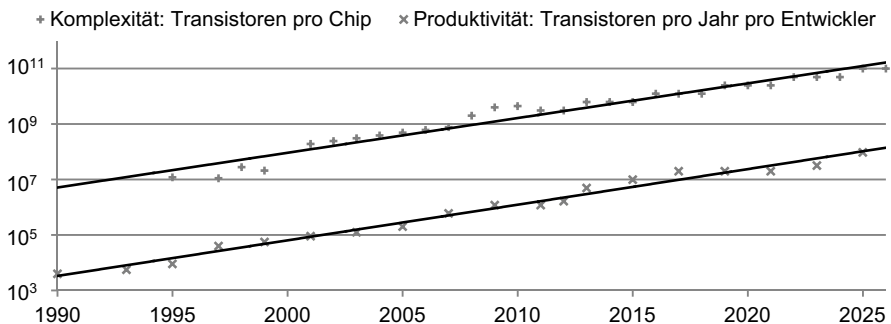


Bild 8.1 Fortschritte in Prozesstechnologie und Entwurfsproduktivität [105].

Die Auswahl der geeigneten Entwurfsmethode mit den passenden EDA-Werkzeugen hängt von teilweise konkurrierenden Produktanforderungen und wirtschaftlichen Randbedingungen ab. Sie hat einen großen Einfluss auf die Qualität der gefertigten integrierten Bausteine. Dieses Kapitel gibt einen Überblick über die grundlegenden Entwurfsschritte, Entwurfsmethoden und die wichtigsten Realisierungsvarianten für integrierte digitale Schaltungen.

Der Schaltungsentwurf ist wie jeder andere Entwurfsvorgang ein kreativer Prozess. Am Anfang steht eine Schaltungsidee zur Lösung der gestellten Aufgabe, die im Kopf eines Entwicklers durch eine Kombination aus Erfahrung und Inspiration entsteht. Diese Idee gilt es durch eine systematische Vorgehensweise unter Beachtung gegebener Entwurfskriterien und Randbedingungen in eine ressourceneffiziente Schaltungsrealisierung umzusetzen. Entwurfskriterien sind beispielsweise technische Leistungsdaten (Durchsatz, Verlustleistung), Baugröße und funktionale Eigenschaften (Flexibilität, Programmierbarkeit, Testbarkeit). Randbedingungen sind z. B. die zur Verfügung stehende Entwicklungszeit bis zum Markteintritt des Produktes, die vorhandenen EDA-Werkzeuge, die Größe der Entwicklungsmannschaft oder die maximalen Kosten für die Entwicklung und Herstellung des Produktes.

Ausgangspunkt beim Entwurf ist eine möglichst vollständige Spezifikation der intendierten Funktion sowie weiterer relevanter Fertigungsaspekte des zu entwerfenden Bausteins. Diese Spezifikation wird mithilfe von Entwurfswerkzeugen entsprechend der gewählten Entwurfsmethode schrittweise in eine vollständige Maskenbeschreibung (Layout, vgl. Kapitel 2.2.1.2) für die Fertigung überführt. Das Layout bildet die Schnittstelle zwischen Schaltungsentwurf und Schaltungsfertigung. Das Ergebnis des Bausteinentwurfs sind Dateien, in denen sich sämtliche Informationen für die Archivierung, die Produktion und das Testen der Schaltung befinden. Die Layouts werden dabei von standardisierten Datenformaten repräsentiert (z. B. GDS2 [26]).

8.1 Realisierungsvarianten integrierter digitaler Schaltungen

Für die Umsetzung einer Schaltungsidee in einen integrierten Baustein stehen unterschiedliche Realisierungstechniken mit angepassten Entwurfsmethoden zur Auswahl. Die Realisierungsvarianten (Bild 8.2) unterscheiden sich bezüglich der Freiheitsgrade während des Entwurfs und bei der Herstellung.

8.1.1 *Full-Custom-Entwurf*

Von Anfang an wurden zwei unterschiedliche Entwurfskonzepte propagiert. Das eine Konzept beruht auf dem Entwurf von regulären Schaltungen, wie es Speicher (siehe Kapitel 6) oder arithmetische Einheiten (siehe Kapitel 7), darstellen. Die Struktur der Schaltung folgt direkt aus der Spezifikation. Das heißt zum Beispiel die

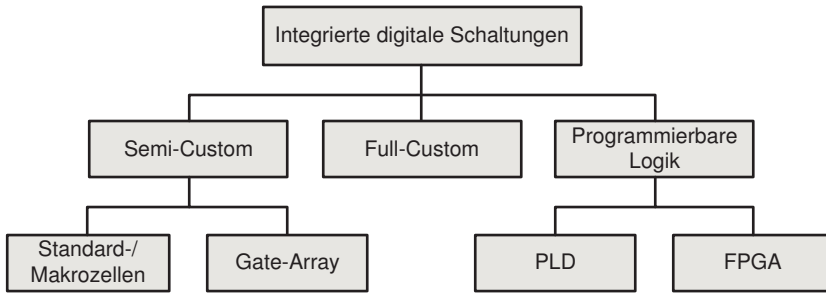


Bild 8.2 Realisierungsvarianten für integrierte digitale Schaltungen.

Anzahl der zu speichernden Bits, die Auswahl der Speicherzelle und die Angaben über elektrische Eigenschaften, wie Zugriffszeit und zulässige Verlustleistung legen den zu entwerfenden Speicher fest. Idealerweise definiert man eine Grundzelle und gelangt im Rahmen einer einfach zu bestimmenden Struktur durch Vervielfältigung der Grundzelle zu der gewünschten Schaltung. Zusätzlich muss noch die Führung der Ein- und Ausgangssignale festgelegt werden. Eine Grundzelle reicht nicht aus, um einen ganzen Speicher zu entwerfen. Es werden noch weitere Grundzellen benötigt, wie beim Speicher zum Beispiel Dekodier- oder Bewerterschaltungen. Die Grundzellen werden „von Hand“, das heißt ohne Hilfe von CAD-Werkzeugen entworfen. Liegen die Grundzellen des zu entwerfenden Speichers vor, kann der restliche Entwurfsprozess automatisiert werden (Speichergeneratoren, siehe auch Kapitel 8.1.2.2).

Diese Vorgehensweise ist auf andere weniger reguläre Schaltungen, wie Addierer, Multiplizierer, digitale Filter oder arithmetische Einheiten übertragbar. In diesen Schaltungen werden die Daten oft nur lokal weitergereicht. Allerdings sind nun die Grundzellen wesentlich komplexer. Zum Beispiel umfassen die Grundzellen ein oder zwei Addierer mit einem Latch oder Register. Es werden auch mehr unterschiedliche Grundzellen benötigt. Je mehr unterschiedliche Grundzellen per Hand entworfen werden müssen, umso zeitraubender und aufwendiger wird der Entwurfsprozess.

Für Speicher werden von den CAD-Herstellern für den Aufbau der gesamten Struktur aus den Grundzellen entsprechende Programme angeboten. Dies gilt jedoch nicht für komplexere Strukturen, wie es zum Beispiel Datenpfade oder arithmetische Einheiten darstellen. Allerdings verfügen viele Designhäuser intern über entsprechende CAD-Werkzeuge. Hochschulen, wie zum Beispiel die RWTH Aachen, bieten derartige Programme (Datenpfadgenerator) an [239]. Die eben beschriebene Vorgehensweise wird auch „Full-Custom-Design“ oder „bottom-up-Entwurf“ genannt. „Full-Custom“ sollte mit kundenspezifisch oder mit maßgeschneidert übersetzt werden. Aufgrund fehlender kommerzieller Entwurfsprogramme wird auch vom Handentwurf gesprochen.

Im Rahmen des Full-Custom-Entwurfs kann der Entwickler die gesamte Bandbreite der schaltungstechnischen Methoden verwenden, um eine möglichst gerin-

ge Chipfläche, geringe Herstellungskosten, eine möglichst hohe Verarbeitungsgeschwindigkeit oder eine geringe Verlustleistung zu erzielen.

Der Full-Custom-Entwurf wird angewendet, wenn die zur Verfügung stehende Technologie bis an die Grenzen des Machbaren ausgereizt werden soll. Er erlaubt eine anwendungsspezifische Dimensionierung, Platzierung und Verdrahtung der Bauelemente und Schaltungsmodule. Standardbausteine (z. B. Speicher und Mikroprozessoren), analoge Schaltungen und branchenspezifische integrierte Bausteine (z. B. für Mobiltelefone) werden mit dieser Entwurfsmethode entworfen. Bild 8.3 zeigt die Full-Custom-Realisierung eines Gigabit-Transceivers, der sowohl analoge als auch digitale Schaltungsteile integriert (Mixed-Signal-Schaltung).

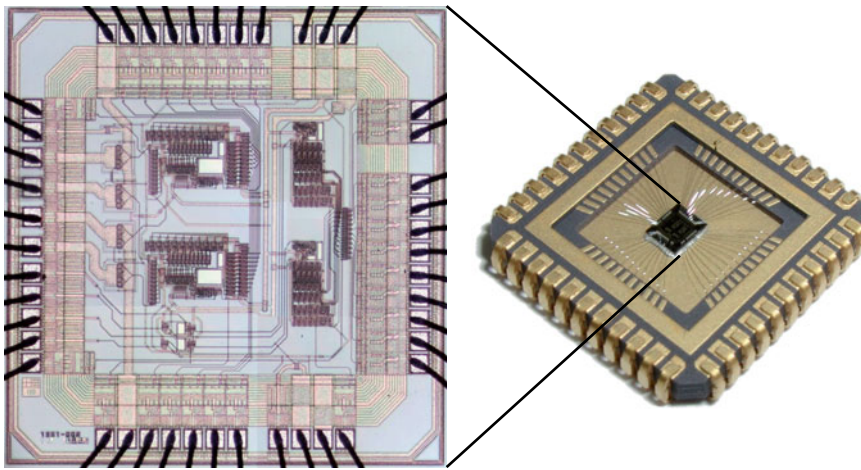


Bild 8.3 Full-Custom-Realisierung eines Gigabit-Transceivers in 350nm CMOS-Technologie.

Der Full-Custom-Entwurf erlaubt große Freiheiten beim Entwurf und stellt damit hohe Anforderungen an den Entwickler. Mit der hohen Komplexität der Bausteine umfasst das Aufgabengebiet neben der zentralen Schaltungstechnik auch Systemaspekte und die Schnittstelle zur Herstellung der integrierten Schaltung in der Halbleiterfabrik. Der Automatisierungsgrad ist hierbei aufgrund der notwendigen manuellen Durchführung der einzelnen Entwurfsschritte relativ gering. Die Entwurfszeiten und Entwurfskosten sind somit am höchsten, sodass ein Full-Custom-Entwurf, abgesehen von Spezialanwendungen, die anders nicht lösbar sind, erst ab großen Stückzahlen rentabel wird.

Die Kunst des Full-Custom-Entwurfs besteht auch darin, die Gesamtfunktion in möglichst reguläre Teilblöcke zu unterteilen, auf die bei einem neuen Entwurf zurückgegriffen werden kann. Die Wiederverwendung dieser Teilblöcke hilft, Entwicklungskosten zu senken. Die Idee der Wiederverwendung von standardisierten Grundzellen führt zu den anderen Entwurfsmethoden. Diese Methoden wurden anfänglich für Schaltungen mit geringer Regularität, wie es zum Beispiel bei Steuereinheiten von Prozessoren der Fall ist, eingesetzt.

8.1.2 Semi-Custom-Entwurf

8.1.2.1 Semi-Custom-Entwurfsmethode

Die Alternative zum „bottom-up“-Entwurf ist der „top-down“-Entwurf. Diese Methode wird auch „Semi-Custom“-Entwurf genannt. Der Entwurfsprozess wird zu einer Abfolge von unterschiedlichen Entwurfsschritten mit zunehmendem Detaillierungsgrad, die automatisiert bzw. teilautomatisiert durchgeführt werden können. Ausgehend von der abstrakten (häufig informellen) Spezifikation, wird die Beschreibung der Schaltung immer konkreter, bis die technische Realisierbarkeit mit vertretbarem Aufwand gegeben ist. Auf den unteren Ebenen der Hierarchie ergeben sich Schaltungsblöcke, die entweder bereits vorhanden sind (Wiederverwendung, Reuse) oder deren Größe entwurfstechnisch beherrschbar ist. Die Komplexität der beherrschbaren Schaltungsblöcke hängt wiederum von der Leistungsfähigkeit der verfügbaren EDA-Werkzeuge ab, die den Entwurfsprozess unterstützen. Entsprechend ergeben sich verschiedene Vorgehensweisen (Entwurfsmethoden), die dem Entwickler unterschiedliche Freiheitsgrade bzw. Automatisierungshilfen zur Verfügung stellen. Die Entwurfsmethode bestimmt die systematische Vorgehensweise, um aus der Spezifikation mithilfe von EDA-Werkzeugen das Layout fehlerfrei und möglichst effizient zu erzeugen.

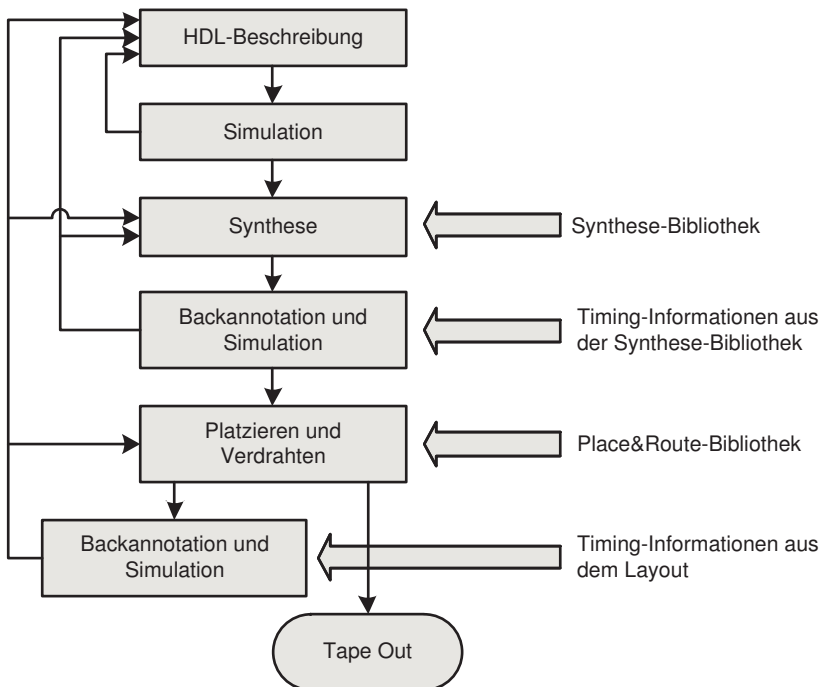


Bild 8.4 Prinzipieller Entwurfsablauf für integrierte digitale Schaltungen.

Das Bild 8.4 zeigt eine Zusammenfassung der wesentlichen Entwurfsschritte. Der Entwurfsgegenstand wird zunächst formal spezifiziert bzw. beschrieben. Grundsätzlich kommen als Beschreibungsmöglichkeiten für digitale Schaltungen grafische Beschreibungen (Schaltbilder (Schematics), Blockdiagramme, Flussdiagramme, Zustandsautomaten) oder textuelle Beschreibungen (Wahrheitstabellen, Netzlisten, Verhaltensbeschreibungen) zum Einsatz. Aufgrund der Komplexität digitaler Schaltungen und der einfachen Handhabbarkeit werden heute meistens textuelle Hardware-Beschreibungssprachen (Hardware Description Language, HDL) eingesetzt, die sich als standardisierte Schnittstellen zwischen EDA-Werkzeugen, Entwicklern und Halbleiterherstellern etabliert haben. Verbreitete Beschreibungssprachen, die sich auch als Industriestandard durchgesetzt haben, sind VHDL (Very High Speed Integrated Circuits Hardware Description Language) [7], Verilog [223] und SystemC (C++ Klassenbibliothek) [16].

Für diese HDLs werden von verschiedenen Anbietern Simulatoren angeboten, mit denen die beschriebene Schaltung simuliert und damit funktional getestet werden kann, ohne dabei eine spezielle Fertigungstechnologie festlegen zu müssen. Der wesentliche Unterschied zu Simulationen mit Programmiersprachen ist, dass die Simulatoren der HDLs Zeitabhängigkeiten mit berücksichtigen. Sie gehen nicht von einem sequenziellen Ablauf aus, sondern von einem gleichzeitigen Zusammenwirken der Schaltungsblöcke (parallele Prozesse).

Die Simulation dient dem experimentellen Überprüfen der Funktionsweise einer Schaltung. Mittels Simulation werden Experimente durchgeführt, die das Verhalten der aktuellen Beschreibung der Schaltung überprüfen. Im Gegensatz zur formalen Verifikation liefert die Simulation keinen mathematischen Beweis der Korrektheit der Schaltung, sondern es kann nur die Übereinstimmung beziehungsweise die Einhaltung eines Sollverhaltens in ausgewählten Testfällen geprüft werden.

Zeigt die gewählte Schaltung in der Simulation das gewünschte Verhalten, erfolgt der Übergang zur Zieltechnologie. Für die gewählte Zieltechnologie stehen Synthese-Bibliotheken der Hersteller zur Verfügung, in denen genauere Daten zu den physikalischen Logikelementen bereitgestellt werden. Die HDL-Beschreibung der Schaltung wird mit speziellen Programmen in eine Netzliste überführt, die die verwendeten Logikblöcke der Bibliothek und deren Verschaltung beinhaltet. Dieser Schritt der Übersetzung einer Verhaltensbeschreibung in eine Strukturbeschreibung auf Gatterebene wird als Logiksynthese bezeichnet. Die Synthese erzeugt aus einem abstrakteren Modell ein der Realisierung näheres Modell, das die spezifizierten Anforderungen erfüllt.

Die synthetisierte Schaltung wird nun wieder eingehend simuliert (Pre-Layout-Simulation, Gate-Level-Simulation), wobei nun das Zeitverhalten der verwendeten Logikblöcke aus der Synthese-Bibliothek genauer betrachtet werden kann. Dies führt allerdings zu deutlich längeren Simulationszeiten, so dass eine geschickte Partitionierung der Schaltung vor der Synthese hilfreich ist. Die Ergebnisse der Simulationen vor und nach der Synthese sind bei identischen Testbedingungen auf Übereinstimmung zu überprüfen. Stimmen die Simulationsergebnisse nicht überein, können Parameter für die Synthese verändert, die Schaltungsbeschreibung vor der Synthese überarbeitet oder eine andere Zieltechnologie ausgewählt werden.

War die Logiksynthese erfolgreich, muss die synthetisierte Netzliste der Schaltung in die physikalische Beschreibung (z. B. Layout) zur Fertigung in der gewählten Zieltechnologie überführt werden (physikalischer Entwurf). Die Schaltungselemente der Netzliste müssen auf der zur Verfügung stehenden Gesamtfläche des integrierten Bausteins platziert und verdrahtet werden. Die geometrische Anordnung der Elemente hat Einfluss auf das Zeitverhalten und damit auf die maximale Betriebsfrequenz der Schaltung. Bei der Platzierung muss darauf geachtet werden, dass die Elemente unter Berücksichtigung der Randbedingungen der Zieltechnologie auch verdrahtet werden können.

Die beiden Entwurfsziele des effizienten Ausnutzens der Bausteinfläche (Kompaktheit) und des effizienten Verdrahtens sind teilweise gegenläufig. EDA-Werkzeuge (Place&Route, Platzieren und Verdrahten) lösen dieses Problem für die jeweiligen Zieltechnologien. Bei der Platzierung (Placement) werden die einzelnen Blöcke unter Berücksichtigung der Schnittstellen zu den anderen Blöcken und der Minimierung der Gesamtverdrahtung angeordnet. Anschließend wird die Verdrahtung (Routing) der Blöcke vorgenommen, wobei es vorkommen kann, dass bei der gewählten Platzierung unter den gegebenen Randbedingungen eine Verdrahtung technisch nicht möglich ist. Entsprechend muss die Platzierung geändert und ein neuer Versuch der Verdrahtung durchgeführt werden. Eine sorgfältige Flächenvorplanung (Floorplanning) durch den Entwickler kann das Ergebnis der automatischen Platzierung und Verdrahtung positiv beeinflussen.

Nach dem Platzieren und Verdrahten muss die Schaltung wieder mittels Simulationen (Post-Layout-Simulation) ausgiebig getestet werden. Bei der Logiksynthese sind die Kapazitäten und Leitungslängen der Zellenverbindungen, die das Zeitverhalten der Schaltung nachhaltig beeinflussen, noch nicht bekannt. Erst nach der Platzierung und Verdrahtung stehen diese Daten aus dem Layout zur Verfügung und können nach einer Extraktion in der Simulation berücksichtigt werden. Aus dem Layout werden hierzu die bisher fehlenden elektrischen Parameter der Bauelemente sowie deren Verdrahtung extrahiert (Parasitics Extraction) und der Simulation hinzugefügt (Backannotation der Zeitinformationen (Timing)). Wird das gewünschte zeitliche und energetische Verhalten nicht erreicht, muss auf einen der vorhergehenden Entwurfsschritte zurückgesprungen werden. Dies kann bedeuten, dass bis hinauf zur HDL-Beschreibung Änderungen vorgenommen werden müssen.

Erfüllt die Schaltung nach dem Platzieren und Verdrahten die Spezifikation, wird aus dem Layout die Beschreibung der Masken für die Herstellung der Schaltung erzeugt (Tape Out). Als standardisiertes Beschreibungsformat für die Masken hat sich das GDS2-Format [26] etabliert. Die Schritte Platzierung, Verdrahtung und Layoutgenerierung werden auch mit Backend-Bearbeitung bezeichnet. Die Entwurfsschritte HDL-Beschreibung, Simulation und Synthese werden entsprechend Frontend-Bearbeitung genannt.

Nach der Fertigung erfolgt für jeden einzelnen Baustein ein umfangreicher Test sowohl beim Hersteller, um Herstellungsfehler aufzudecken, als auch beim Entwickler, um die Einhaltung der Spezifikation zu überprüfen. Die Berücksichtigung der Testbarkeit integrierter Bausteine ist ein integraler Bestandteil des Entwurfsab-

laufes, wird hier jedoch nicht weiter behandelt. Als Einstieg seien die Fachbücher [75] und [46] empfohlen.

Beim Semi-Custom-Entwurf werden die Freiheitsgrade des Entwicklers zugunsten einer erhöhten Automatisierbarkeit von Entwurf und Fertigung eingeschränkt, was wiederum den Aufwand für beide Prozesse reduziert. Teile der Entwurfs- und Fertigungsschritte können nicht mehr individuell durchgeführt werden. Hierdurch ergeben sich im Allgemeinen eine größere Chipfläche, geringere Rechengeschwindigkeit und höhere Verlustleistung.

Der Semi-Custom-Entwurf basiert auf der Wiederverwendung bereits entwickelter Grundeinheiten (Zellen), die aus verschalteten Transistoren bestehen. Im Vergleich zum Full-Custom-Entwurf sind die Optimierungsmöglichkeiten im Hinblick auf die Kundenanforderungen eingeschränkt. Allerdings ergeben sich Einsparpotenziale bei der Entwurfszeit und den Entwurfskosten. Diese Entwurfsmethode kann daher bereits bei mittleren Fertigungsstückzahlen rentabel sein. Ein mittlerer bis hoher Automatisierungsgrad wird hier mittels sogenannter Zellenkonzepte (Gate-Array-Technik, Standardzellentechnik, Makrozellentechnik) erreicht, in denen sowohl die Wiederverwendung (Reuse) als auch die Standardisierung verschiedener Entwurfsschritte zur Geltung kommen.

8.1.2.2 Standardzellentechnik

Im Rahmen der Semi-Custom-Entwurfsmethode stehen dem Entwickler Bibliotheken von Logikzellen zur Verfügung, die vom Hersteller bereitgestellt und vom Schaltungsentwickler über ein EDA-System für den Schaltungsentwurf verwendet werden können. Netzlisten auf Gatterebene stellen den höchsten Detaillierungsgrad dar.

Die Idee der Standardzellentechnik beruht darauf, alle Schaltungen aus standardisierten Grundzellen aufzubauen. Die Layouts der Standardzellen haben eine einheitliche Höhe und eine je nach Komplexität unterschiedliche Breite. Versorgungsleitungen werden an genau spezifizierten Stellen horizontal durch die Standardzellen geführt, so dass sich die Zellen einfach in horizontaler Richtung aneinanderreihen lassen (Bild 8.5). Da anfangs nur wenige Verdrahtungsebenen zur Verfügung standen, wurden die Verdrahtung in der Ebene der Standardzellenreihen in eigenen Kanälen durchgeführt. Auf dem Chipfoto in Bild 8.6 sind die Standardzellenreihen und die Verdrahtungskanäle noch gut sichtbar. Mit der Verfügbarkeit von weiteren Verdrahtungslagen kann die Verdrahtung auch über den Zellen erfolgen und somit eine deutlich bessere Flächenausnutzung erreicht werden. Die darunter liegende Reihenanordnung der Zellen auf Bausteinbildern ist dann kaum sichtbar (Bild 8.7). Die Grundzellen werden im Full-Custom-Entwurf entwickelt und müssen bei einem Technologiewechsel entsprechend angepasst werden. Diese Anpassung kann von speziellen EDA-Werkzeugen unterstützt werden (Compiled Cells, Automatic Layout Generation). Mittels der Bibliothek sind die einzelnen Zellen beliebig oft wiederverwendbar und damit amortisieren sich die Entwurfskosten über viele Kunden. Bibliotheken haben heute eine Größe von mehreren Tausend Standardzellen.

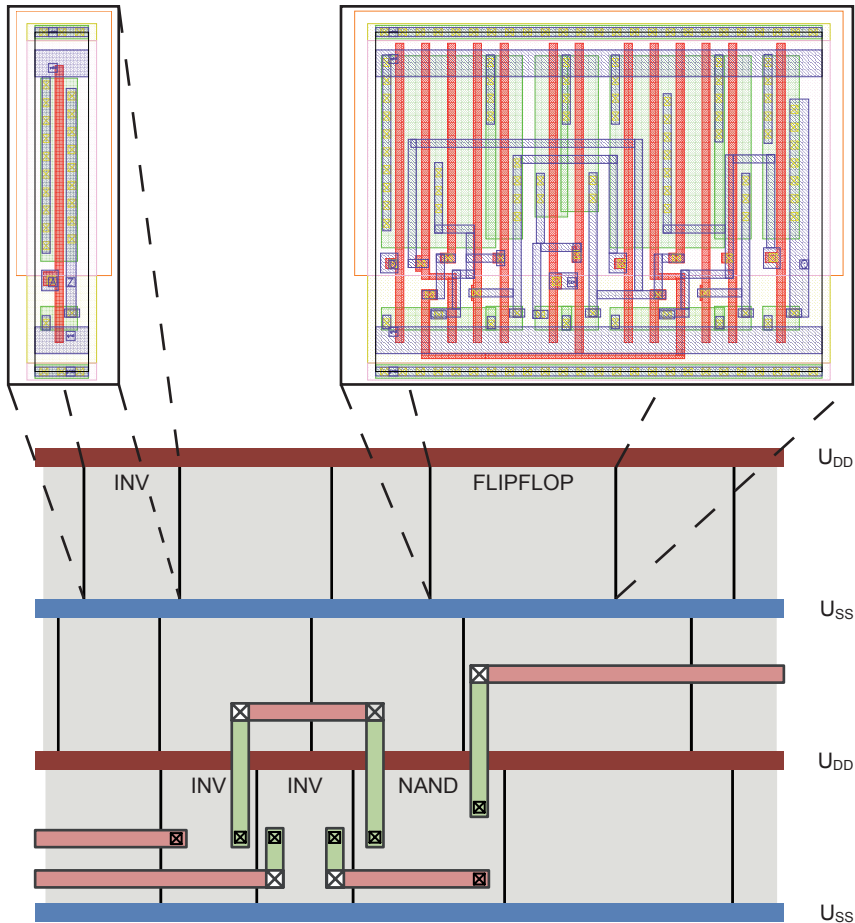


Bild 8.5 Standardzellenreihen mit exemplarischer Verdrahtung sowie Layoutansicht zweier Standardzellen (Inverter, Flip-Flop) in 65 nm CMOS-Technologie.

Neben logischen Grundgattern (AND/NAND, OR/NOR, EXOR/EXNOR) und Registerzellen (Flip-Flops) enthalten die Bibliotheken auch komplexere Zellen wie beispielsweise Multiplexer, Addierer, Komparatoren oder Dekoder.

Der Anbieter der Zellenbibliothek entwirft die Grundzellen im Hinblick auf möglichst vielfältige Anwendungsmöglichkeiten und garantiert die Funktionsfähigkeit durch detaillierte Spezifikation jeder Zelle. Durch den notwendigen Grad an Standardisierung der Logikzellen werden der Flächenbedarf der Zellen und damit auch die elektronischen Eigenschaften (z. B. Schaltungsgeschwindigkeit, Verlustleistung) ungünstiger. Die Bibliothek stellt daher für jedes Logikgatter unterschiedliche Ausprägungen zur Verfügung. Es gibt Standardzellen mit unterschiedlichen Verzögerungszeiten, verschiedenen Treiberfähigkeiten und Verlustleistungswerten. Daraus resultiert die große Anzahl von Standardzellen in den Bibliotheken.

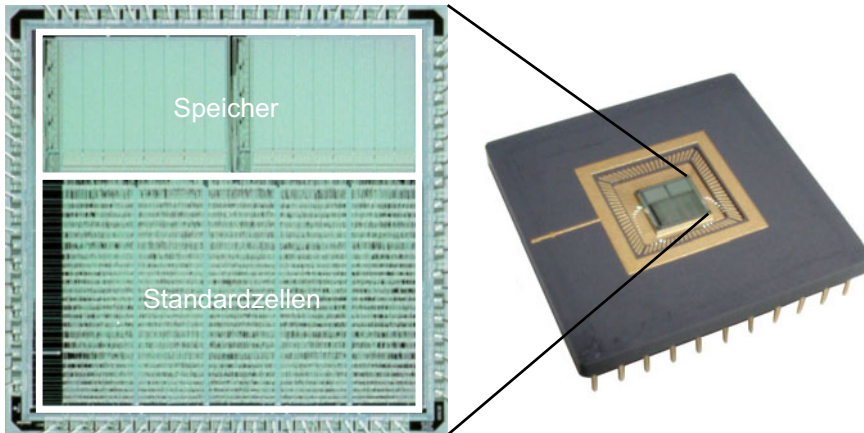


Bild 8.6 Integrierter Baustein in Standardzellentechnik (800nm CMOS-Technologie) mit zwei eingebetteten SRAM-Blöcken.

Der Entwurfszyklus eines Standardzellenentwurfs bleibt wie unter Kapitel 8.1.2.1 beschrieben. Das Syntheseproblem ist aufgrund der standardisierten Logikzellen vereinfacht, so dass heute sehr leistungsfähige Synthesewerkzeuge zur Verfügung stehen, die den Abstand hinsichtlich der Schaltungseigenschaften (Fläche, Geschwindigkeit, Energie) gegenüber Full-Custom-Entwürfen kleiner werden lassen.

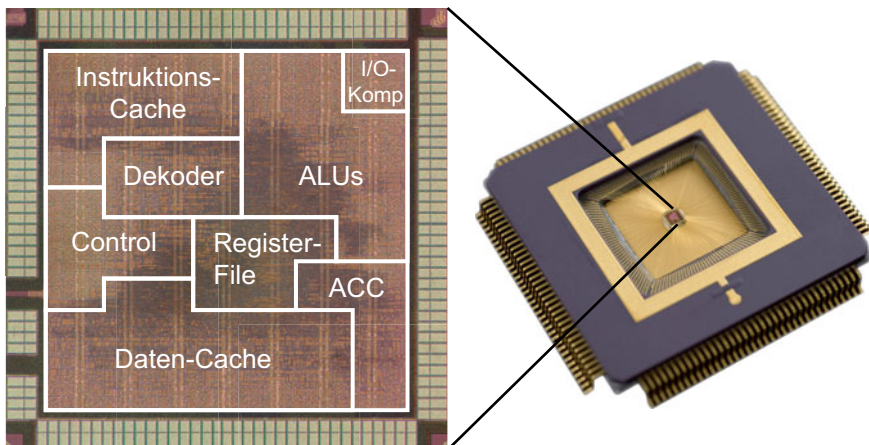


Bild 8.7 Layout und Chipfoto eines Mikroprozessors in Standardzellentechnik (65nm CMOS-Technologie, ACC: Hardware-Accelerator).

Der Schaltungsentwurf reduziert sich damit im Wesentlichen auf den Entwurf der Logik mithilfe von HDLs oder einer grafischen Beschreibung. Die Platzierung und

Verdrahtung der Zellen wird durch leistungsfähige EDA-Werkzeuge automatisiert durchgeführt. Der Entwickler kann durch geschickte Partitionierung des Systems in funktionale Blöcke das Ergebnis sowohl der Logiksynthese als auch der Platzierung und Verdrahtung positiv beeinflussen. Das Layout der Gesamtschaltung wird automatisch aus den vorhandenen Zellenlayouts aus der Bibliothek generiert. Für die Herstellung der Schaltung müssen alle Fertigungsschritte wie beim Full-Custom-Entwurf durchlaufen werden.

Die Standardzellentechnik eignet sich gut für die Umsetzung von kombinatorischer Logik. Die Realisierung von komplexeren, regulären Strukturen (z. B. Speicher) ist im Vergleich zum Full-Custom-Entwurf ineffizienter. Die Weiterentwicklung der Standardzellentechnik führt zur Einbeziehung standardisierter Blöcke (Makrozellen), die im Full-Custom-Entwurf entwickelt oder automatisch generiert worden sind. Im Gegensatz zu Standardzellen haben Makrozellen keine einheitliche Höhe und weisen damit unterschiedliche Größen auf. Es werden zwei Typen von Makrozellen unterschieden: die sogenannten „Hard Macros“, bei denen die Funktionalität und die physikalische Umsetzung für die Zieltechnologie festgelegt ist, und „Soft Macros“, bei denen nur die Funktionalität festgelegt ist und die physikalische Umsetzung (Backend-Bearbeitung) in die Zieltechnologie noch erfolgen muss.

Aufgrund ihrer regulären Struktur lassen sich Speicherblöcke sehr effizient automatisch generieren. Die beiden in Bild 8.6 eingebetteten SRAM-Speicherblöcke sind von einem Speichergenerator (Memory Compiler) erzeugt worden. Es gibt Generatoren für verschiedene Speichertypen (z. B. ROM, SRAM, Register), die dem Anwender eine Vielzahl von Optionen für die Strukturauswahl (z. B. Anzahl der Speicherbänke, Anzahl der Spalten und Zeilen der Speichermatrix, Anzahl an redundanten Zeilen/Spalten zur Erhöhung der Fehlertoleranz) in einem vorgegebenen Rahmen ermöglichen. Die Speichergeneratoren liefern neben dem Layout auch Angaben zur Zugriffszeit und Verlustleistung.

Datenpfadgeneratoren sind ein zweites wichtiges Beispiel für die automatische Erzeugung von Makrozellen. Unter Ausnutzung von Strukturwissen (z. B. wenige Grundoperationen, hohe Datenlokalität) und auf der Basis von wenigen in Full-Custom-Technik entwickelten Grundzellen lassen sich beispielsweise Multiplizierer oder digitale Filterstrukturen für Signalverarbeitungsaufgaben deutlich effizienter automatisch synthetisieren als in der Standardzellentechnik [239]. Über Parameter lassen sich unterschiedliche Architekturoptionen (z. B. Wortbreite, Formfaktor) und Vorgaben (z. B. Taktfrequenz oder Verlustleistung) für die Generierung einstellen. Die Qualität der generierten Makrozellen hinsichtlich der schaltungstechnischen Eigenschaften ist sehr gut und vergleichbar mit einem Full-Custom-Entwurf eines erfahrenen Schaltungsentwicklers.

Die Makrozellentechnik hat die Halbleiterentwurfslandschaft nachhaltig verändert. Komplexe Systementwürfe können durch die Wiederverwendung (Reuse) oder die automatische Generierung von Makrozellen schneller und sicherer umgesetzt werden. Makrozellen können als sogenannte IPs (Intellectual Property Modules) auch von Drittanbietern (Design Houses, Entwurfsdienstleister) als „Soft Macro“ oder „Hard Macro“ erworben werden.

Mit der Einführung von Makrozellen wurde es möglich, im Rahmen des Semi-Custom-Entwurfs einzelne Schaltungsblöcke mit dem Full-Custom-Entwurf zu realisieren. So werden die Vorteile von beiden Verfahren genutzt. Die Komplexität moderner integrierter Schaltungen wird mit Hilfe der verschiedenen Abstraktionsebenen des Semi-Custom-Entwurfs beherrschbar, während wichtige reguläre Module, die die elektrischen Eigenschaften und die Chipfläche des zu entwerfenden Chips wesentlich bestimmen, mit der Full-Custom-Methode entworfen werden.

8.1.2.3 Gate-Array-Technik

Die Standardisierung ist bei der Gate-Array-Technik (Gatterfelder) gegenüber der Standardzellentechnik weiter fortgeschritten. Gate-Arrays sind matrixartige Anordnungen von vorgefertigten aber nicht verdrahteten Bauelemente- oder Gatterstrukturen. Beispiele für vorgefertigte Grundzellen sind Transistoren, Logikgatter, Treiber oder Multiplexer. Für die Herstellung des entworfenen Bausteins müssen lediglich die Verbindungen dieser vorhandenen Zellen festgelegt und gefertigt werden. Die Gate-Array-Technik erfordert daher nur so viele Maskenentwürfe, wie sie für die Verdrahtung der vorgefertigten Grundelemente notwendig sind. Man spricht hier auch von maskenprogrammierbaren Schaltungen. Aus den vorgefertigten Transistoren können verschiedene Gattertypen und aus den vorgefertigten Logikzellen komplexere Logikblöcke aufgebaut werden. In der Gate-Array-Technik wird ebenfalls mit Bibliothekselementen gearbeitet.

Das Bild 8.8 zeigt beispielhaft eine Gate-Array-Grundzelle mit vorgefertigten Transistorstrukturen. Links ist eine Grundzelle ohne Verbindungen der Transistoren gezeigt. In der rechts gezeigten Grundzelle sind zwei PMOS-Transistoren (oben) parallel und die beiden NMOS-Transistoren (unten) in Reihe zu einem NAND-Gatter verschaltet. Ausgehend von kanalbasierten (Channeled) Gate-Arrays, bei denen die Verbindung der Grundzellen nur in Verdrahtungskanälen möglich ist, entwickelten sich ähnlich wie bei der Standardzellentechnik die kanallosen (Channelless) Gate-Arrays (Sea-of-Gates), bei denen die Verdrahtung auch über den Zellen vorgenommen wird, und die strukturierten (Structured) Gate-Arrays mit Blockstrukturen und eingebetteten Standardblöcken (z. B. Speicher). Ein Gate-Array-Baustein besteht somit aus einer matrixartigen Anordnung von nicht verschalteten Grundzellen, die gegebenenfalls mit eingebetteten, festen Standardblöcken kombiniert werden kann. Bild 8.9 zeigt den schematischen Aufbau eines Gate-Arrays sowie das Chipfoto eines integrierten Bausteins in einer Sea-of-Gate-Array-Technologie (350 nm CMOS-Technologie) mit einem eingebetteten SRAM-Bereich. Der Baustein ist ein Beispiel für eine SoC-Architektur (SoC: System-on-Chip) mit einem programmierbaren Prozessor (GPP), eingebetteten Speicherblöcken, verschiedenen Funktionsblöcken (z. B. Bildverarbeitung) sowie Standardschnittstellen.

Die Vorteile der Gate-Array-Technik sind die reduzierten Herstellungskosten. Für die kundenspezifische Verdrahtung werden nur Metalllagen und dementsprechend weniger Layoutmasken benötigt. Die Masken für die Fertigung der Transistorstrukturen liegen fest und deren Kosten verteilen sich entsprechend auf mehrere

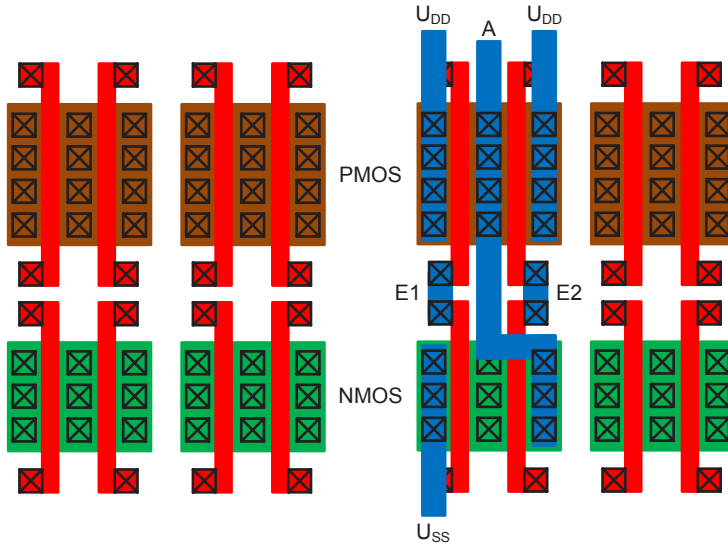


Bild 8.8 Gate-Array-Grundzelle ohne (links) und mit Verdrahtung (blau) der Transistoren (rechts).

Produkte. Auch die Gehäuse- und Testkosten sind aufgrund der standardisierten Außenanschlüsse (Pins) und Gehäuse günstiger.

Die Gate-Array-Technik hat verschiedene Nachteile. Die vorgefertigten Zellen haben in der Regel nicht die optimalen Schaltungsparameter (z. B. Treiberstärke). Es werden im Allgemeinen nicht alle vorgefertigten Zellen und Pins für die entwickelte Schaltung benötigt. In dem Beispiel aus Bild 8.9 werden 80% der 640 Tausend zur Verfügung stehenden Gatter genutzt. Die Verdrahtung ist aufgrund der bereits platzierten Zellen eingeschränkter als bei der Standardzellentechnik. Mit der steigenden Anzahl der Verdrahtungsebenen verlängert sich die Fertigungszeit und es erhöhen sich die kundenspezifischen Kostenanteile an dem Baustein. Bei wenigen Verdrahtungsebenen überwiegt die Fertigungszeit der Transistorstrukturen, unter anderem durch die relativ aufwendigen Diffusionsprozesse. Durch jede zusätzliche Verdrahtungsebene verringern sich die eigentlichen Vorteile der Gate-Array-Technik gegenüber der Standardzellen-Technik, so dass die Gate-Array-Technik in den letzten Jahren an Bedeutung verloren hat.

8.1.3 Programmierbare Logikschaltungen

Programmierbare Logikschaltungen basieren entweder auf einer logischen Hintereinanderschaltung eines AND-Feldes und eines OR-Feldes zur Umsetzung Boole'scher Funktionen (programmierbarer Logikbaustein, Programmable Logic Device (PLD)) oder auf einer regelmäßigen Anordnung von Logikblöcken, deren Funk-

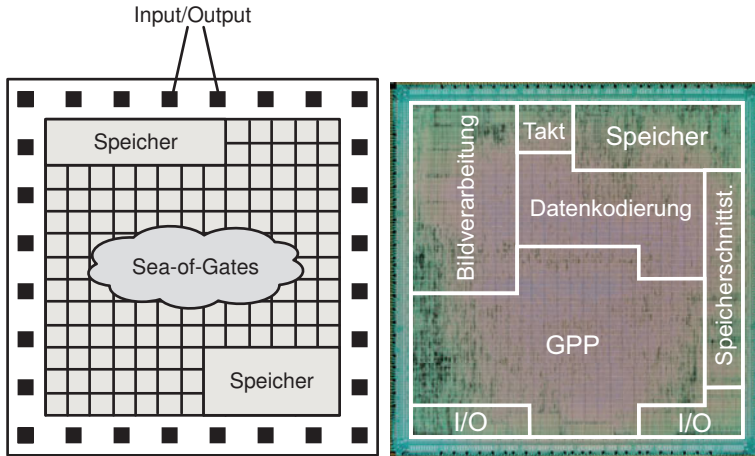


Bild 8.9 Schematische Gate-Array-Architektur und Chipfoto eines integrierten Bausteins in einer Sea-of-Gates-Technologie.

tionen und Verbindungen programmiert werden können (Feldprogrammierbares Logikfeld, Field Programmable Gate Array (FPGA)) [25].

Programmierbare Logikschaltungen bieten eine kostengünstige Alternative zu Custom-Realisierungen, da kein anwendungsspezifischer Fertigungsschritt notwendig ist. Programmierbare Bausteine werden vollständig vom Hersteller in großen Stückzahlen gefertigt und getestet. Die Personalisierung, d. h. die Festlegung der anwendungsspezifischen Funktion des Bausteins, erfolgt anschließend beim Anwender durch Schreiben (Programmieren) von Daten in den Baustein. Allen programmierbaren Logikschaltungen ist gemeinsam, dass sie aus Anwendersicht sehr flexibel sind und eine schnelle Realisierung einer kundenspezifischen Schaltung ermöglichen. Aufgrund der Porogrammierungsmöglichkeit benötigen sie allerdings eine relativ große Bausteinfläche. Programmierbare Logikschaltungen eignen sich daher für die Entwicklung von Prototypen oder von kleinen Serien. Die überzeugenden Vorteile programmierbaren Logikschaltungen sind geringe Anfangskosten und damit geringe finanzielle Risiken sowie kurze Entwicklungszeiten.

8.1.3.1 Programmierbare Logikbausteine (PLD)

Der erste einheitlich hergestellte und vom Anwender programmierbare Logikbaustein (PLD, Programmable Logic Device) war das PROM mit NOR-Struktur. Die Adressen stellen die Eingänge dar und die Bitleitungen dienen als Ausgänge. Wie es in Kapitel 6.2 beschrieben ist, bilden die Dekodierschaltungen eine fest verdrahtete AND-Verknüpfung der Eingangsdaten. So werden die AND-Terme gebildet, die im anschließenden programmierbaren NOR-Zellenfeld mit Invertern an den Ausgängen zu einer disjunktiven Normalfunktion verbunden werden. Logische Funktionen

enthalten AND-Terme mit nur wenigen logischen Variablen. Dagegen enthält ein PROM eine vollständige Dekodierschaltung für einen „1 aus N“-Dekoder. Daher sind PROMs ineffektiv für die Realisierung von logischen Funktionen und werden selten eingesetzt.

Von der Firma Philips wurde Anfang der siebziger Jahre des vorigen Jahrhunderts das PLA (Programmable Logic Array) entwickelt. Bild 8.10 veranschaulicht die Struktur eines PLAs. Die Eingangsleitungen verlaufen vertikal in einem ROM-Zellenfeld mit NOR-Struktur, das AND-Matrix genannt wird. Die AND-Matrix erzeugt spezifische logische Verknüpfungen zwischen den Eingangssignalen. Die Ausgangsleitungen der AND-Matrix verlaufen horizontal und bilden die Wortleitungen in dem zweiten ROM-Zellenfeld, das OR-Matrix genannt wird. Auch dieses Zellenfeld hat eine NOR-Struktur. Die Bitleitungen der OR-Matrix liegen parallel zu den Eingangsleitungen. Um Verlustleistung zu sparen, werden die Bitleitungen der beiden Zellenfelder mit den Taktsignalen Φ_1 und Φ_2 vorgeladen. Für eine sichere Funktion sollte die Vorladephase der OR-Matrix erst dann beendet werden, wenn die Signale der Bitleitungen PT_i gültig sind.

Die logischen Funktionen, die mit einem PLA realisiert werden können, sollen nun anhand von Bild 8.10 näher erläutert werden. Mit der Bitleitung PT_1 der AND-Matrix sind zwei Transistoren verbunden. Der eine Transistor wird von $\bar{A}$ und der andere von $\bar{B}$ gesteuert. Wenn an einem der beiden Eingänge die Versorgungsspannung anliegt, wird PT_1 nach GND gezogen.

Daher

$$\overline{PT_1} = \bar{A} + \bar{B} \quad (8.1)$$

$$PT_2 = \bar{A} \quad (8.2)$$

$$PT_3 = \overline{A + B + C} \quad (8.3)$$

Die OR-Matrix hat eine zur AND-Matrix identische Struktur. In der OR-Matrix wird eine Bitleitung ST entladen, wenn einer der angeschlossenen Transistoren leitet. Berücksichtigt man zudem die Inverter an den Ausgängen, so gilt

$$\begin{aligned} \overline{ST_1} &= \overline{PT_1 + PT_2 + PT_3} \\ ST_1 &= PT_1 + PT_2 + PT_3 \\ ST_1 &= A \cdot B + \bar{A} + \bar{A} \cdot \bar{B} \cdot \bar{C} \end{aligned} \quad (8.4)$$

Nun wird auch deutlich, warum die beiden Zellenfelder trotz gleicher Struktur unterschiedlich bezeichnet werden. In der ersten Matrix werden die Produktterme einer disjunktiven Normalform gebildet. Die OR-Verknüpfung der Produktterme erfolgt in der zweiten Matrix.

PLAs werden häufig für Ablaufsteuerungen eingesetzt. Zum Beispiel enthält das Leitwerk des Mikroprozessors 68000 der Firma Motorola 12 PLAs.

Da beide Zellenfelder in einem PLA programmierbar sind, ergeben sich zwei Nachteile. Die Herstellung ist relativ teuer und die Schaltgeschwindigkeit gering. Abhilfe brachte das sogenannte PAL (Programmable Array Logic). In einem PAL

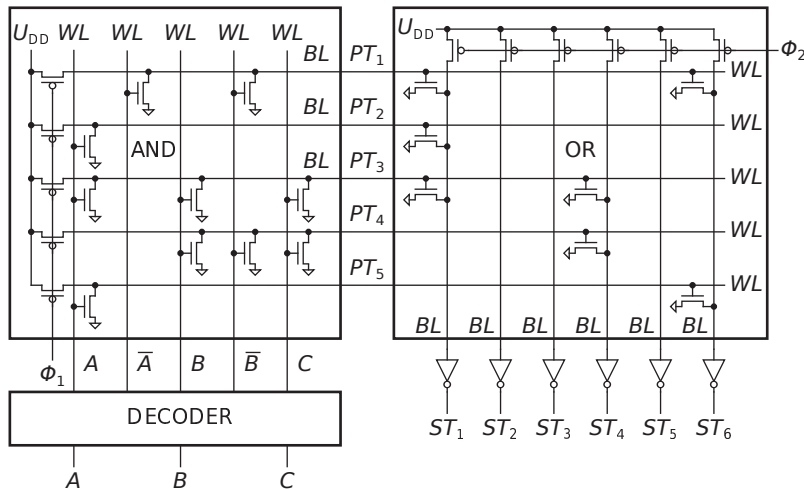


Bild 8.10 MOS-PLA mit NOR-Zellenfeldern.

ist das AND-Feld programmierbar und das OR-Feld fest konfiguriert. Um den Mangel an Programmierbarkeit auszugleichen, werden PALs in sehr vielen Varianten hergestellt. Gewöhnlich haben PALs Flip-Flops an den Ausgängen, so dass sie für sequentielle Schaltungen geeignet sind. PROM, PAL und PLA sind Realisierungsvarianten von PLDs (Programmable Logic Devices). Programmiert werden PLDs, indem sie in eine geeignete Programmiereinheit gelegt werden.

Die Vorteile der PLDs liegen in der regulären und modularen Grundarchitektur, deren Entwurfskomplexität ähnlich zu der von Speichern ist. Das Zeitverhalten ist aufgrund der vorgegebenen Anzahl von Logikstufen deterministisch und in erster Näherung für alle realisierten Logikfunktionen gleich. Nachteile ergeben sich im Hinblick auf den erhöhten Flächenbedarf und den damit einhergehenden erhöhten Zeit- und Energiebedarf. Der Flächenbedarf wächst quadratisch mit der Anzahl der Ein- und Ausgänge, wodurch die Skalierbarkeit zu größeren Systemen beschränkt ist. Dies hat zur Entwicklung von komplexeren Architekturen von PLDs geführt, die mehrere flexibel verschaltbare AND/OR-Felder sowie Speicherelemente beinhalten (Complex Programmable Logic Device (CPLD)). Eine ausführlichere Einführung in PLD-Architekturen findet sich in [205]. PLDs haben stark die Realisierung von digitaler Hardware beeinflusst.

8.1.3.2 Feldprogrammierbare Gatteranordnungen

Feldprogrammierbare Gatteranordnungen (FPGAs) basieren auf dem Grundansatz, Logik durch Speicher (Look-Up-Table (LUT)) zu realisieren. Die Eingangsvariablen werden als Speicheradresse interpretiert, unter der das Ergebnis der Logikfunktion gespeichert ist (Bild 8.11). Damit lassen sich relativ einfach alle Boole'schen Funktionen für diese Eingangsvariablen unabhängig von der Komplexität der Lo-

gikfunktion mit demselben schaltungstechnischen Aufwand und derselben Verzögerungszeit (ein Speicherzugriff) realisieren. Allerdings steigt die Speichergröße der LUTs exponentiell mit der Anzahl der Eingangsvariablen, so dass dieser Ansatz nur für eine kleine Anzahl (4...6) von Variablen vertretbar ist [206]. Durch Kombination mehrerer LUTs lassen sich komplexere digitale Schaltungen aufbauen. FPGAs bestehen somit aus sehr vielen relativ kleinen Blöcken (Configurable Logic Blocks (CLBs)) mit wenigen Eingangsvariablen, die meist matrixartig angeordnet sind und untereinander durch programmierbare Verbindungen verbunden werden können (Bild 8.12). Die modularen CLBs beinhalten heute meist mehr als eine LUT sowie zusätzliche Register und Multiplexer, die für mehr Funktionalität und Flexibilität bei der Realisierung der Logikfunktionen sorgen. Die LUTs der CLBs können auch als lokaler Speicher genutzt werden.

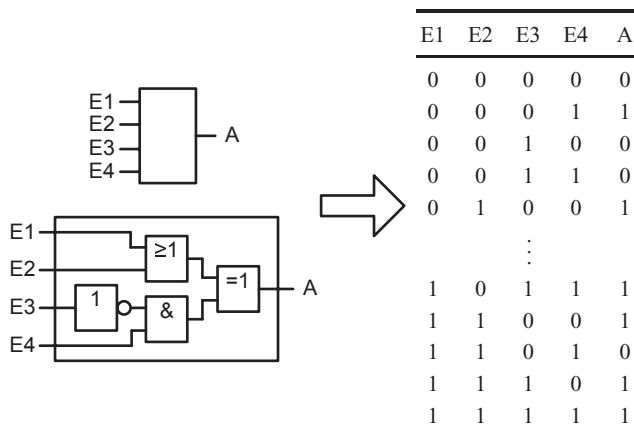


Bild 8.11 Realisierung kombinatorischer Logik mit Hilfe einer Speichertabelle.

Die Verbindungsstruktur von FPGAs muss sehr flexibel sein, um möglichst viele Verschaltungsmöglichkeiten zu bieten. Moderne FPGAs bieten direkte Verbindungen zwischen benachbarten CLBs, lokale Verbindungen zum Verschalten von lokalen CLB-Gruppen und Langstreckenverbindungen an. Alle Verbindungen sind konfigurierbar über entsprechende programmierbare Schalter, die in verteilten Schaltermatrizen (Switch Matrices (SM)) gruppiert werden. Die Verbindungsstrukturen verbrauchen den größten Flächenanteil eines FPGA-Bausteins.

Sowohl die LUTs als auch die programmierbaren Verbindungen werden heute im Wesentlichen mit Hilfe der statischen Speichertechnik (SRAM) realisiert. Damit können sie mit Standard-CMOS-Technologien gefertigt und sehr flexibel vom Kunden anwendungsspezifisch konfiguriert werden. Die Konfiguration wird vor Betriebsbeginn in das FPGA geladen. Die Konfigurationszeit ist proportional zur Anzahl der CLBs und der programmierbaren Verbindungen. Nach Abschalten der Versorgungsspannung ist die Konfiguration nicht mehr vorhanden.

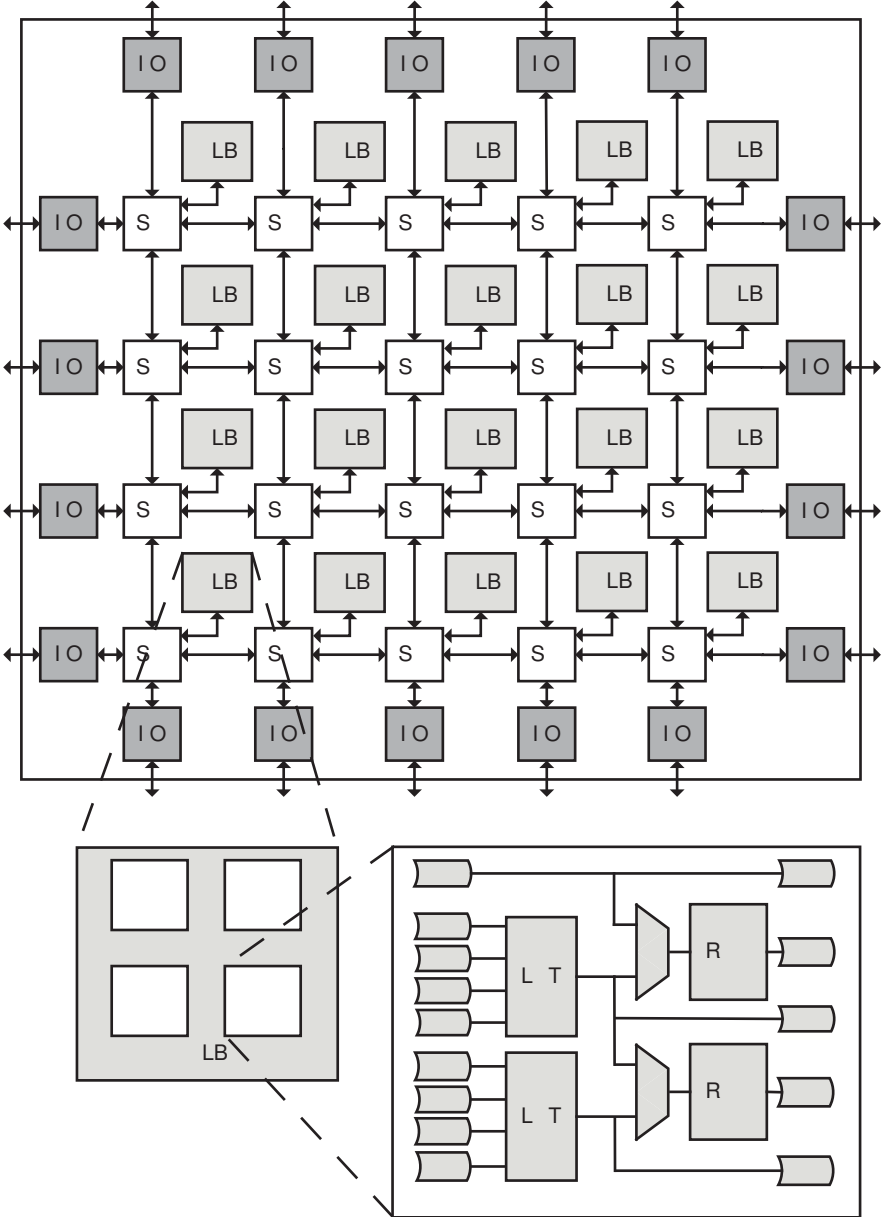


Bild 8.12 Basisarchitektur eines FPGAs.

Die Flexibilität der FPGAs wird durch einen Mehraufwand für die Konfigurierbarkeit erkauft. Dies führt zu einem hohen Flächenaufwand, längeren Verzögerungszeiten und einer erhöhten Leistungsaufnahme. Als Faustformel kann im Vergleich zu Standardzellenrealisierungen von einem Faktor Zehn für die Kenngrößen Fläche, Geschwindigkeit und Leistungsaufnahme ausgegangen werden.

Obwohl die Flächenausnutzung für die eigentliche Logikrealisierung aufgrund des hohen Aufwandes für die flexiblen Verbindungsstrukturen relativ gering ist, haben FPGAs die Gate-Array-Technologien in vielen Bereichen abgelöst. Für kleine Stückzahlen sind sie kostengünstiger und schneller verfügbar. FPGAs werden von Herstellern kundenunabhängig in großen Stückzahlen gefertigt. Die Personalisierung wird beim Kunden mit EDA-Werkzeugen vorgenommen, die ebenfalls kostengünstiger als die beim Gate-Array-Entwurf sind und teilweise sogar kostenfrei vom Hersteller angeboten werden. FPGAs können quasi beliebig oft neu konfiguriert werden und sind damit für verschiedene Aufgaben wiederverwendbar. Ähnlich wie bei Software-Updates können FPGAs ebenfalls in der Anwendung mit neuen Versionen der Digitalschaltung konfiguriert werden.

Moderne FPGAs können mehr als eine Million LUTs und zusätzlich Makrozellen wie Speicherblöcke (Block-RAM), Arithmetik-Einheiten, Standardschnittstellen sowie Prozessoren beinhalten. Es lassen sich vollständige digitale Systeme auf einem FPGA realisieren (System-on-Programmable-Chip). Sie eignen sich damit sehr gut für Prototypentwicklungen und zur Emulation von integrierten digitalen Schaltungen. Neue Techniken erlauben, dass im Betrieb Teile des FPGAs neu konfiguriert werden können, ohne dass der Betrieb der anderen Teile beeinträchtigt wird [122]. Diese Möglichkeit der dynamischen Konfiguration im Betrieb erhöht die Flexibilität und eröffnet interessante Möglichkeiten zur Erweiterung der Funktionalität von FPGAs (virtuelle Hardware).

8.2 Vergleich der Entwurfsmethoden

Aufgrund des hohen Zeitaufwandes und den damit verbundenen hohen Kosten bei der Hardware-Entwicklung ist man bemüht, die gewünschte Funktionalität möglichst in Software zu realisieren. Software ist relativ einfach zu ändern und damit schnell an neue Anforderungen anzupassen. Diese Tendenz zeigt sich zum Beispiel in dem Begriff „Software-Defined-Radio“ [71]. Die zunehmende Verfügbarkeit von leistungsfähigen, eingebetteten Prozessoren verstärkt diese Tendenz. Erst wenn klar ist, dass die Software-Lösung den Produktanforderungen nicht genügt, ist eine Hardware-Entwicklung unerlässlich. Wie eingangs erwähnt, hängt die Auswahl der geeigneten Entwurfsmethode von teilweise konkurrierenden Produktanforderungen und wirtschaftlichen Randbedingungen ab. Wichtig sind ferner die Erfahrungen des Entwicklerteams mit den Zieltechnologien und den assoziierten EDA-Werkzeugen. Allgemeingültige Entscheidungsregeln lassen sich daher nicht angeben. Die wesentlichen Eigenschaften der behandelten Realisierungsvarianten sind in Tabelle 8.1 zusammengefasst.

Tabelle 8.1 Zusammenfassung der Realisierungsvarianten integrierter Schaltungen.

	Zellen- entwurf	Zellen- platzierung	Zellen- verbindung
Full-Custom	Anwender	Anwender	Anwender
Standardzellen	Hersteller	Anwender	Anwender
Gate-Arrays	Hersteller	Hersteller	Anwender
PLDs / FPGAs	Hersteller	Hersteller	Anwender

Aufgrund der Schnelllebigkeit informationstechnischer Produkte und der rasanten Weiterentwicklung ist die Flexibilität zu einer wichtigen Systemeigenschaft und damit zu einer wichtigen Entscheidungsgrundlage für die gewählte Zieltechnologie geworden. Bei Schaltungen mit geringer Komplexität, die möglichst schnell zu realisieren sind, finden CPLDs ihre Anwendung. FPGAs bieten im Bereich der Hardware-Lösung die höchste Flexibilität und haben inzwischen eine große Verbreitung gefunden. Einher geht eine rasant steigende Komplexität und Vielfalt an eingebetteten Standardblöcken in FPGAs. Ihr Marktanteil und ihre Anwendungsgebiete werden daher größer.

Flexibilität wird jedoch durch Leistungseinbußen (Geschwindigkeit, Fläche, Verlustleistung) erkaufte. Die Unterschiede können durchaus eine Größenordnung des betrachteten Leistungswertes betragen. Dies bestätigt noch einmal die eingangs erwähnte Aussage, dass die gewählte Entwurfsmethode großen Einfluss auf die Produktqualität hat. Als Daumenregel gilt, je kürzer die Entwurfszeit und je höher die Flexibilität, desto größer die Leistungseinbußen.

Der Semi-Custom-Entwurf auf der Basis von Standardzellen ist der derzeit dominierende Entwurfsstil für anwendungsspezifische integrierte Schaltungen (Application Specific Integrated Circuits (ASICs)). Gate-Arrays haben heute aufgrund der in Kapitel 8.1.2.3 genannten Nachteile keine große Bedeutung mehr. Aus Kostengründen wird bei ASICs nicht immer auf die neueste Technologiegeneration, die die höchsten Maskenkosten aufweist, zurückgegriffen. In Abhängigkeit von der Stückzahl und der Komplexität der Schaltung können auch ältere Technologien mit größeren Strukturgrößen eine kosteneffiziente Lösung bieten.

Aus der Standardzellentechnik hat sich mit steigendem Integrationsgrad die Makrozellentechnik entwickelt. Hier werden Funktionsblöcke verwendet, die man von verschiedenen Anbietern als IP-Blöcke kaufen und einbetten kann, so dass man sich beim Entwurf auf die Systemarchitektur konzentrieren kann. Der Entwurf komplexer integrierter Systeme (SoCs) ist nur durch eine Erhöhung der Wiederverwendbarkeit auf allen Entwurfsebenen möglich. Auf der untersten Ebene können Standardzellen Verwendung finden, die mit automatisch generierten Makrozellen (Speicher, Datenpfade) auf der nächsten Ebene kombiniert werden. Daraus resultieren komplexe IP-Blöcke wie beispielsweise digitale Signalprozessoren (DSPs) und allgemein programmierbare Prozessoren (GPPs). Wenn mehr und mehr Systemfunktionalität in ein SoC integriert wird, überrascht es nicht, dass die grundlegenden VLSI-Entwurfsmethoden für digitale Schaltungen in Kombination Verwendung finden.

Nur so war es möglich, dass die Komplexität integrierter digitaler Bausteine mit der von Gordon Moore vorhergesagten Komplexitätssteigerung Schritt halten konnte. Bild 8.13 zeigt dies exemplarisch für Mikroprozessoren und Grafikprozessoren (Graphics-Processing-Unit (GPU)) im Vergleich zu FPGAs. Allen drei Beispielen gemeinsam ist der steigende Parallelitätsgrad. Moderne Mikroprozessoren bestehen heute aus mehreren Prozessorkernen, GPUs aus vielen spezialisierten Grafikeinheiten und FPGAs aus sehr vielen CLBs.

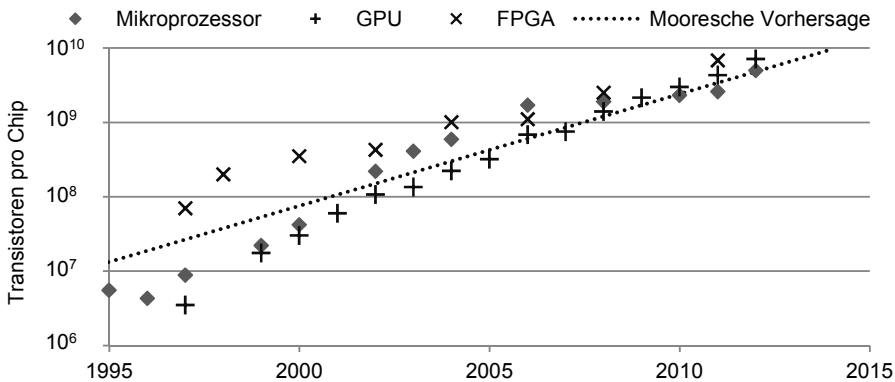


Bild 8.13 Komplexitätsentwicklung ausgewählter integrierter Standardbausteine.

Aufgrund der hohen Maskenkosten (mehr als 10 Millionen Euro für eine 28 nm CMOS-Technologie [105]) kommen ASIC-Entwicklungen und insbesondere der Full-Custom-Entwurf nur noch für höchste Leistungsanforderungen oder hohe Stückzahlen (z. B. Speicher, Prozessoren, FPGAs) in Betracht. Der Full-Custom-Entwurf erlaubt die Optimierung bis auf Bauelementebene und hat damit das größte Optimierungspotential bezüglich Fläche und Leistungsdaten. Er benötigt aber auch die längste Entwicklungs- und Fertigungszeit und wird damit zur teuersten Entwurfsmethode.

Auch wenn die EDA-Werkzeuge immer leistungsfähiger werden, bleibt die menschliche Expertise unersetzlich. Dies gilt insbesondere für zukünftige sogenannte „Deep-Submicron“ Systeme mit Strukturgrößen im Bereich von 10 nm, bei denen das zunehmend nicht-deterministische Bauelementverhalten beim Systementwurf auf allen Architekturebenen berücksichtigt werden muss. Insbesondere Verzögerungen auf den Verbindungsleitungen bestimmen mehr und mehr das Zeitverhalten des Gesamtsystems. Dies hat beispielsweise Einfluss auf die Mikroarchitektur des integrierten Systems. Die Größe der einzelnen Systemmodule sollte so gewählt werden, dass die elektrischen Signale auf lokalen Verbindungen nicht verstärkt werden müssen. Die Anzahl der globalen (langen) Verbindungen, die mit Treibern verstärkt werden müssen, sollten möglichst klein sein. EDA-Werkzeuge entlasten den Entwickler von Routineaufgaben, aber nicht von neuen kreativen Ideen und geschickten Optimierungen.

Literaturverzeichnis

1. Abidi, A.: Phase noise and jitter in cmos ring oscillators. *IEEE Journal of Solid-State Circuits* **41**(8), 1803–1816 (2006)
2. Abramowitz, M., Stegun, I.A.: *Handbook of Mathematical Functions*. Dover Publication, New York (1965)
3. Amey, D., Schaper, L.W.: Improved electrical performance required for future mos packaging. *IEEE Transactions on Components, Hybrids, and Manufacturing Technology* **6**(3), 283–289 (1983)
4. Antognetti, P., Maasobrio, G.: *Semiconductor Device Modelling with SPICE*. McGraw-Hill, New York (1988)
5. von Armin, K., Boronski, E., et al.: Efficiency of body biasing in 90-nm cmos for low-power digital circuits. *IEEE Journal of Solid-State Circuits* **40**(7) (2005)
6. Arsalan, M., Shams, M.: Charge-recovery power clock generators for adiabatic logic circuits. In: *18th International Conference on VLSI Design*, pp. 171–174 (2005)
7. Ashenden, P.: *The Designer's Guide to VHDL*. Elsevier Science (2010)
8. Athas, W.C., Koller, J.G., Svensson, L.J.: An energy-efficient cmos line driver using adiabatic switching. In: *IEEE Great Lakes Symposium on VLSI*, pp. 196–199 (1994)
9. Avizienis, A.: Signed digit number representation for fast parallel arithmetic. *IRE Transactions on Computers* **EC-10**, 389–400 (1961)
10. Bailey, D.W., Benschneider, B.J.: Clocking design and analysis for a 600-mhz alpha micro-processor. *IEEE Journal of Solid-State Circuits* **33**(11), 1627–1633 (1998)
11. Beattie, M.W., Pileggi, L.T.: On-chip induction modeling: Basics and advanced methods. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* **10**(6), 712–729 (2002)
12. Berglund, C.N.: A unified yield model incorporating both defect and parametric effects. *IEEE Transactions on Semiconductor Manufacturing* **9**(3), 447–454 (1996)
13. Bernstein, K., et al.: *High Speed CMOS Design Styles*. Kluwer Academic Publishers, Boston (1999)
14. Bernstein, K., et al.: *High Speed CMOS Design Styles*. Kluwer Academic Publishers, Boston (1999)
15. Bhavnagarwala, A.J., Tang, X., Meindl, J.D.: The impact of intrinsic device fluctuations on cmos sram cell stability. *IEEE Journal of Solid-State Circuits* **36**(4), 658–665 (2001)
16. Black, D.: *SystemC: From the Ground Up*. Springer (2010)
17. Bohr, M.: The new era of scaling in an soc world. In: *IEEE International Solid-State Circuits Conference*, pp. 23–28 (2009)
18. Booth, A.D.: Signed binary multiplication technique. *Quarterly Journal of Mechanics and Applied Mathematics* **4 Part 2**, 236–240 (1951)
19. Borkar, S., Kamik, T., et al.: Parameter variations and impact on circuits and microarchitecture. In: *Design Automation Conference*, pp. 338–342 (2004)

20. Bowman, K.A., Duvall, S.G., Meindl, J.D.: Impact of die-to-die and within-die parameter fluctuations on the maximum clock frequency distribution for gigascale integration. *IEEE Journal of Solid-State Circuits* **37**(2), 183–190 (2002)
21. Bowman, K.A., Tschanz, J.W., et al.: Energy-efficient and metastability immune timing-error detection and instruction-replay-based recovery circuits for dynamic-variation tolerance. In: *IEEE International Solid-State Circuits Conference*, pp. 402–403 (2008)
22. Brent, R., Kung, H.T.: A regular layout for parallel adders. *IEEE Transactions on Computers* **C-31**(3), 260–264 (1982)
23. Brews, J.R.: A charge-sheet model of the mosfet. *Solid-State Electronics* **21**(2), 345–355 (1978)
24. Brews, J.R., Fichtner, W., Nicollan, E.H., Sze, S.M.: Generalized guide for mosfet miniaturization. *IEEE Electron Device Letters* **1**(1) (1980)
25. Brown, S., Rose, J.: Fpga and cpld architectures: A tutorial. *IEEE Design and Test of Computers* **13**(2) (1996)
26. Brück, R.: Entwurfswerkzeuge für VLSI-Layout: Methoden und Algorithmen für den rechnergestützten Entwurf von VLSI-Layout. *Hanser-Studienbücher*. Hanser (1993)
27. Bude, J.D.: Mosfet modeling into the ballistic regime. In: *International Conference on Simulation of Semiconductor Processes and Devices*, pp. 23–26 (2000)
28. Budnik, M.M., Roy, K.: A power delivery and decoupling network minimizing ohmic loss and supply voltage variation in silicon nanoscale technologies. *IEEE Transaction On Very Large Scale Integration (VLSI) Systems* **14**(12), 1336–1346 (2006)
29. Cappelatti, P., Golla, C., Olivio, P., Zaroni, E.: *Flash Memories*. Kluwer Academic Publisher, Boston (1999)
30. Caughey, M., Thomas, R.E.: Carrier mobilities in silicon empirically related to doping and field. *Proceedings of the IEEE* **55**(12), 2192–2193 (1967)
31. Celik, M., Pileggi, L., Odabasioglu, A.: *IC Interconnect Analysis*. Kluwer Academic Publishers, Boston (2002)
32. Cenker, R.P., Clemons, D.G., Huber, W.R., Petrizzi, J.B., Procyk, F.J., Trouti, G.M.: A fault-tolerant 64k dynamic random-access memory. *IEEE Transactions on Electron Devices* **26**(6), 853–860 (1979)
33. Cenker, R.P., et al.: A fault-tolerant 64k dynamic ram. In: *IEEE International Solid-State Circuits Conference*, vol. XXII, pp. 150–151 (1979)
34. Chandrakasan, A., Bowhill, W.J., Fox, F.: *Design of High-Performance Microprocessor Circuits*. IEEE Press (2001)
35. Chandrakasan, A.P., Sheng, S., Brodersen, R.W.: Low-power cmos digital design. *IEEE Journal of Solid-State Circuits* **27**(4), 473–484 (1992)
36. Chang, L., Fried, D.M., et al.: Stable sram cell design for the 32nm node and beyond. In: *Symposium on VLSI Technology*, pp. 128–129 (2005)
37. Chatterjee, B., Sachdev, M., Hsu, S., Krishnamrthy, R., Borkar, S.: Effectiveness and scaling trends of leakage control techniques for sub-130 nm cmos technologies. In: *International Symposium on Low Power Electronics and Design*, pp. 122–127 (2003)
38. Cheong, S.V., Chung, H., Ioinovici, A.: Inductorless dc-to-dc converter with high power density. *IEEE Trans. On Industrial Electronics* **41**(2), 208–215 (1994)
39. Choi, C.H., et al.: Gate length dependent polysilicon depletion effects. *IEEE Electron Device Letters* **23**(4), 224–226 (2002)
40. Chow, T.P.: A review of refractory gates for mos vlsi. In: *IEEE International Electron Devices Meeting*, pp. 513–517 (1983)
41. Wikipedia, chemisch-mechanisches polieren. URL http://de.wikipedia.org/wiki/Chemisch-mechanisches_Polieren
42. Concalves, N.F.: Nora: A racefree cmos technique for register transfer systems. Ph.D. thesis, K. U. Leuven (1984)
43. Dabral, S., Maloney, T.J.: *Basic ESD and I/O Design*. John Wiley and Sons, New York (1998)
44. Dadda, L.: Some schemes for parallel multipliers. *Alta Frequenza* **34**, 349–356 (1965)

45. Dadda, L.: On parallel digital multipliers. *Alta Frequenza* **45**, 574–580 (1976)
46. Daehn, W.: Testverfahren in der Mikroelektronik: Methoden und Werkzeuge. Mikroelektronik Series. Springer (2011)
47. Das, S., et al.: A self-tuning dvs processor using delay-error detection and correction. *IEEE Journal of Solid-State Circuits* **41**(4), 792–804 (2006)
48. Das, S., et al.: Razor ii: In situ error detection and correction for pvt and ser tolerance. *IEEE Journal of Solid-State Circuits* **44**(1), 32–48 (2009)
49. Davidson, E.S., Larson, G.: Pipelining and parallism in cost-effective processor design. Research report, Digital System Laboratory: Stanford University, Stanford CA (1973)
50. Davis, J., Meindl, J.: Is interconnect the weaklink. *IEEE Circuits and Devices Magazine* **14**(2), 30–36 (1998)
51. Dennard, H.: Scaling limits of silicon vlsi technology. In: M. J.Kelly, C. Weisbuch (eds.) *The Physics and Fabrication of Microstructures and Microdevices*, pp. 352–369. Springer-Verlag, Berlin (1986)
52. Dennard, R.H., Gaenslen, F.H., Yu, H.N., Rideout, V.L., Bassous, E., LeBlanc, A.R.: Design of ion-implanted mosfets with very small physical dimensions. *IEEE Journal of Solid-State Circuits* **9**(5), 256–268 (1974)
53. Deutsch, A., et al.: When are transmission-line effects important for on chip interconnections. *IEEE Transactions on Microwave Theory and Techniques* **45**(10), 1836–1846 (1997)
54. Dickson, F.: On chip high voltage generation in mnos integrated circuits using an improved voltage multiplier technique. *IEEE Journal of Solid-State Circuits* **11**(3), 374–378 (1976)
55. Dopperpuhl, D.W., et al.: A 200-mhz 64-b dual issue cmos microprocessor. *IEEE Journal of Solid-State Circuits* **27**(11), 1555–1567 (1992)
56. Dubberpuhl, D.W., Witek, R.T., Allmon, R., et al.: A 200 mhz 64-b dual-issue cmos-microprocessor. *IEEE Journal of Solid-State Circuits* **27**(11), 1555–1567 (1992)
57. Duzil, P.: Speed – a highly flexible slice structure and datapath generator. In: *Custom Integrated Circuits Conference*, pp. 14.6/1–14.6/4 (1988)
58. Elliot, D.J.: *Integrated Circuit Fabrication Technology*. McGraw-Hill, New York (1982)
59. Elmore, W.C.: The transient analysis of damped linear networks with particular regard to wideband amplifiers. *Journal of Applied Physics* **19**(1), 55–63 (1948)
60. Fahim, A.M.: A compact, low-power low-jitter digital pll. In: *European Solid-State Circuits Conference*, pp. 101–104 (2003)
61. Flanders, D.C., Hawryluk, A.M., Smith, H.I.: Spatial period division – a new technique for exposing submicrometer linewidth periodic and and quasiperiodic patterns. *Journal of Vacuum Science and Technology* **16**(6), 1949–1952 (1979)
62. Foty, D.: *MOSFET Modelling with SPICE*. Prentice-Hall, Upper Saddle River, NJ (1997)
63. Gardner, F.M.: Charge-pump phase-lock-loops. *IEEE Transactions on Communications* **28**(11), 1849–1858 (1980)
64. Gerosa, G., Curtis, S., et al.: A sub-2 w low power ia processor for mobile internet devices in 45 nm high-k metal gate cmos. *IEEE Journal of Solid-State Circuits* **44**(1), 73–82 (2009)
65. Gildenblatt, G., Li, X., Wang, H., Wu, W., van der Langenvelde, R., Scholten, A.J., Smitt, G.D.J., Klaasen, D.B.M.: Psp: An advanced surface potential-based mosfet model for circuit simulations. *IEEE Transactions on Electron Devices* **53**(3), 1979–1993 (2006)
66. Glasser, L.A., Dobberpuhl, D.W.: *The Design and Analysis of VLSI Circuits*. Addison Wesley, Massachusetts (1985)
67. Goncalves, N.F., Man, H.D.: Nora: A racefree dynamic cmos technique for pipelined logic structures. *IEEE Journal of Solid-State Circuits* **18**(3), 261–266 (1983)
68. Grabinski, W., Nauwelaers, B., Schreurs, D.: *Transistor Level Modeling for Analog/RF IC Design*. Springer (2006)
69. Gray, P., Meyer, R.G.: *Analysis and Design of Analog Integrated Circuits*. John Wiley and Sons, New York (1977)
70. Gray, P.R., Hurst, P.J., Meyer, R.G.: *Analysis and Design of Analog Integrated Circuits*, fourth edition edn. John Wiley and Sons, New York (2001)
71. Grayver, E.: *Implementing Software Defined Radio*. SpringerLink: Bücher. Springer (2013)

72. Greenhouse, H.M.: Design of planar rectangular microelectronic inductors. *IEEE Transactions on Parts, Hybrids, and Packaging* **10**(2), 101–109 (1974)
73. Gronowski, P.E., Bowhill, W.J., Preston, R.P., Gowan, M.K., Allmon, R.L.: High-performance microprocessor design. *IEEE Journal of Solid-State Circuits* **33**(5), 676–686 (1998)
74. Grossar, E., Succhi, M., Maex, K., Dehaene, W.: Read stability and write ability analysis of sram cells for nanometer technologies. *IEEE Journal of Solid State Circuits* **41**(11), 2577–2588 (2006)
75. Grout, I.: *Integrated Circuit Test Engineering: Modern Techniques*. Springer (2008)
76. Grove, A.S.: *Physics and Technology of Semiconductor Devices*. John Wiley and Sons, New York (1967)
77. Grover, F.W.: *Inductance Calculations, Working Formulas and Tables*. Dover Publication Inc., New York (1962)
78. Guild, H.H.: Fully iterative fast array for binary multiplication and addition. *Electronic Letters* **5**(12), 263 (1969)
79. Guo, Z., Carlson, A., et al.: Large-scale sram variability characterization in 45 nm cmos. *IEEE Journal of Solid-State Circuits* **44**(11), 3174–3192 (2009)
80. Gurkaynak, F., Leblebici, Y.: Higher radix kogge-strone parallel prefix adder architectures. In: *IEEE International Symposium on Circuits and Systems*, pp. 609–612 (2000)
81. Gusmeroli, R., et al.: Defects spectroscopy in sio₂ by statistical random telegraph noise analysis. In: *International Electron Devices Meeting*, pp. 1 – 4 (2006)
82. Guterman, D.C., et al.: An electrically alterable nonvolatile memory cell using a floating-gate structure. *IEEE Transactions on Electron Devices* **26**, 576 – 586 (1979)
83. Haggag, A., Kuffler, M., Zhang, D.: Novel model for hci degradation and impact of conventional and non-conventional scaling. In: *IEEE International Reliability Physics Symposium*, pp. 737–738 (2006)
84. Hänsel, H., Polack, W.: Verfahren zur herstellung einer phasenmaske amplitudenstruktur (1977). *DDR Patent Nr. 2650 817*
85. Harari, E.: Flash memory – the great disruptor! In: *IEEE International Solid-State Circuits Conference*, pp. 10–15 (2012)
86. Haraszti, T.P.: *CMOS Memory Circuits*. Kluwer Academic Publishers, Boston (2000)
87. Heald, R., Wang, P.: Variability in sub-100nm sram designs. In: *International Conference on Computer Aided Design*, pp. 347–352 (2004)
88. Henzler, S.: *Power Management of Digital Circuits in Deep Sub-Micron CMOS-Technologies*. Springer Verlag (2007)
89. Henzler, S.: *Time-to-Digital Converters*. Springer Verlag (2010)
90. Heydari, P., Mohanavelu, R.: Design of ultrahigh-speed low-voltage cmos cml buffers and latches. *IEEE Transaction on Very Large Integrated (VLSI) Systems* **12**(10), 1081–1093 (2004)
91. Hill, C.F.: Noise margin and noise immunity in logic circuits. *Microelectronics* **1**(4), 16–21 (1968)
92. Hirose, T., Kuriyama, H., et al.: A 20-ns 4-mb cmos sram with hierarchical word decoding architecture. *IEEE Journal of Solid-State Circuits* **25**(5) (1990)
93. Hoefer, E.E.E., Nielinger, H.: *SPICE – Analyseprogramm für elektronische Schaltungen*. Springer, Berlin (1985)
94. Hoffmann, K.: *Systemintegration*. Oldenbourg Verlag, München (2003)
95. Hsieh, C.M., Murley, P.C., O'Brien, R.R.: A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices. *IEEE Electron Device Letters* **2**(4), 103–105 (1981)
96. Hu, C.: Alpha-particle-induced field and enhanced collection of carriers. *IEEE Electron Device Letters* **3**(2), 31–34 (1982)
97. Huang, X., et al.: Sub 50 nm p-channel finfet. *IEEE Transactions on Electron Devices* **45**(5), 880–886 (2001)
98. Hurst, S.L.: *VLSI Testing: Digital and Mixed Analogue/Digital Techniques*. Institution of Engineering and Technology (1998)

99. Hwang, K.: Computer Arithmetic, Principles, Architecture and Design. John Wiley and Sons, New York (1979)
100. Islam, A.I., Kufuoglu, H., Varghese, D., Alam, M.A.: Recent issues in negative-bias temperature instability: Initial degradation, field dependence of interface trap generation, hole trapping effects, and relaxation. *IEEE Transaction on Electron Devices* **54**(9), 2143–2154 (2007)
101. Ismail, Y.I., Friedman, E.G.: On Chip Inductance In High Speed Integrated Circuits. Kluwer Academic Publishers, Boston (2001)
102. Itoh, K.: VLSI Memory Chip Design. Springer Verlag, Berlin (2001)
103. Itoh, K., Horiguchi, M., Tanaka, H.: Ultra-Low Voltage Nano-Scale Memories. Springer Verlag (2007)
104. Itoh, K., Sunami, H.: High-density one-device dynamic mos memory cells. *IEEE Proceedings I: Solid-State and Electron Devices* **130**(3), 128–135 (1983)
105. International technology roadmap for semiconductors. URL <http://public.itrs.net>
106. Jump, J.R., Ahuja, S.R.: Effective pipelining of digital systems. *IEEE Transactions on Computers* **C-27**(9), 855–865 (1978)
107. Kahng, B., Muddu, S., Sarto, E.: On switching factor based analysis of coupled re interconnects. In: Design Automation Conference, pp. 79–84 (June 2000)
108. Kamp, W., Knauer, K., Lackerschmid, E.: A fast 16×16 bit asynchronous cmos multiplier. In: European Solid-State Circuits Conference, pp. 59–61 (1986)
109. Kao, J.T., Chandrakasan, A.P.: Dual-threshold voltage techniques for low-power digital circuits. *IEEE Journal of Solid-State Circuits* **35**(7), 1009–1018 (2000)
110. Kato, K., Wada, T., Tangiguchi, K.: Analysis of kink characteristics in silicon-on-insulator mosfet's using two carrier modelling. *IEEE Transactions on Electron Devices* **32**(2), 458–462 (1985)
111. Kaul, H., Sylvester, D., Blaauw, D.: Performance optimization of critical nets through active shielding. *IEEE Transaction on Circuits and Systems – I* **51**(12), 2417–2435 (2004)
112. Kawamura, S., et al.: 3-dimensional soi/cmos ics fabricated by beam recrystallization. In: IEEE International Electron Devices Meeting, pp. 364–367 (1983)
113. Keeth, B., Baker, J., Johnson, B., Lin, F.: DRAM Circuit Design. Wiley–IEEE Press (2008)
114. Kehrer, D.: 40 gb/s high speed circuits in standard cmos technology. Ph.D. thesis, Technische Universität Wien (2003)
115. Ker, M.D.: Whole-chip esd protection design with efficient vdd-to-vss esd clamp circuits for submicron vlsi. *IEEE Transaction on Electron Devices* **46**(1), 173–183 (1999)
116. Ker, M.D., Lin, K.H.: Overview on electrostatic discharge protection designs for mixed voltage i/o interfaces: Design concept and circuit implementations. *IEEE Transaction on Circuits and Systems I* **53**(2), 235–246 (2006)
117. Kim, C.H., et al.: Self calibrating circuit design for variation tolerant vlsi systems. In: IEEE International On-Line Testing Symposium, pp. 100–105 (2005)
118. Kim, J.V., et al.: S-rcat (sphere-shaped-recess-channel-array transistor) technology for 70nm dram feature size and beyond. In: Symposium on VLSI Technology, pp. 34–35 (2005)
119. Kim, J.Y., et al.: The breakthrough in data retention time of dram using recess-channel-array transistor(rcat) for 88 nm feature size and beyond. In: Symposium on VLSI Technology, pp. 11–12 (2003)
120. Kim, K., Hwang, C.G., Lee, J.G.: Dram technology perspective for gigabit era. *IEEE Transactions on Electron Devices* **45**(3), 598–608 (1998)
121. Kogge, P.M., Stone, H.S.: A parallel algorithm for the efficient solution of a general class of recurrence equations. *IEEE Transactions on Computers* **C-22**(8), 786–793 (1973)
122. Köster, M., Luk, W., Hagemeyer, J., Pörmann, M., Rückert, U.: Design optimizations for tiled partially reconfigurable systems. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* **19**(6), 1048–1061 (2011). DOI 10.1109/TVLSI.2010.2044902
123. Krambeck, R.H., Lee, C.M., Law, H.S.: High speed compact circuits with cmos. *IEEE Journal of Solid-State Circuits* **17**(3), 614–619 (1982)
124. Kumanoya, M., et al.: A reliable 1 mbit dram with a multi-bit-test mode. *IEEE Journal of Solid State Circuits* **20**(5), 909–913 (1985)

125. Kynett, V.N., et al.: An in-system reprogrammable 256 k cmos flash memory. In: IEEE International Solid-State Circuits Conference, p. 132 (1988)
126. Laker, K.R., Sansen, W.M.C.: Design of Analog Integrated Circuits and Systems. McGraw-Hill, Inc., New York (1994)
127. Larsson, P.: Resonance and damping in cmos circuits with on-chip decoupling capacitors. IEEE Transaction on Circuits and Systems I: Fundamental Theory and Applications **45**(8), 849–858 (1998)
128. Lee, T.H.: The design of CMOS Radio-Frequency Integrated Circuits. Cambridge University Press (1998)
129. Lemme, M.C.: Entwicklung eines Triple-Gate CMOS Prozesses auf SOI-Material. Berichte aus der Halbleitertechnik. Shaker Verlag, Aachen (2004). D82 (Diss. RWTH Aachen)
130. Levenson, M.D., Viswanthan, N.S., Simpson, R.A.: Improving resolution in photolithography with a phase-shifting mask. IEEE Transactions on Electron Devices **ED-29**(12), 1828–1836 (1982)
131. Li, Y.: Robust design of dram core circuits – yield estimation and analysis by statistical design approach. Ph.D. thesis, TU München (2011)
132. Li, Y., et al.: 128gb 3b/cell nand flash memory in 19nm technology with 18mb/s write rate and 400mb/s toggle mode. In: IEEE International Solid-State Circuits Conference, pp. 436–437 (2012)
133. Lohstroh, J.: Static and dynamic noise margins of logic circuits. IEEE Journal of Solid-State Circuits **14**(3), 591–598 (1979)
134. Lu, N.C.C.: Advanced cell structures for dynamic rams. IEEE Circuits and Devices Magazine **5**(1), 27–36 (1989)
135. Lundstrom, M., Ren, Z.: Essential physics of carrier transport in nanoscale mosfets. IEEE Transactions On Electron Devices **49**(1), 133–141 (2002)
136. MacSorley, O.L.: High speed arithmetic in binary computers. Proceedings of the IRE **49**(1), 67–91 (1961)
137. Mak, O.C., Wang, Y.C., Ioinovici, A.: Step-up dc power supply based on a switched capacitor circuit. IEEE Transactions On Industrial Electronics **42**(1), 90–97 (1995)
138. Maly, W.: Atlas of IC-Technologies: An Introduction to VLSI Processes. Benjamin Cummings, Menlo Park, CA (1987)
139. Man, E.D.: Siemens AG, private Mitteilung
140. Mandelman, J.A., Dennard, R.H., et al.: Challenges and future directions for the scaling of dynamic random-access memory (dram). IBM Journal of Research and Development **46**(2–3), 187–212 (2002)
141. Marko, H.: Systemtheorie: Methoden und Anwendungen für ein- und mehrdimensionale Systeme. Springer Verlag, Berlin (1995)
142. Markovic, D., Stojanovic, V., et al.: Methods for true energy-performance optimization. IEEE Journal of Solid-State Circuits **39**(8), 1282–1293 (2004)
143. May, T.C., Woods, M.H.: A new physical mechanism for soft errors in dynamic memories. In: Reliability Physics Symposium, pp. 33–40 (1978)
144. Mead, C., Conway, L.: Introduction to VLSI Systems. Addison Wesley, Massachusetts (1980)
145. Meier, S., Man, E.D., Noll, T.G., Loibl, U., Klar, H.: A 2 μ m cmos digital adaptive equalizer chip for qam digital radio modems. IEEE Journal of Solid-State Circuits **23**(5), 1212–1217 (1988)
146. Meng, T.H.Y., Brodersen, R.W., Messerschmidt, D.G.: Automatic synthesis of asynchronous circuits from high-level specifications. IEEE Transactions on Computer-Aided Design **8**(11), 1185–1205 (1989)
147. Meziba, A.V., Friedmann, E.G.: Inductive properties of high-performance power distribution grids. IEEE Transactions on Very Large Scale Integration (VLSI) Systems **10**(6) (2002)
148. Michalka, L., Varshney, R.C., Meindl, J.D.: A discussion of yield modeling with defect clustering, circuit repair, and circuit redundancy. IEEE Transactions on Semiconductor Manufacturing **3**(3), 116–127 (1990)

149. Molas, G., et al.: Impact of few electron phenomena on floating-gate memory reliability. In: International Electron Devices Meeting, pp. 877 – 880 (2004)
150. Moon, Y., Jeong, D.K.: An efficient charge recovery logic circuit. *IEEE Journal of Solid-State Circuits* **31**(4), 514–522 (1996)
151. Moore, G.: Cramming more components onto integrated circuits. *Electronics Magazine* pp. 114–117 (1965)
152. Moore, G.E.: No exponential is forever: But forever can be delayed. In: IEEE International Solid-State Circuits Conference, pp. 20–23 (2003)
153. Mukhopadhyay, S., Mahmoodi, H., Roy, K.: Modeling of failure probability and statistical design of sram array for yield enhancement in nanoscaled cmos. *IEEE Transactions on Computer-Aided Design of Integrated Circuits And Systems* **24**(12), 1859–1880 (2005)
154. Müller, R.: Bauelemente der Halbleiterelektronik. Springer, Berlin (1987)
155. Murphy, B.T.: Cost-size optima of monolithic integrated circuits. *Proceedings of the IEEE* **52**(12), 1537–1545 (1964)
156. Murphy, B.T.: Cost-size optima of monolithic integrated circuits. *Proceedings of the IEEE* **52**(12), 1537–1545 (1964)
157. Nakai, M., et al.: Dynamic voltage and frequency management for a low-power embedded microprocessor. *IEEE Journal of Solid-State Circuits* **40**(1), 28–35 (2005)
158. Natori, K.: Ballistic metal-oxide-semiconductor field effect transistor. *Journal of Applied Physics* **76**(15), 4879–4890 (1994)
159. Neve, A., Flandre, D.: Branch-based logic for high performance carry-select adders in 0,24µm bulk and soi cmos technologies. *PATMOS* pp. 8.2.1–8.2.10 (2001)
160. Noll, T.: Architektur und schaltungsentwurf eines digitalen, adaptiven entzerrers für den digitalen richtfunk mit lokal systolischen carry-save-arrays in cmos-technologie. Ph.D. thesis, Ruhr-Universität Bochum (1989)
161. Nose, K., Hirabayashi, M., Kawaguchi, H., Lee, S., Sakurai, T.: Vth-hopping scheme to reduce subthreshold leakage for low power processors. *IEEE Journal of Solid-State Circuits* **37**(3), 413–419 (2002)
162. Nowak, E.J.: Maintaining the benefits of cmos scaling when scaling bogs down. *IBM Journal of Research and Development* **46**(2.3), 169–180 (2002)
163. Ohbayashi, S., Yabuuchi, M., et al.: A 65-nm soc embedded 6t-sram designed for manufacturability with read and write operation stabilizing circuits. *IEEE Journal of Solid-State Circuits* **42**(4), 820–829 (2007)
164. Osada, K., Yamaguchi, K., Kawahara, T.: Sram immunity to cosmic-ray-induced multierrors based on analysis of an induced parasitic biplol effect. *IEEE Journal of Solid-State Circuits* **39**(5), 827–833 (2004)
165. Osada, K., et al.: Universal-vdd 0.65-2.0v 32 kb cache using a voltage-adapted timing-generation scheme and a lithographical-symmetric cell. In: IEEE International Solid-State Circuits Conference, vol. XLIV, pp. 168–169 (2001)
166. Pang, L.T., et al.: Measurement and analysis of variability in 45nm strained-si cmos technology. *IEEE Journal of Solid-State Circuits* **44**(8), 2233–2243 (2009)
167. Pao, H.C., Sah, C.T.: Effects of diffusion current on characteristics of metal-oxide (insulator-) semiconductor transistors. *Solid-State Electronics* **9**(10), 927–937 (1966)
168. Papoulis, A., Pillai, S.U.: Probability, Random Variables and Stochastic Processes. McGraw Hill (2002)
169. Parhami, B.: Computer Arithmetic: Algorithms and Hardware Design. Oxford University Press, New York (2000)
170. Patterson, D.A., Hennessy, J.L.: Computer organization & design the hardware/software interface. Morgan Kaufmann Publishers (1994)
171. Paul, C.R.: Inductance, Loop and Partial. John Wiley and Sons (2010)
172. Pelgrom, M.J.M., Duinmaijer, A.C.J., Welbers, A.P.G.: Matching properties of mos transistors. *IEEE Journal of Solid-State Circuits* **24**(5), 1433–1439 (1989)
173. Pezaris, S.D.: A 40-ns 17-bit by 17-bit array multiplier. *IEEE Transactions on Computers* **C-20**(4), 442–447 (1971)

174. Pirsch, P.: Architekturen der digitalen Signalverarbeitung. B. G. Teubner, Stuttgart (1996)
175. Popovich, M., Mezhiba, A.V., Friedman, E.G.: Power Distribution Networks with On-Chip Decoupling Capacitors. Springer Verlag (2008)
176. Portmann, C.L., Meng, H.Y.: Metastability in cmos library elements in reduced supply and technology scaled applications. *IEEE Journal of Solid-State Circuits* **30**(1), 39–46 (1995)
177. Prince, B.: High Performance Memories. John Wiley and Sons (1996)
178. Queisser, H.J.: Kristalline Krisen. Piper Verlag, München (1985)
179. Rabaey, J.M., Chandrakasan, A., Nikolic, B.: Digital Integrated Circuits, A Design Perspective. Electronics and VLSI Series. Prentice Hall (2003)
180. Rabaey, J.M., Pedram, M.: Low power design methodologies. Kluwer Academic Publishers (1996)
181. Rahman, A., Guo, J., Datta, S., Lundstrom, M.S.: Theory of ballistic nanotransistors. *IEEE Transactions On Electron Devices* **50**(9), 1853–1864 (2003)
182. Razavi, B.: Design of Integrated Circuits for Optical Communications. McGraw-Hill, Inc., New York (2002)
183. Razavi, B.: Design of Integrated Circuits for Optical Communication. MacGraw-Hill Higher Education (2003)
184. Rea, S.N.: Czochralski silicon pull rate limits. *Journal of Crystal Growth* **54**(2), 267–274 (1981)
185. Rein, H.M.: Integrierte Bipolarschaltungen. Springer-Verlag, Berlin, Heidelberg, New York (1980)
186. Reitwieser, G.W.: Binary arithmetic. *Advances in Computers* **1**, 261–265 (1960)
187. Rizvi, S.: Handbook of Photomask Manufacturing Technology. Taylor and Francis, Boca Raton (2005)
188. Roy, G., Adamu-Lema, F., Brown, A.R., Roy, S., Asenov, A.: Simulation of combined sources of intrinsic parameter fluctuations in a real 35 nm mosfet. In: European Solid-State Device Research Conference, pp. 337–340 (2005)
189. Roy, K., Mukhopadhyay, S., Mahmoodi-Meimand, H.: Leakage current mechanism and leakage reduction techniques in deep-submicrometer cmos-circuits. *Proceedings of the IEEE* **91**(2), 305–327 (2003)
190. Rubinfeld, L.P.: A proof of the modified booth's algorithm for multiplication. *IEEE Transactions on Computers* **C-24**(10), 1014–1015 (1975)
191. Rubinstein, J., Penfield, P., Horowitz, M.A.: Signal delay in rc tree networks. *IEEE Transactions on Computer Aided Design* **2**, 202–211 (1983)
192. Ruehli, A.E.: Inductance calculations in a complex integrated circuit environment. *IBM Journal of Research and Development* **16**(5), 470–481 (1972)
193. Rusu, S., et al.: A dual-core multi-threaded xeon processor with 16mb l3 cache. In: IEEE International Solid-State Circuits Conference, pp. 315–324 (2006)
194. Sakamoto, M., Hamana, H.: A new self-aligned contact technology. In: IEEE International Electron Devices Meeting, vol. 26, pp. 136–139 (1980)
195. Sakurai, T., Kawaguchi, H., Kuroda, T.: Low-power cmos-design through vth control and low-swing circuits. In: International Symposium on Low Power Electronics and Design, pp. 1–6 (1997)
196. Sato, T.S., Cao, Y., Agrawal, K., Sylvester, D., Hu, C.: Bidirectional closed-form transformation between on-chip coupling noise waveforms and interconnect delay-change curves. *IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems* **22**(5), 560–572 (2003)
197. Schloesser, T., et al.: 6f² buried wordline dram cell for 40nm and beyond. In: IEEE International Electron Devices Meeting, pp. 1–4 (2008)
198. Schlünder, C.: Device reliability challenges for modern semiconductor circuit design: a review. In: Kleinheubacher Berichte (2009)
199. Schreier, R., et al.: Delta-Sigma Data Converters: Theory, Design and Simulation. IEEE Press (1996)
200. Schumicki, G., Seegebrecht, P.: Prozeßtechnologie. Springer-Verlag (1991)

201. Seeds, R.B.: Yield and cost analysis of bipolar lsi. In: IEEE International Electron Devices Meeting, vol. 13, p. 12 (1967)
202. Sekiguchi, T., Itoh, K., et al.: A low-impedance open-bitline array for multigigabit dram. IEEE Journal of Solid-State Circuits **37**(4), 487–498 (2002)
203. Sharma, A.K.: Advanced Semiconductor Memories. John Wiley and Sons (2002)
204. Shibata, N., et al.: A 70 nm 16 gb 16-level-cell nand flash memory. IEEE Journal of Solid-State Circuits **43**(4), 929 – 937 (2008)
205. Siemers, C.: Logikbausteine. Vogel (2002)
206. Singh, S., et al.: The effect of logic block architecture on FPGA performance. IEEE Journal of Solid-State Circuits **27**(3), 281–287 (1992)
207. Singhee, A., Rutenbar, R.A. (eds.): Extreme Statistics in Nanoscale Memory Design. Springer Verlag (2010)
208. Smith, R.T., Chlipala, J.D., Bindels, J.F.M., Nelson, R.G., Fischer, F.H., Mantz, T.F.: Laser programmable redundancy and yield improvement in 64k dram. IEEE Journal of Solid State Circuits **16**(5), 506–514 (1981)
209. Sodini, C.G., Ko, P.K., Moll, J.L.: The effect of high fields on mos-devices and circuit performance. IEEE Transactions on Electron Devices **ED-31**(10), 1386–1393 (1984)
210. Staszewski, R.B., et al.: Digitally controlled oscillator (dco)-based architecture for rf frequency synthesis in a deep-submicron cmos process. IEEE Transactions On Circuits and Systems II **50**(11), 815–828 (2003)
211. Staszewski, R., et al.: All-digital tx frequency synthesizer and discrete-time receiver for bluetooth radio in 130-nm cmos. IEEE Journal of Solid-State Circuits **39**(12), 2278–2291 (2004)
212. Stein, K.U., Sihling, U., Doering, E.: Storage array and sense refresh circuit for single transistor memory cells. IEEE Journal of Solid-State Circuits **7**(5), 336–340 (1972)
213. Sugla, B., Carlson, D.A.: Extreme area-time tradeoffs in vlsi. IEEE Transactions on Computers **39**(2), 251–257 (1990)
214. Sutherland, I., Sproull, B., Harris, D.: Logical Effort, Designing Fast CMOS Circuits. Morgan Kaufmann Publishers (1999)
215. Svensson, C., et al.: A true single phase clock dynamic cmos circuit technique. IEEE Journal of Solid-State Circuits **SC-22**(5), 899–901 (1987)
216. Sylvester, D., Wu, C.: Analytical modeling and characterization of deep-submicrometer interconnect. Proceedings of the IEEE **89**(5), 634–664 (2001)
217. Sze, S.M.: Physics of Semiconductor Devices. John Wiley and Sons, New York (1981)
218. Takeda, K., et al.: Redefinition of write margin for next-generation sram and write margin monitoring circuit. In: IEEE International Solid-State Circuits Conference, pp. 2602–2611 (2006)
219. Tang, T.W., Zhang, Q.L., Navon, D.H.: Analytical model for predicting threshold voltage in submicrometer-channel mosfets. IEEE Transactions on Electron Devices **32**(9), 1890–1893 (1985)
220. Tega, N., et al.: Increasing threshold voltage variation due to random telegraph noise in fets as gate length scale to 20 nm. In: Symposium on VLSI Technology, pp. 50–51 (2009)
221. Teichmann, P. (ed.): Adiabatic Logic. Springer Verlag (2012)
222. Terrill, K., Hu, C., Neureuther, A.: Computer analysis on the collection of alpha-generated charge for reflecting and absorbing surface conditions around the collector. Solid-State Electronics **27**(1), 42–52 (1984)
223. Thomas, D., Moorby, P.: The Verilog® Hardware Description Language. Springer (2002)
224. Tielert, D., Peisl, D.: Siemens AG, private Mitteilung
225. Tschanz, J.W., Kao, J.T., Narenda, S.G., et al.: Adaptive body bias for reducing impacts of die-to-die and within-die-parameter variations on microprocessor frequency and leakage. IEEE Journal of Solid-State Circuits **37**(11), 1396–1402 (2002)
226. Tsividis, Y.: Operation and Modeling of the MOS-Transistor. McGraw-Hill (1987)
227. Unger, H.G.: Elektromagnetische Wellen auf Leitungen. Hüthig Buch Verlag, Heidelberg (1996)
228. Unger, S.H., Tan, C.J.: Clocking schemes for high-speed digital systems. IEEE Transaction on Computers **C-35**(10), 880–895 (1986)

229. Veendrick, H.: The behaviour of flip-flops used as synchronizers and prediction of their failure rate. *IEEE Journal of Solid-State Circuits* **SC-15**(2), 169–176 (1980)
230. Veendrick, H.: *Deep-Submicron CMOS ICs*. Kluwer Academic Publishers (2000)
231. Vertregt, M.: The analog challenge of nanometer cmos. In: *International Electron Devices Meeting*, pp. 1–8 (2006)
232. Vetuli, A., Pascoli, S.D., Reyneri, L.M.: Positive feedback in adiabatic logic. *Electronic Letters* **32**(20), 1867–1869 (1996)
233. Vladimirescu, A.: *The SPICE Book*. John Wiley and Sons (1993)
234. Vladimirescu, A., Liu, S.: The simulation of mos integrated circuits using spice2. Tech. Rep. UCB/ERL M80/7, EECS Department, University of California, Berkeley (1980)
235. Vladimirescu, A., Zhang, K., Newton, R., Pedersson, D.O.: *Spice Version 2 G User's Guide*. University of California, Berkeley (1981)
236. Wang, A.Z.H.: *On-Chip ESD Protection For Integrated Circuits, an IC Design Perspective*. Kluwer Academic Publishers, Boston (2002)
237. Wang, Y., et al.: A 4.0 ghz 291mb voltage-scalable sram design in 32nm high- κ metal-gate cmos with integrated power management. In: *IEEE International Solid-State Circuits Conference*, pp. 465–457 (2009)
238. Weinberger, A., Smith, J.L.: A logic for high-speed addition. *National Bureau of Standards, Circulation* 591 pp. 3–12 (1958)
239. Weiss, O., Gansen, M., Noll, T.: A flexible datapath generator for physical oriented design. In: *Solid-State Circuits Conference, 2001. ESSCIRC 2001. Proceedings of the 27th European*, pp. 393–396 (2001)
240. Weste, N.H.E., Harris, D.: *CMOS VLSI Design, A Circuits and System Perspective*, 3. auf-lage edn. Addison-Wesley (2005)
241. Weste, N.H.E., Harris, D.: *Applied Multivariate Statistical Analysis*, 6th edition edn. Pearson Prentice Hall (2007)
242. Widmann, D., Mader, H., Friedrich, H.: *Technologie hochintegrierte Schaltungen*, 2. auflage edn. Springer Verlag, Berlin (1996)
243. Wyatt, J.L.: *Circuit Analysis, Simulation And Design*. Elsevier Science Publishers, North-Holland (1987)
244. Y. Taur, T.H.N.: *Fundamentals of Modern VLSI Devices*. Cambridge University Press (1998)
245. Yamaoka, M., Osada, K., Ishibashi, K.: 0.4-v logic-library-friendly sram array usingbrectangular-diffusion cell and delta-boosted-array voltage scheme. *IEEE Journal of Solid-State Circuits* **39**(6) (2004)
246. Yamaoka, M., Osada, K., Tsuchiya, R., et al.: Low power sram menu for soc application using yin-yang feedback memory cell technology. In: *Symposium on VLSI Circuits*, pp. 288–291 (2004)
247. Yamauchi, H.: Sram tutorial. In: *IEEE Asia solid state of circuits conference* (2006)
248. Yamauchi, H.: Embedded sram circuit design technologies for 45nm and beyond. In: *Inter-national conference on ASIC, ASICON '07*, pp. 1028–1033 (2007)
249. Yamauchi, H.: Tutorial t8, variation tolerant sram circuit designs. In: *IEEE International Solid-State Circuits Conference* (2009)
250. Yano, K., et al.: Lean integration, achieving a quantum leap in performance and cost of logic lsi's. In: *IEEE Custom Integrated Circuits Conference*, pp. 603–606 (1994)
251. Yoshimi, M., et al.: Two-dimensional simulation and measurement of high-performance mos-fets made on a very thin soi film. *IEEE Transactions on Electron Devices* **36**(3), 493–503 (1989)
252. Yu, B.: Fabrication of a field effect transistor with three sided gate structure on semiconductor on insulator (2001). United State Patent (US 6,342,410 B1)
253. Yuan, X., et al.: Gate-induced-drain-leakage current in 45-nm cmos technology. *IEEE Tran-sactions on Device and Materials Reliability* **8**(3), 501–508 (2008)
254. Zell, T.: Optical lithography: Where is the end? In: *The 7th Annual International Forum on Semiconductor Technology* ()
255. Zhang, K., Bhattacharya, U.: A 3-ghz 70-mb sram in 65-nm cmos technology with integrated column-based dynamic power supply. *IEEE Journal of Solid-State Circuits* **41**(1) (2006)
256. Zhu, Q.K.: *High-Speed Clock Network Design*. Kluwer Academic Publishers, Boston (2003)

Sachverzeichnis

- Ätzen, 107, 116, 117, 122, 123
Überlappkapazität, 94–96, 104, 310
Überlauf, 580, 599, 634, 640, 642
Übertrag, 579, 580, 597, 619, 620, 626, 632
Übertragsbit, 436, 580–582, 585, 591, 598,
599, 607, 609–619, 623, 624, 627, 628,
631, 632, 639
Übertragungscharakteristik, 236, 238, 243
1T-DRAM-Zelle, 546, 548
4T-SRAM-Zelle, 562
6T-SRAM-Zelle, *siehe* Sechs-Transistor-
Speicherzelle
8T-SRAM-Zelle, *siehe* Acht-Transistor-
Speicherzelle
- Abfallzeit, 199, 202, 210, 215–217, 259, 268,
272, 278, 319, 339, 350, 365, 388, 389,
395
Abscheidungsprozess, 117, 118, 126
Abschirmleitung, 217–219
Abschnürpunkt, 28, 31
Abstraktionsebene, 478, 648–650, 664
Access-Time, 481
Access-Time-Failure, 517, 523
Acht-Transistor-Speicherzelle, (*8T-SRAM-
Zelle*), 509, 541, 542
Adaptive Body Biasing, 414, 415, 418, 420,
516, 535
Addier-und-Verschiebe-Algorithmus,
635–637, 645
Addierer, 6, 435, 577, 580, 584, 586, 589, 596,
597, 599–604, 606, 608, 609, 612, 614,
636, 637, 639, 646, 648, 649, 659, 660,
666
Additionszeit, 598, 600, 609, 616, 617, 627
Address-hold-Zeit, 480
Address-set-up-Zeit, 480
Address-to-output-time, 481
Adiabatische Logik, 343, 425–427, 429, 430,
433, 435, 437
Adressierungsart, 570
Adresszähler, 571, 575
Aggressorleitung, 170, 209, 210, 217
Akkumulation, 73, 97, 632
Akkumulator, 631, 632
Alphapartikel, 313, 314, 561–564
Alterungsprozess, 66, 68, 420, 502, 550
Analog-Digital-Umsetzer, 401, 476
Analogschaltung, 171
Anisotropie, 116
Anreicherung, 12
Anreicherungstransistor, 33, 34
Anstiegszeit, 199, 202, 210, 215–217, 259,
268, 272, 273, 278, 284, 319, 339, 350,
365, 388, 389, 395, 426
Antivalenz-Funktion, 581
Application Specific Integrated Circuit,
(*ASIC*), 106, 343, 647
Arbeitspunkt, 100, 101, 252
Architektur, 491, 497, 509, 542, 648, 661
ASIC, *siehe* Application Specific Integra-
ted Circuit
Auflösung, 109–112, 115, 134, 137, 158
Aufwand
elektrischer, 349, 353, 355–357, 359–361,
363, 365, 468, 473, 650, 651
logischer, 349, 350, 353, 354, 357, 359–362,
364, 365, 369, 376, 377, 395, 396, 650
Ausbeute, (*Yield*), 78, 93, 107, 108, 128,
132–137, 140, 141, 161, 253, 334, 414,
477, 491, 512, 515, 527, 530–532
Ausführungsphase, 391, 395, 397, 399, 408
Ausfallstatistik, 161
Ausgangspegel, 236, 379

- Ausgangsschutzschaltung, 235, 287
- Ausleseverstärker, 481
- Austrittsarbeit, 11, 75, 85, 124, 159
- Auswahltransistor, 498, 503, 505

- Bändermodell, 70, 83
- Ballistizität, 53
- Band, verbotenes, 159
- Band-zu-Band Tunneleffekt, 68–70, 411
- Bandabstand, 39, 43
- Barriere, 20, 44, 51, 66, 68, 76, 83, 416, 557
- Basisweitenmodulation, 31
- Baumstruktur, 7, 202, 204, 367, 368, 404, 405, 468–470, 473, 485, 488, 489, 609, 610, 612–615, 627, 628, 630, 631, 639, 646, 658
- Bereich
 - aktiver, 123, 126, 133, 403
 - linearer, 97, 431
- Bewahrschaltung, 375, 392, 393
- Beweglichkeit, 24, 25, 32, 38, 39, 48–50, 52, 53, 55, 57, 59, 66, 68, 77, 99, 245, 253, 262, 322, 323, 347, 348, 353, 356, 548, 562
- Bewerterschaltung, 309, 330, 331, 333, 334, 500, 506, 523, 526, 542, 543, 550–552, 554, 555, 561, 569
- Bipolartransistor, 9–11, 31, 37, 51, 304, 564
- Bitleitung, 292, 331, 333, 478–481, 483, 484, 490, 491, 498, 500, 503, 504, 510–513, 517, 519, 521, 523–526, 536, 537, 540–546, 548–561, 566, 568
- Bitleitungskapazität, 525, 549, 550, 558, 560
- Bonddraht, 125, 382, 384, 477
- Bootstrap-Schaltung, 324, 325
- Branch-Based-Logik, 354, 355, 589–591
- Brechungsindex, 109, 110
- Brent-und-Kung-Addierer, 613–615
- BSIM, 104

- Cache-Speicher, 161, 418, 475, 476, 482, 509, 572, 574
- Canonical-Signed-Digit-Zahl, 642, 643
- Carry-Bit, 585
- Carry-Lookahead-Addierer, 606, 607, 609, 610
- Carry-Propagate-Addierer, 605, 614, 616, 617, 627, 628, 632, 637, 639, 641
- Carry-Save-Addierer, 599, 616, 617, 629, 637, 646
- Carry-Select-Addierer, 603–605
- Carry-Skip-Addierer, 601, 602
- Charge-Sharing-Effekt, 76, 320
- Charge Pump, 419, 452, 464
- Chemical-Mechanical Planarization, 119, 121, 127, 128, 139
- Chemical Vapor Deposition, 118, 124
- Chiparchitektur, 3, 4, 276, 594
- Chiptemperatur, 138, 161, 365
- Chrommaske, 110
- Clock Gating, 274, 401, 402, 418, 420
- CML-Gatter, 382
- CMOS-Inverter
 - statischer, 393
- CMOS-Logik
 - dynamische, 391
 - statische, 343, 391, 432, 435, 437
- CMOS-Technologie, 6, 7, 41, 78, 86, 87, 121, 128, 130, 235, 243, 248, 250, 253, 265, 290, 343, 344, 347, 377, 380, 381, 400, 414, 418, 421, 431, 564
- Column Line, 479
- Constant Field Scaling, 85
- Constant Voltage Scaling, 85
- Current Mode Logic, 292, 297, 330, 343, 377

- D-Flip-Flop, 463
- Dünnoxid, 47
- Data-hold-Zeit, 480
- Data-set-up-Zeit, 480
- Datenbus, 212, 367, 451, 546
- Datendurchsatz, 443, 444
- Datenpfad, 386, 389, 424, 425, 442, 446, 476, 489, 543, 545, 547, 551, 575, 636, 638, 658, 661–664
- DC-DC-Converter, 324, 419, 499
- DDR SDRAM, 576
- Deep Trench Isolation, 464
- Defektdichte, 136, 137
- Degradation, 66, 68, 74, 138, 221, 413
- Dekodierschaltung, 476, 478, 483, 485–489, 542, 543, 567, 568
- Delay Lock Loop, 464, 576
- Demultiplexer, 377, 386, 389, 390, 661, 663
- Depletion-Load, 247, 248
- Depletion-Transistor, 33, 246, 368, 504
- Design For Manufacturability, 139
- Design Rule Check, 132
- Dickoxid, 47
- Dickoxidtransistor, 224
- Differential-Cascade-Voltage-Switch-Logik, 343, 370, 371, 375, 397, 427, 591, 592
- Differenzgleichung, 454
- Differenzverstärker, 295, 305, 331
- Diffusionsgebiet, 11, 75, 96, 119, 123, 125, 131, 133, 347, 537, 538, 548, 562, 564
- Diffusionskapazität, 254, 320
- Diffusionsspannung, 12, 20, 43, 44, 69, 73

- Diode, 11, 22, 73, 74, 95, 97, 103, 170, 288, 289, 291, 313, 324, 461
- Direkter Tunnelstrom, 70
- Dividierer, 646
- Domino-Logik, 375, 394–397, 407
- Donatorenkonzentration, 64
- Doppel-Gate-Transistor, 51, 83, 85, 160
- Dotierung, 33, 63–65, 75, 76, 79, 82, 83, 119, 123, 124, 130, 157, 158, 160
- Drain-Anschluss, 11, 12, 63, 76, 78, 224, 310, 324, 373, 374, 461, 464, 497
- Drain-Potential, 21, 44
- Drain-Source-Spannung, 12, 26, 30, 31, 44, 52, 75, 102, 247, 249–251, 289, 310, 370, 380, 381, 387, 404, 410–412, 495, 511
- Drain-Strom, 10, 13, 22, 24–26, 28, 30–32, 36–41, 46, 49, 51, 52, 55, 57, 59, 74, 75, 81, 83, 102, 141, 155, 162, 249, 253, 263, 268, 297, 303–306, 310, 314, 329, 347, 380, 381, 495, 507
- Drain Induced Barrier Lowering, 44, 74–76, 79, 102, 266, 410, 416, 550, 559, 652
- DRAM, *siehe* Dynamic Random Access Memory
- Driftstrom, 20, 24, 25, 27
- Durchbruch, thermischer, 288
- Durchbruchfeldstärke, 124
- Durchsatzrate, 437, 450, 572, 592–594, 663, 666, 668
- Duty Cycle, 460
- Dynamic Random Access Memory, 2, (*DRAM*), 7, 91, 92, 133, 324, 420, 475, 477, 482, 507, 509, 546, 548, 551–553, 555, 556, 558, 561, 562, 566–569, 571–574
- Dynamic Voltage Scaling, 420
- Ein-Phasen-Takt, 307, 308, 317, 335, 440, 446, 447, 449–451, 460, 466, 470
- Einerkomplement, 579
- Eingangsdmittanz, 257, 258, 309
- Eingangsgleichtaktsignal, 298, 299, 379
- Eingangsimpedanz, 215, 454
- Eingangskapazität, 200, 265, 266, 310, 326, 349, 351–353, 355, 357, 359–361, 369, 383, 384, 467, 473, 550, 652–654
- Eingangsleistung, 419
- Eingangspuffer, 384
- Eingangsschutzschaltung, 235, 287
- Eingangsstrom, 257
- Einquadrantenmultiplizierer, 638
- Einsatzspannung, 10–13, 19–23, 25, 33, 34, 37–39, 43–48, 57, 59, 64, 66, 68, 75–77, 79–83, 85–88, 122, 124, 130, 139–142, 155, 157–160, 243, 245–247, 250, 253, 266, 293, 299, 303, 304, 307, 310, 320, 321, 323, 330, 347, 365, 369, 372, 375, 401–404, 408, 410–412, 414–418, 420, 428, 430, 431, 448, 466, 491–494, 496, 497, 500, 502–507, 510, 512, 514–521, 523, 525, 526, 528, 533, 535, 536, 539, 540, 548, 550, 559, 588, 648–651, 653, 657–660, 663, 664, 666
- Einschwingverhalten, 228, 256, 328, 456, 457
- Electro Static Discharge, (*ESD*), 221, 283, 284, 286, 287, 289–291
- Elektromigration, 42, 118, 125, 135, 207, 208, 264, 314, 381, 450
- Elektronen
 - heiße, 66, 131, 495, 498, 500, 504, 506
- Elektronen-Lochpaare, 66, 131, 314, 495, 561
- Elektronendichte, 18, 19
- Elektronenstrahlschreiben, 109
- Elmore-Verzögerung, 202, 204, 205, 349, 600
- Embedded Dual-VT-Logic, 407
- Emitter, 130
- Emitterstrom, 289
- Endübertragsbit, 580, 634
- Endurance, 495, 496
- Energie
 - dynamische, 654, 656
 - kinetische, 66
 - magnetische, 178, 183
 - potentielle, 20, 21
- Energiebarriere, 44, 66, 68, 70, 506
- Enhancement-Transistor, 33
- Entkoppelkapazität, 175, 221–225
- Entwurfsprozess, 4, 109, 140, 363, 415, 447, 470
- Epitaxiale Schicht, 107
- EPROM, *siehe* Erasable Programmable Read Only Memory
- Erasable Programmable Read Only Memory, (*EPROM*), 478, 492, 495, 496, 498
- ESD, *siehe* Electro Static Discharge
- Evaluierungsphase, 392, 395, 407, 433
- EXNOR-Funktion, 354, 370, 371, 375, 582
- EXOR-Funktion, 354, 370, 371, 375, 581, 582, 588
- Extended Data Out, 570
- FAMOS-Zelle, 495
- Fan-In, 87, 236, 350, 365, 368, 369, 607–609, 660
- Fan-Out, 87, 236, 264, 265, 355–357, 607, 609, 612, 613, 650, 651, 658
- Fast Page Mode, 570, 571
- FD-SOI-Transistor, 81–83, 159, 160, 415, 536

- Feature Size, 506, 554, 555
- Fehler
 - parametrischer, 135, 136
 - systematischer, 135–137
- Fehlererkennung, 423
- Fehlerkorrektur, 421–425
- Fehlerrate, 421, 422
- Fehlerwahrscheinlichkeit, 530, 535, 536
- Feld-Multiplizierer, 637–639, 641
- Feld-Oxid, 122–124, 130, 133, 289, 290, 491, 550
- Feldstärke
 - elektrische, 14, 15, 48, 49, 53, 66, 69, 70, 75, 86, 158, 165, 266, 495, 559, 587
- Fermi-Potential, 17, 38, 39, 43
- Festkommazahl, 578, 580, 635–639, 646
- Festwertspeicher, 477, 478, 492, 495
- Field Programmable Gate Array, 3, 401
- FIFO-Speicher, 477
- FinFET, 83, 159, 415, 517, 536, 560
- Flachbandspannung, 11–13, 15, 22, 75
- Flankensteilheit, 210, 216, 427
- Flash-Speicher, 7, 478, 482, 492, 495, 498, 499, 506, 508, 546
- Fließkommazahl, 578
- Flip-Flop, 7, 220, 221, 239–242, 307, 309, 325–331, 334–342, 386, 403, 415, 423, 424, 428, 459, 462, 466, 477, 510, 512, 513, 517, 518, 536
- Flip Chip Array, 227, 283
- Floating-Gate-Transistor, 492, 493, 495, 496, 498, 502
- Forward Body Biasing, 414
- Fowler-Nordheim-Tunnelmechanismus, 70, 71, 496–498, 503–506, 557
- Frequenz-Phasen-Detektor, 452
- Frequenzgang, 248, 256
- Frequenzteiler, 377, 385–387, 434, 452, 460
- Fußpunkttransistor, 297, 301, 302, 305, 329, 331–333, 378, 379, 385, 389, 395, 396, 408, 460, 461, 551
- Funneling, 562, 565

- Gate-Bulk-Spannung, 13, 17, 63
- Gate-Drain-Kapazität, 97, 248, 263, 264, 266, 310, 320, 348, 384, 404
- Gate-Kapazität, 41, 78, 97, 98, 163, 266, 276, 277, 350
- Gate-Länge, 2, 50, 79, 80, 86–89, 91–94, 355, 378
- Gate-Leckstrom, 76, 87–89, 275
- Gate-Material
 - metallisches, 78, 158, 159
 - polykristallines, 158
- Gate-Oxid, 48, 63, 66, 68, 76, 83, 87, 89, 117, 124, 286, 287, 324, 491, 496, 502
- Gate-Oxid-Durchbruch, 287
- Gate-Pitch, 207–209
- Gate-Potential, 12, 39, 59, 73, 83, 521
- Gate-Source-Kapazität, 97, 263, 310, 320, 348, 384, 404
- Gate-Source-Spannung, 11–13, 21, 22, 25, 54, 57, 64, 74, 78, 86, 155, 162, 258, 268, 292–294, 297, 298, 301, 304, 306, 307, 310, 313, 314, 330, 332, 347, 370, 372, 387, 404, 410, 412, 428, 515, 517, 518, 520–522, 538
- Gate-Tunnelstrom, 70, 78, 88–90, 410, 514, 524
- Gate-Weite, 80, 83, 245, 467
- Gate-Widerstand, 253, 381
- Gate Array, 106, 450
- Gate Induced Drain Leakage, 71–74, 88, 89, 410, 411, 430, 514, 525, 550
- Gatterdimensionierung, 362
- Gatterkette, 652
- Gatterlaufzeit, 5, 41, 86, 87, 90, 141, 142, 161, 200, 207, 209, 210, 212, 218, 220, 259–261, 265–269, 272, 307, 316, 319, 320, 328–330, 339–341, 344, 348–353, 356, 357, 362, 363, 367, 369, 375–377, 379, 381, 382, 384, 385, 394, 395, 398, 399, 403, 404, 406, 407, 411, 415, 416, 418, 421, 440, 442, 443, 445, 447, 448, 451, 459, 460, 464, 466, 487, 488, 512, 534, 575, 583, 587, 588, 592, 594–596, 602–604, 609, 612, 616, 638, 648–651, 653, 657, 663
- Gegeninduktivität, 172, 176–179, 182, 184–188, 217
- Gegenkopplung, 293, 301, 305
- Generate-Signal, 581, 582, 600, 601, 607, 609–611
- Geschwindigkeitssättigung, 10, 48–50, 52, 57
- Gleichgewicht
 - thermische, 20, 50, 52, 66
- Gleichtaktunterdrückung, 302
- Glitch, 273, 367, 391
- Grabenisolation, 48, 464
- Grabenkondensator, 556
- Grenzschicht, 48, 63, 64, 68, 70, 71, 78, 159, 492, 496
- Großsignalersatzschaltbild, 99
- Gruppengeschwindigkeit, 192, 193, 213
- Guard-Ring, 131, 464

- Höhenstrahlung, 314, 561, 564, 565
- Halbaddierer, 582, 639, 664

- Halbleiterspeicher, 7, 475–478, 482, 483
- Half Pitch, 92, 93, 111, 112
- Halo-Dotierung, 76, 77, 79, 80, 102
- Haltephase, 313–315, 319, 321, 325, 336, 429, 430
- Herstellungstoleranz, 6, 25, 117, 133, 141, 155, 161, 239, 293, 302–305, 307, 312, 330, 334, 335, 343, 344, 367, 388, 420, 434, 442, 443, 458, 460, 510, 511, 515, 523, 524, 554, 559, 577
- High-VT-Transistor, 403, 407–409
- Hold-Zeit, 156, 312, 316, 319, 441, 443, 448, 480
- Hot Carrier Instability, 66
- Implantation, 63, 117, 119, 123–125, 133, 491, 549
- Impulsantwort, 202–204, 207
- Induktivität, 6, 103, 130, 134, 163, 171, 172, 175, 178, 179, 182, 185–188, 213, 215, 216, 218, 220–223, 226, 284, 382, 385, 419, 433–435, 459
- Induktivitätsbelag, 188, 213, 216
- Integrationsdichte, 87, 130, 134, 163, 168, 479, 507
- Inverse Narrow Width Effect, 79, 80
- Inverse Short Channel Effect, 79
- Inversion
 - schwache, 18, 37, 40, 74
 - starke, 12, 13, 17, 18, 20–22, 26, 35, 37, 97
- Inverter, 7, 122, 142, 189, 196, 200, 201, 209, 235, 239, 240, 242–244, 246–248, 250, 252, 254, 255, 258, 259, 261–268, 270–273, 277, 280, 294–296, 299–301, 304–306, 309–311, 313, 314, 316, 317, 319, 321, 323, 325, 326, 334–338, 340, 342, 346, 349, 352–356, 360–366, 369, 370, 373, 375–377, 382, 393–395, 404–406, 408, 415, 425, 428, 429, 432, 445, 447, 448, 459, 460, 464, 466, 468, 481, 488, 510–512, 517, 518, 520–523, 536, 538, 564, 582, 585, 592, 601, 623, 624, 661
- Inverterkette, 277, 278, 363, 468, 483, 648, 654, 655, 657
- Inverterlaufzeit, 201, 335, 337
- Invertertyp, 235, 243, 249
- Ionenätzen, 126
- Ionenimplantation, 119, 122, 124, 125, 134, 137, 139
- Isoliermaterial, 68, 71, 78, 158, 159, 169, 209, 314, 536, 556, 557
- Isolierschicht, 70, 78, 121, 159, 166, 168, 169, 211, 401, 403, 410, 548, 557
- ITRS, 2, 87, 93, 114, 163, 217
- JEDEC, 546, 576
- Jitter, 7, 440, 444–448, 451, 452, 459, 460, 464, 467, 468
- Kanal-Dotierung, 80, 83, 84, 559
- Kanalabschnürung, 28
- Kanalbereich, 38, 54, 77, 78, 89, 123–125, 505
- Kanallänge, 26, 30, 31, 33, 43–50, 53–55, 57–59, 63, 64, 76, 77, 79, 94, 98, 102, 104, 139, 142, 158, 249, 258, 293, 401, 410, 411, 415, 416, 558, 559, 651
- Kanallängenmodulation, 10, 30–32, 102, 292, 293
- Kanalladung, 21, 41, 42, 51, 52, 97
- Kanalpotential, 39
- Kanalweite, 26, 47, 79, 541
- Kanalwiderstand, 41, 42, 559
- Kapazitätsbelag, 166, 168, 169, 188, 199, 207, 208, 212
- Kleinsignalübertragungsfunktion, 247, 255
- Kleinsignalersatzschaltbild, 101–103, 247, 255–257, 294, 299, 300, 327, 380, 384
- Kleinsignalschleifenverstärkung, 131
- Kodierung, 616, 621, 622, 643
- Kogge-Stone-Addierer, 612–614, 658, 659
- Kollektor, 130
- Kollektorstrom, 130
- Komparatorerschaltung, 158, 329–331
- Komplexgatter, 362, 364, 484, 612, 613
- Konstantstromquelle, 101, 298
- Kontaktbelichtung, 108
- Kontaktloch, 115, 116, 125, 133, 491
- Koppelkapazität, 169, 170, 209, 210, 224, 257, 314, 558, 560
- Kristallstruktur, 42, 77, 107, 118, 125
- Kritische Wettläufe, *siehe* Races
- Kurzkanaaleffekt, 6, 10, 43, 75, 76, 80, 82, 83, 104, 125, 257, 558
- Kurzkanaltransistor, 44–46, 51, 75, 258, 267
- Löschvorgang, 495–498, 500, 502–505
- Ladungsausgleich, 283, 320, 549, 550
- Ladungserhaltung, 104, 549
- Ladungspumpe, 419, 452–455, 461, 464
- Ladungsträgerbeweglichkeit, 80, 83
- Ladungsträgerdichte, 12, 16, 17, 22, 27, 28, 51, 52
- Langkanaltransistor, 35, 44–46, 50, 51, 99, 104, 258
- Lastelement, 243, 513
- Lastkennlinie, 243, 250
- Lasttransistor, 249, 370

- Lastwiderstand, 242, 243, 246, 248, 295, 303, 304, 329, 379, 382, 383, 385, 387, 459, 461, 512
- Latch, 5, 7, 307, 309–316, 318–324, 328–330, 334–336, 338, 377, 385, 389, 390, 399, 424, 425, 435, 440, 447–450, 467, 468, 480, 481, 551, 594, 664
- Latch-Up-Effekt, 81, 107, 108, 128–131, 133, 289
- Laufzeitfehler, 409, 421, 423
- Laufzeitmodell, 348, 650, 652
- Lawinenmultiplikation, 66, 67, 81, 89, 289, 495, 500
- LC-Leitung, 212, 213
- Leckstrom, 3, 6, 43, 66, 69–72, 74, 75, 80, 85, 86, 88, 89, 155, 162, 266, 269, 273–275, 289, 309, 310, 313, 350, 365, 373, 375, 393, 399–401, 407, 409–416, 431, 432, 477, 512, 514, 515, 517, 524, 546, 548, 550, 557, 559, 594, 595, 647, 652, 657, 664
- Leckstromsensor, 417
- Leistungsaufnahme, 86, 162, 275
- Leiterbahn, 42, 92, 128, 130, 134, 135, 155, 166, 168, 185, 208, 212, 227, 314, 450, 467, 517, 537, 586
- Leiterbahnbreite, 168
- Leitungsband, 16, 39, 51, 68, 70, 72
- Leitungsbandkante, 20, 44, 51, 70, 85, 557
- Leitungskapazität, 163, 166, 169
- Lesefehler, 509, 518, 520, 533, 538
- Lesesignal, 546, 549–551, 554, 562
- Leseverstärker, 551
- Lesevorgang, 292, 478–481, 483, 494, 496, 499, 500, 502, 504, 507, 510, 512, 516, 517, 519, 521, 535, 540, 541, 543, 544, 548–551, 566, 568
- Lesezugriffszeit, 509, 523, 527
- LIFO-Speicher, 477
- Lightly Doped Drain, 124
- Linearer Bereich, 26, 41, 100
- Line Edge Roughness, 158–161
- Lithographie, 93, 110, 113
- LOCOS-Technik, 47, 95, 123, 126
- Look-Up Tabelle, 489, 635
- Low-VT-Transistor, 88, 89, 403, 404, 407, 409
- LPCVD-Oxid, 125
- Majoritätsträger, 11, 24, 44, 81
- Manchester-Carry-Chain-Addierer, 600, 601
- Maskenfehler, 135, 139
- Maskenherstellung, 108, 111, 249, 536
- Master-Slave-Flip-Flop, 389
- Mehrfachbelichtung, 115, 116
- Mesh-Struktur, 468, 470
- Metallisierungsebene, 125, 169, 212, 225, 537, 543
- Metal Insulator Semiconductor, 558
- Metastabiler Punkt, 517
- Metastabiler Zustand, 338, 341
- Mid-Level-Sensing, 548
- Miller-Kapazität, 209, 257, 263, 348, 384
- Mischgatter, 344, 582, 584, 585, 589, 604
- Mitkopplung, 130, 309, 325, 326, 514
- Monte-Carlo, 51, 54, 55, 141, 153–155, 161, 526, 527, 533
- MTCMOS-Technik, 403–405
- Multi-Gate-Transistor, 82, 88
- Multioperandenaddition, 605
- Multiplexbetrieb
 - zeitlicher, 366, 367
- Multiplexer, 336, 366, 372, 377, 386–390, 424, 542, 545, 602–604, 661, 663
- Multiplikation, 578, 594, 627, 635–639, 642, 643, 646
- n-Kanal-Transfertransistor, 324, 548
- n-Wanne, 122–125, 130, 536, 561
- NAND-Dekodierschaltung, 487, 488
- NAND-Flash-Speicher, 499, 503, 504, 506, 507
- NAND-Flip-Flop, 466, 467
- NAND-Gatter, 87, 267, 334, 342, 344–348, 350, 353, 354, 356, 357, 361, 364–366, 370, 371, 373, 374, 377, 392, 396, 398, 466, 473, 484, 488
- Narrow Width Effect, 80, 558
- Nebensprechen, 169, 170, 209, 212, 382
- Negativ Bias Temperature Instability, 68
- Nettodotierung, 18, 41, 75, 157, 158
- Nibble Mode, 570, 571, 575
- NMOS-Technologie, 242, 246, 248, 250, 252, 368
- Noise Margin, 237, 239
- Non Volatile Memory, 477
- NOR-Dekodierschaltung, 487, 488
- NOR-Flash-Speicher, 499, 506
- NOR-Flip-Flop, 466, 467
- NOR-Gatter, 342, 344, 345, 350, 353, 354, 356, 362, 364–366, 368–370, 374, 392, 396, 407, 462, 466, 483, 484, 488, 582
- NORA-Logik, 394, 395, 397, 591–593
- nnp-Transistor, 9, 11, 129, 289
- Numerische Apertur, 109, 110, 112
- Oberflächenpotential, 11–13, 15–18, 20, 35, 44, 46

- Oszillator, 433–435, 452, 453, 455, 456, 459, 461, 464
- Oxid, 11, 39, 48, 66, 68, 72, 85, 88, 123–125, 127, 288, 492, 495–499, 502
- Oxiddicke, 26, 64, 72, 75, 76, 78, 86, 88, 139, 158, 415, 464, 491, 496, 498, 499, 502, 506, 517, 555
- p-Kanal-Technologie, 562
- p-Substrat, 122, 123, 130, 505, 562
- p-Wanne, 88, 122, 125, 536, 537, 561, 565
- Page Mode, 570, 571
- Parameterschwankungen, 138, 341, 415
- Pareto-Optimierung, 650
- Partialprodukt, 635–637, 639, 640, 642, 643, 645–647
- PD-SOI-Transistor, 81, 159
- Pegelregeneration, 242, 373
- Phasen-Frequenz-Detektor, 452–454, 456, 459, 461–464
- Phasenfehler, 456–458, 464, 465
- Phasengeschwindigkeit, 192, 213
- Phasenlage, 112, 434, 442
- Phasenmaske, 111, 112, 114, 115
- Phasenrauschen, 445, 459
- Phasenregelschleife, 292, 418, 420, 445, 451–453, 455, 458
- Phasensprung, 456
- Phase Lock Loop, (*PLL*), 7, 292, 418–420, 445, 451, 452, 454–456, 459, 462, 464, 465, 472, 473
- Phase shift mask, 111
- Photolack, 109, 112, 113, 116, 119, 122, 124–126, 137, 158
- Photolithographie, 108, 119, 134, 137–139, 253, 347, 536, 537, 561, 589
- Photomaske, 122, 124, 125
- Physical Vapor Deposition, 118
- Pi-Modell, 201
- Pipelining, 307, 424, 429, 449, 450, 572, 575, 576, 587, 648, 661, 663–666
- Pitch, 110, 168, 283
- Planarisierung, 121, 128, 139
- PLL, *siehe* Phase Lock Loop
- PMOS-Transfertransistor, 542
- pn-Übergang, 12, 20, 28, 38, 44, 68, 69, 71, 73, 88, 95, 104, 130, 141, 287, 289, 410, 430, 499, 500, 550, 559, 562
- pnp-Bipolartransistor, 9, 129, 130, 289
- Poisson-Gleichung, 14, 41, 83, 166, 173
- Pol
- dominanter, 206, 300, 458
- Polydepletion-Effect, 64
- Polysilizium, 12, 13, 63, 64, 117, 124, 125, 133, 164, 246, 548, 556, 558, 586
- Polysilizium-Gate, 70, 71
- Positiv Bias Temperature Instability, 68
- Power down mode, 568
- Power Gating, 401–403, 418, 420, 437, 468
- Precharge, 391, 574
- Predecoder, 484
- Process Corner, 143
- Programmable Logic Array, 369, 475
- Projektionsbelichtung, 108
- PROM, 491, 492
- Propagate-Signal, 581, 582, 600, 601, 607–611
- Prozessschwankung, 138, 140, 416
- Pseudo-NMOS-Logik, 248, 249, 343, 368–370, 392, 481, 487, 490, 510, 544
- Pufferschaltung, 379, 389
- Pull-Down-Pfad, 223, 248, 264, 269, 274, 280, 317, 319, 321, 322, 326, 334, 344, 346, 349–351, 355, 356, 361, 368, 369, 371, 375, 391–393, 396, 404, 406, 408, 487, 537, 584, 587, 589, 650
- Pull-Up-Pfad, 223, 248, 260, 264, 269, 271, 274, 280, 317, 319, 320, 322, 333, 334, 344, 346, 349–351, 355, 356, 368, 369, 371, 377, 382, 391, 393, 427, 490, 512, 539, 564, 583, 584, 587, 589, 650
- Pulsregister, 337, 338
- Punch-Through, 46, 76, 83
- Rückkoppelpfad, 334–336, 441, 452, 466
- Rückkoppelschleife, 419, 425, 465, 473
- Races, (*Kritische Wettläufe*), 307, 308, 317, 319, 323, 443, 444, 447, 448
- RAM, *siehe* Random Access Memory
- Randkapazität, 48, 104
- Random Access Memory, (*RAM*), 477, 478, 483
- Random Doping Effect, 157–159, 161
- Random Telegraph Noise, 159, 507
- Ratioed Logic, 246, 249, 368, 370, 393
- Raumladung, 35, 45–48
- Raumladungskapazität, 81
- Raumladungszone, 12–15, 18, 20, 22–24, 28, 34, 43–48, 63–65, 75, 81, 85, 97, 157, 158, 495, 562
- Rauschen, 237, 258, 326, 332
- Razor, 421–425
- RC-Baumstruktur, 202, 469, 470
- RC-Leitung, 6, 163, 170, 188, 189, 195–201, 207, 211–213, 216, 262, 468, 542
- Read-Cycle-Time, 481
- Read Failure, 517, 518
- Realzeitbetrieb, 422, 592

- Rechenwerk, 423, 578, 580, 635, 661, 662
- Recticle, 108
- Redundanz, 161, 226, 528, 535, 568, 619, 621, 622
- Refresh, 477, 546, 574
- Register
 - dynamisches, 309, 314–317, 321, 323, 335, 339, 340
 - flankengesteuertes, 309, 315, 318, 441, 446, 448
 - getaktetes, 440
- Repeater, 200, 323
- Resolution Enhancement Techniques, 111, 134, 137
- Restklassen-Zahlensystem, 580
- Retention, 496, 502, 508
- Retrograde-Wanne, 108
- Ringoszillator, 267, 268, 459, 461
- Ripple-Carry-Addierer, 435, 581, 585, 588, 594, 598–605, 609, 616, 631, 637–640, 645, 665
- RLC-Leitung, 3, 7, 163, 189, 207, 214, 219, 262
- ROM, 248, 475, 477, 478, 489–492, 496, 499, 635
- Row Access Strobe, 568
- RS-Flip-Flop, 334

- Sättigung, 214, 292, 297, 298
- Sättigungsgeschwindigkeit, 48, 49, 245, 258, 267
- Sättigungsspannung, 27, 36, 49
- Sättigungsstrom, 36, 49, 50, 53–56, 66, 68, 411, 413, 524
- Schaltaktivität, 162, 220, 269, 273, 274, 366, 392, 417, 418, 594, 647, 648, 660–662, 664
- Schaltkreissimulation, 364
- Schaltsschwelle, 238, 245, 246, 252, 314, 393, 511, 512, 518, 520, 521, 538
- Schaltransistor, 243, 246, 378, 381, 387
- Schaltzeit, 2, 75, 87, 135, 142, 239, 259, 266, 273, 391, 561
- Schichtwiderstand, 164
- Schieberegister, 336, 477, 635
- Schlafmodus, 86, 402, 403, 407–409, 478
- Schleifenfilter, 452, 454, 455, 458, 459, 461, 462, 464
- Schleifenverstärkung, 325, 326
- Schmetterlingskurve, 239, 241, 517–522, 538
- Schrägbelichtung, 111
- Schreib-Lese-Schaltung, 478
- Schreibfehler, 520, 521, 539, 540
- Schreibvorgang, 478–481, 483, 497, 500, 509, 510, 512, 517, 520–523, 535, 540, 541, 543, 546, 548–550, 560, 566, 568
- SDRAM, 572–575
- Sechs-Transistor-Speicherzelle, (*6T-SRAM-Zelle*), 509–512, 514, 516, 541
- Selbstinduktivität, 172, 178–180, 182, 183, 185, 186, 188, 217
- Sense Amplifier, 331, 333, 550, 551, 554
- Set-up-Zeit, 156, 312, 316, 319, 337, 441, 448, 480
- Shallow Trench Isolation, (*STI*), 47, 79, 82, 126, 128
- Shichman-Hodges-Modell, 104
- Signalhub, 235, 238, 258, 271, 310, 324, 330, 369, 373, 383, 384, 479, 490
- Signallaufzeit, 440
- Signed-Digit-Zahlendarstellung, 7, 580, 618, 619
- Silicon on Insulator, 80–82
- Silizid, 128, 164
- Silizium, 1, 5, 13, 18, 53, 68, 77, 82, 83, 85, 107, 108, 116–118, 124, 125, 137, 138, 287, 314, 496, 562
- Silizium-Gate, 78
- Silizium-Oxid-Grenzfläche, 12
- Siliziumdioxid, 11, 12, 47, 68, 70, 76, 78, 81, 495
- Siliziumfläche, 403, 597
- Siliziumnitrid, 123, 126
- Siliziumsubstrat, 75, 78, 83, 97, 160, 556, 564
- Skalierungsfaktor, 158, 208, 355, 554
- Skalierungsregel, 42, 86, 158, 207, 514, 554, 559
- Skineffekt, 164–166, 188
- Slack borrowing, 448
- Soft-Error, 81, 314, 550, 561, 563, 564
- Source, 12, 20, 23, 31, 35, 44–46, 49, 51, 52, 71, 75, 81, 82, 85, 89, 94, 96–98, 104, 105, 133, 288, 289, 299, 310, 372, 492, 493, 499, 500, 561
- Source-Bulk-Spannung, 20, 22, 247, 299
- Source-Potential, 294, 313, 330, 333, 347
- Source-Widerstand, 97, 561
- Spacer, 66
- Spannungsskalierung
 - dynamische, 420
- Spannungsversorgung, 43, 472
- Spannungsverstärkung, 236, 338
- Spannungswandler, 221, 222
- Speicher-Management-Einheit, 475
- Speicherdichte, 509, 514
- Speicherhierarchie, 475, 476, 572

- Speicherkapazität, 310, 311, 475, 478, 509, 549, 555, 556, 566, 635
- Speicherkondensator
planarer, 555
- Speicherorganisation, 483, 572
- Speicherschaltung, 6, 94, 160, 292, 314, 475, 478, 577, 635, 646
- Speicherzellenfeld, 483
- Sperrbereich, 34
- Sperrschichtkapazität, 95–97, 254, 263, 266, 310, 348, 404, 549
- Sperrschichttemperatur, 137, 515, 516
- Sperrstrom, 11, 43, 71–74, 88, 130, 158, 310, 313, 410, 430, 525, 546
- SPICE-MOS-Transistormodell, 104
- SPICE-Simulation, 246, 382
- SRAM, 7, 156, 161, 246, 305, 475, 477, 478, 509, 512, 514–516, 527, 534, 542, 543, 546, 551
- Störabstand, 236, 239, 240, 242, 246, 252, 346, 348, 382, 479
- Störsicherheit, 155, 221, 240, 243, 246, 250, 271, 310, 314, 320, 371, 391, 399, 404, 418, 479, 490, 509, 517, 519, 521, 533, 534, 649, 657, 658
- Störsignaleinkopplung, 319
- Störsignalunterdrückung, 551, 554
- Störstelle, 66–68, 496, 502
- Stabiler Zustand, 267, 325
- Stack-Zelle, 555–560
- Standby-Betrieb, 58, 87
- Static Random Access Memory, 475
- Static Voltage Noise Margin, 240, 517, 519, 533–535, 538–541
- STI, *siehe* Shallow Trench Isolation
- STI-Oxid, 79
- STI-Stress-Effect, 80
- Strained Silicon, 76
- Streifeldkapazität, 104, 354
- Stromdichte, 42, 43, 48, 69, 70, 118, 164, 165, 171, 175, 207, 208, 557
- Stromergiebigkeit, 77, 78, 245, 347, 375, 383, 490, 516, 518, 520–522, 538–540
- Stromquelle, 98, 103, 221, 247, 255, 292, 294, 299, 301, 305, 332, 333, 426
- Stromspiegelschaltung, 157, 292–294, 304–306, 416, 544, 545
- Stromverstärkung, 130, 257
- Strukturfeinheit, 90, 92, 111, 122, 130, 507, 587, 588
- Strukturverkleinerung, 2, 7, 10, 41–43, 76, 78, 125, 137, 157, 160, 163, 207, 210, 266, 267, 314, 400, 404, 415, 499, 506, 507, 509, 550, 554, 560, 587
- Substrat, 12, 13, 18, 33, 47, 63, 66, 70, 72, 76, 78, 81, 82, 85, 88, 95–98, 104, 112, 118, 122, 129–131, 133, 157, 159, 166, 283, 289, 313, 382, 399, 410, 411, 415, 464, 492, 493, 495, 498, 502, 505–507, 549, 558–562
- Substratanschluss, 81, 101, 288, 289, 372, 464, 493, 564
- Substratdotierung, 14, 17, 18, 22, 75, 96, 415, 536, 559
- Substratsteuereffekt, 81, 247, 248, 255, 294, 295, 372, 404, 559
- Substratstrom, 88, 102
- Substratvorspannung, 411, 548
- Substratwiderstand, 130
- Subthreshold logic, 343
- Subtrahierer, 580, 596, 636, 646
- Surface Roughness, 158
- Svensson-Latch, 317, 321, 323
- System-On-Chip, 5, 162, 401, 402, 476, 477, 499, 509
- Taktüberlappung, 319, 467
- Taktflanke, 316, 319, 323, 337, 385, 389, 390, 424, 446, 448, 575
- Taktfrequenz, 2, 90, 94, 136, 163, 175, 209, 212, 221, 269, 271, 274, 275, 307, 338, 339, 343, 366, 367, 413, 414, 417–420, 422, 430, 432, 434, 437, 443, 444, 450, 451, 467, 473, 509, 571, 576, 592, 594, 596, 663
- Taktgenerierung, 437, 459
- Taktperiode, 252, 271, 274, 307, 316, 338, 366, 386, 389, 397, 430, 440–445, 449, 472, 597, 631, 661
- Taktphase, 307, 308, 310, 316, 317, 323, 324, 335, 337, 391, 424, 447–450
- Taktsystem, 7, 308, 392, 437, 440, 449, 451, 470
- Taktversatz, 7, 440, 442–444, 446–448, 467, 468, 470, 472, 473
- TDC-Umsetzer, 415
- Technologiegeneration, 2, 43, 50, 66, 77, 79, 87, 88, 90, 92, 106, 112, 134, 158–161, 207–209, 344, 367, 401, 404, 415, 469, 502, 507, 509, 514, 548, 550, 554, 559, 568
- Technologieknoten, 58, 87, 92, 93, 158, 245, 508, 540, 557–559, 587–590
- Telegraphengleichung, 190, 195, 196, 212
- TEM-Leitung, 189
- Temperaturspannung, 39, 43, 53

- Transfertransistor, 310, 333, 373, 433, 489, 510, 511, 513, 521, 523, 524, 536, 537, 540, 548, 550–552, 555–562
- Transistormodell, 98, 99, 104, 105
- Transistorparameter, 6, 32, 42, 66, 161, 252, 320
- Transistortyp, 9, 33, 58, 59, 68, 79, 124, 155, 246, 253, 311, 395, 401, 559
- Transitfrequenz, 380, 381
- Transmission-Gatter, 311–314, 316, 317, 319, 320, 323, 324, 336, 372, 373, 375, 376, 447, 448, 466, 600
- Treiberfähigkeit, 236, 335, 361, 383
- Treiberschaltung, 130, 235, 276, 282, 283, 419, 433, 445, 464, 465, 468, 470, 472–474, 489, 546, 561, 567, 568
- Trench-Isolation, 47
- Trench-Zelle, 555, 556
- Triodenbereich, 26, 27, 29, 31, 32, 34, 36, 102, 244, 333, 334, 347, 380, 403, 404, 461
- Triple-Gate-MOSFET, 83, 84
- Tristate-Treiber, 280–282, 318, 545, 546
- Trockenätzen, 124
- TSPC-Latch, 321–323
- TSPC-Register, 321, 322
- Tunneloxid, 498, 499, 505, 507
- Tunnelstrom, 3, 69, 70, 72, 87, 224, 403, 410, 430, 464, 496, 557
- Twin-Tub-Prozess, 122, 125

- Ultra Shallow Junction, 76
- Unity-Gain-Frequenz, 257, 258, 339, 342, 377, 379, 380
- Unterdiffusion, 119
- Unterswellenstrom, 22, 38, 39, 44, 46, 72, 74, 75, 78, 88–90, 250, 274, 275, 321, 403, 410–413, 415, 416, 418, 430, 431, 514–516, 525, 546, 548, 550, 652, 655, 656, 658

- Valenzband, 16, 39, 68, 72
- Variabilität, 3, 59, 81–83, 92, 121, 139, 158, 159, 161, 320, 421, 434, 443
- VCO, 292, 452, 453, 456, 458, 459, 461, 464
- Vector-Merging-Addierer, 616, 629, 632, 634, 639
- Velocity Overshoot, 53, 54
- Verarmungstyp, 243, 246–248
- Verarmungszone, 64
- Verbindungsleitung, 3, 138, 258, 468, 573, 613
- Verbotener Zustand, 334
- Verdrahtungsaufwand, 663
- Verdrahtungskapazität, 264–266
- Verlustleistung
 - dynamische, 43, 243, 269–274, 278, 366, 367, 371, 400, 401, 409, 410, 417, 418, 594, 647, 648, 661, 662, 664
 - statische, 43, 74, 269, 274, 346, 368, 373, 375, 376, 487, 647, 648
- Verlustleistungs-Verzögerungs-Produkt, 272
- Verlustleistungsdichte, 41, 161, 401
- Verriegelungsschaltung, 281, 317–321, 323, 336, 337, 377
- Versorgungsspannung, 6, 43, 44, 57, 77, 85–87, 103, 129–131, 138, 141, 155, 161, 163, 175, 207, 218, 220–223, 225–227, 236, 242, 243, 245, 252, 266–269, 271, 283, 285, 286, 293, 298, 307, 309, 313, 314, 324, 325, 330, 335, 341, 343, 365, 367, 383, 399, 402–404, 409, 410, 412, 413, 415–422, 424–426, 428, 429, 433–435, 437, 442, 443, 445, 460, 467, 468, 472, 473, 476, 477, 479, 499, 500, 506, 509, 514–518, 520, 522, 533–542, 548–551, 555, 561, 573, 588, 648–651, 653, 655–659, 662–664, 666
- Versorgungsspannungsnetz, 283, 286
- Versorgungsspannungsschwankung, 445
- Verstärkungs-Bandbreite-Produkt, 257, 300, 377
- Verstärkungsfaktor, 26, 102, 157, 245, 248
- Verteilungsdichtefunktion, 140, 529, 531, 532
- Very Large Scale Integration, 106, 122, 168, 283
- Verzögerungszeit, 161, 196, 199, 200, 202, 203, 207–211, 219, 253, 259–261, 264, 265, 267, 276–280, 312, 324, 350, 356, 357, 359, 365, 368, 370, 382, 415, 416, 445, 481, 595, 601, 609, 652–654, 657–664, 666, 667
- Vierfach-Gatter, 484
- Vierquadranten-Multiplizierer, 637, 639
- Vogelschnabel, 47
- Volladdierer, 142, 580–592, 594–599, 604, 616–618, 623–627, 629, 631, 632, 639, 664
- Voltage Controlled Delay Line, 464
- Voltage Controlled Oscillator, 292, 452
- Vorladephase, 331, 391, 393–395, 397, 408, 487, 490, 491, 549, 551, 554, 568, 570, 574
- Vorladevorgang, 392, 398, 512, 543, 545
- Vorzeichenbit, 579, 580, 632, 634, 636, 637, 639, 642, 644

- Wachstumsrate, 106, 108, 117
- Wafer, 107–117, 119–122, 125, 131, 135, 136, 138, 139, 414

- Wafer-Stepper, 108
Wallace-Baumstruktur, 627, 630
Wanne, 88, 122–124, 130, 131, 133, 294, 421, 554
Wannenkontakt, 124, 131
Wannenwiderstand, 130, 289, 564
Wellenlänge, 109–111, 115, 139, 158, 192
Wellenwiderstand, 193–195, 212, 384, 468
Wertevorrat, 640
Wertigkeit, 598, 616–620, 627, 629, 635, 637, 639
Widerstandsbelag, 125, 161, 188, 195, 199, 207, 208, 211–213, 216, 224, 264, 419, 559
Wilson-Stromquelle, 293
Wortleitung, 324, 478, 479, 481, 483–485, 488, 489, 491, 497, 499, 500, 502–505, 510, 513, 519–521, 523, 524, 537, 538, 540–543, 546, 548, 549, 551–555, 558–561, 566–572
Wortleitungsdekodierer, 489
Wortleitungskapazität, 559
Wortleitungstreiber, 569
Write Enable, 568
Write Failure, 517, 520
Write Margin, 522, 523, 533–535, 540, 541
Yield, *siehe* Ausbeute
Zahlendarstellung, 578, 594, 614, 616
Zeitkonstante, 197, 199, 208, 230, 340, 341, 379, 384, 563
Zellbibliothek, 362, 375
Zellenfeld, 475, 476, 478, 479, 490, 496, 500, 502, 546, 548, 549, 551, 552, 554, 555, 558, 560–562, 564, 566, 567, 569, 570, 599
Zellfläche, 491, 495, 506, 511, 535, 541, 554–556, 558
Zellkapazität, 549–551, 556–558
Zellkondensator, 550, 554–561
gestapelter, 556, 560
Zero Temperature Coefficient Point, 39, 268
Zugriffstransistor, 523
Zugriffszeit, 481–483, 509, 512, 514, 515, 517, 523, 525–527, 543, 546
Zustandsautomat, 447
Zuverlässigkeit, 107, 124, 133, 135, 138, 170, 221, 226, 343, 344, 477, 482, 491, 495, 496, 502, 540, 649
Zwei-Phasen-Taktsystem, 440, 447, 449, 450
Zwei-Signalfrequenz-Methode, 276
Zwei-Wannen-Prozess, 128
Zweier-Komplement-Darstellung, 624, 626, 627
Zweierkomplementzahlendarstellung, 599, 626, 636, 639, 644
Zweiquadranten-Multiplizierer, 637
Zwischenoxid, 498, 502
Zykluszeit, 481, 482, 512, 513, 551